

Packaging für anspruchsvolle ICs:

Synergieeffekte nutzen

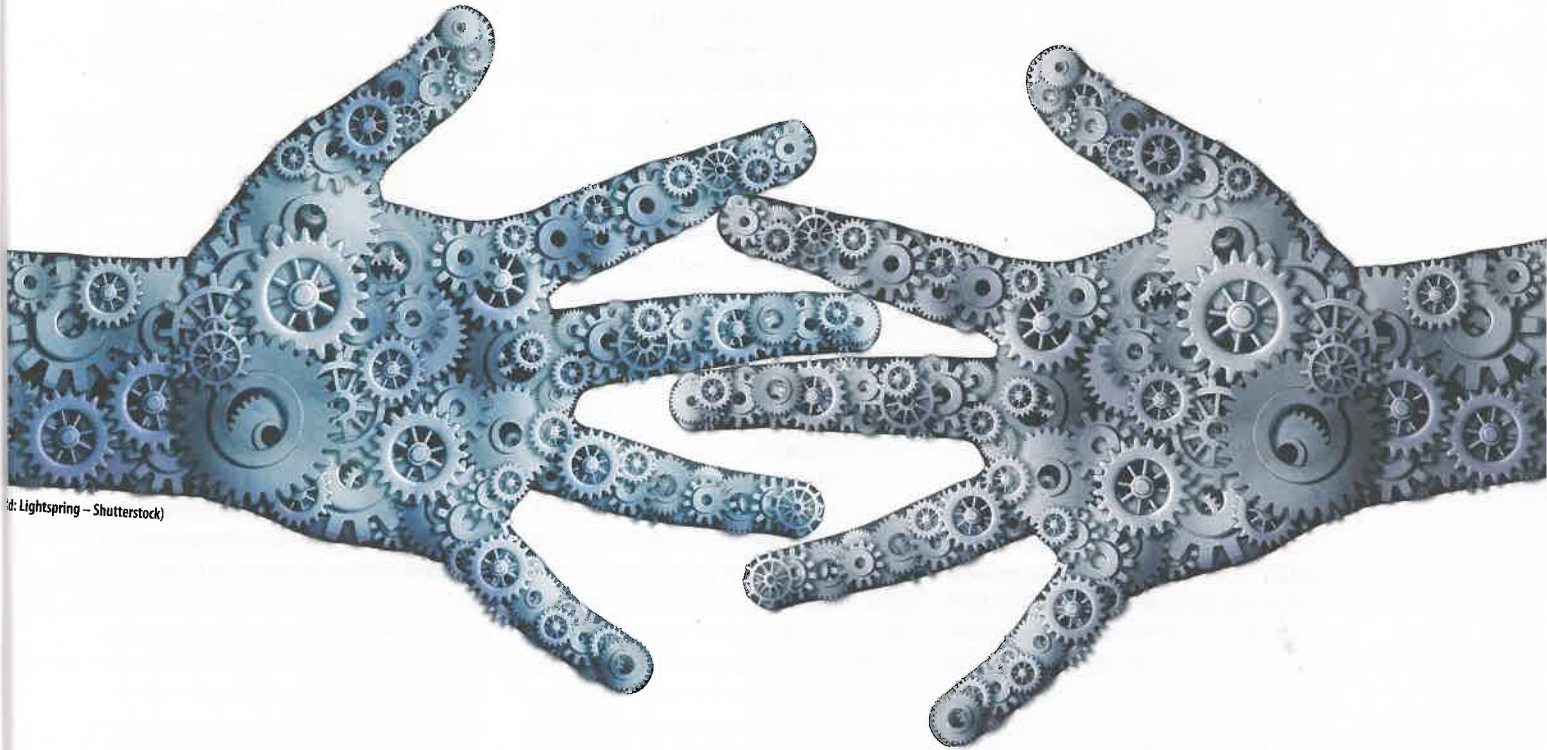


Bild: Lightspring – Shutterstock

Computer, Smartphones, Spielkonsolen: Wir können beinahe nicht mehr ohne sie leben. Sie alle funktionieren dank integrierter Schaltkreise (ICs). Diese sind zwar das Gehirn elektronischer Produkte, können jedoch nicht autark arbeiten. Damit ICs ihre volle Funktionalität ausüben können, spielt daher ihre Einbettung und Verbindung mit anderen Komponenten, das Packaging, eine zentrale Rolle.

Packaging stellt den ersten Kontakt des IC zu anderen Komponenten dar. Folgerichtig muss sich das Package an alle Entwicklungen der ICs sowie der angeschlossenen Elektronik anpassen.

Ein konstanter Trend in der Chipentwicklung sind immer kleinere Produkte bei gleichzeitiger Erhöhung der Funktionalität. Somit muss die Kontaktfläche der ICs zum Package immer kleiner werden; zugleich gilt es, mehr Ein- und Ausgänge auf der Kontaktfläche zu verorten.

Gleichzeitig besteht ein Trend zur Systemintegration, also der Integration von mehreren ICs in ein Package. Auch hier geht es um die Verkleinerung von Bauteilen. Für das Package bedeutet

Immer kleinere Chips werden immer stärker integriert – wie kann Packaging helfen, diese Herausforderungen zu meistern?

Von Dr. Silke Hayn

dies zweierlei: Zum einen müssen Packages für die Verbindung der ICs untereinander sorgen, zum anderen wird die Fläche, die zuvor zur Wärmeableitung zur Verfügung stand, nun von weiteren Hitze generierenden Komponenten belegt.

Verbindung zwischen IC und Package

Die einfachste Art, eine Verbindung zwischen Package und IC herzustellen, ist das Draht-Bonden. Soll eine Vielzahl an Verbindungen hergestellt werden, stößt diese Methode jedoch bald auf ihre Grenzen, da auf dem Chip nur der Randbereich für Verbindungen zur Verfügung steht. Deshalb benutzt man für eine große Anzahl an Verbindungen Methoden, die die gesamte Fläche des Chip zur Verbindung nutzen können. Dies sind die sogenannten Flip-Chip-

Methoden. Für eine hohe Anzahl an Verbindungen auf einer kleinen Fläche kommt auch die Standard-Flip-Chip-Verbindung, C4-Bumps, an ihre Grenzen. Die geeignetste Methode ist Cu-Pillar (Bild 1).

Cu-Pillars mit den in Bild 1 angegebenen Maßen lassen sich mit einem

Firmenporträt Shinko

Shinko Electric Industries wurde 1946 in Nagano, Japan, gegründet und ist ein führender Hersteller von Halbleiter- und Mikroelektronik-Packaging. Zu den angebotenen Produkten zählen etwa organische laminierte Substrate, geätzte oder gestanzte Leadframes, integrierte Heat Spreader sowie die Montage von ICs und Modulen. Auf Grundlage der „Interconnecting Technology“, die IC-Chips und PCBs elektrisch verbindet, versorgt Shinko Halbleiter- und Elektronikhersteller zuverlässig mit kompakten und funktionalen Lösungen.

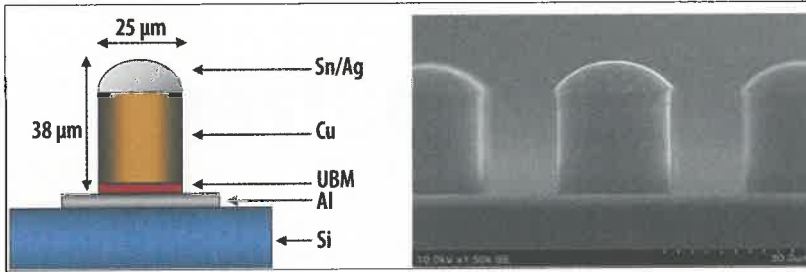


Bild 1. Cu-Pillar, aktuelles Standard-Design (links). Rechts ist ein REM-Bild von Cu-Pillars. (Bilder: FEEU)

Pitch – der Summe aus der Säulenbreite und dem Abstand zwischen zwei Säulen – von 50 bis 80 µm verwenden. Dies ist jedoch nicht die höchste realisierbare Verbindungsdichte. Heutzutage ist ein Durchmesser von 18 µm mit einem Pitch von 30 µm möglich. In Zukunft werden noch kleinere Durchmesser und Pitches möglich sein.

Verbindung im Package

Für die Verbindungen im Package ist der Chipträger zuständig. Um viele Verbindungswege herzustellen, werden Substrate mit hoher Verbindungsdichte benutzt, z.B. das in Bild 2 gezeigte Direct-Laser-Lamination-Substrat (DLL-Substrat). Man sieht den 3-2-3-Aufbau des Substrats: Beginnend bei einem Kern mit zwei Lagen werden auf beiden Seiten drei weitere aufgebaut. Als Standard-Breiten von Kupferlinien und Abständen zwischen den Linien gelten heute 18 µm. Zur Verbind-

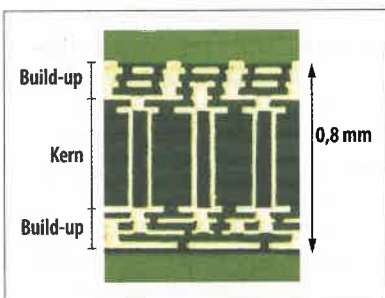


Bild 2. Querschnitt durch ein Direct-Laser-Lamination- (DLL-)Substrat mit dünnem Kern von Shinko.

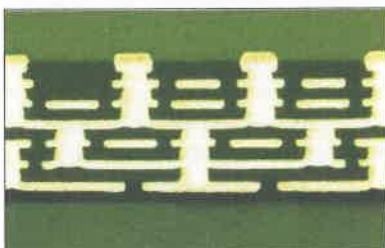


Bild 3. Querschnitt eines kernlosen DLL-Substrats.

ung zwischen den einzelnen Lagen werden Vias verwendet – ein Durchmesser von 50 µm ist gegenwärtig üblich.

In Kernlagen sind Linienbreiten und -abstände sowie Viadurchmesser deutlich größer, weshalb man für eine höhere Verbindungsdichte die Kernlagen einspart und kernlose Substrate verwendet (Bild 3).

Flächig sehr große Substrate müssen speziell designt werden, um Verformung (Warpage) zu verhindern und Substrate zu erhalten, die ausreichend plan sind. Bei kleinen Substraten und großer Lagenzahl (10 + 1 sind möglich) stellt dies jedoch kein Problem dar. Weitere Vorteile kernloser Substrate sind eine größere Flexibilität im Design sowie eine geringere Dicke des Substrats und somit eine Verkleinerung des Package.

Zur Verbindung von Substrat und IC werden auf dem Substrat Die Pads ausgebildet. Als Standard gilt hierbei ein 110-µm-Pitch. Zur weiteren Erhöhung der Verbindungsdichte kann die Technologie des Embedded Trace eingesetzt werden (Bild 4).

Für ein Embedded-Trace-Substrat wird für die oberste Kupferlage auf der Chipseite eine andere Technik verwendet als bei allen anderen Kupferlagen. So können feinere Linienbreiten und -abstände (5/5 µm) sowie kleinere Pad Pitches (40/80 µm versetzt) angestrebt werden.

Systemintegration

Wie bereits erwähnt, ist ein weiterer Trend der Verkleinerung von Bauteilen die Integration von mehreren Chips in ein Package. Diese Systemintegration verkürzt zusätzlich die Verbindungen zwischen Chips und verkleinert somit die Chance für auftretende parasitäre Effekte. Für Chips, die viel untereinander kommunizieren, kann dies ein entscheidender Vorteil sein.

3D-Systemintegration

Die naheliegende Form der Chipintegration ist die Übereinanderstapelung mehrerer Chips. Dies ist eine Standardmethode für Speicherchips. Mehrere ICs werden versetzt übereinandergestapelt, sodass mindestens eine Kante jedes Chip für die Kontaktierung durch Draht-Bonden zur Verfügung steht. Für Chips, die eine höhere Verbindungsdichte zum Package benötigen, ist jedoch der Platz zum Draht-Bonden nicht ausreichend.

Eine Alternative hierzu ist die Package-on-Package-Technik, also die Aufeinanderstapelung zweier Packages. Hierbei können jedoch die Platzvorteile eines gemeinsamen Package nicht voll ausgenutzt werden.

Eine andere Alternative ist die Silizium-Durchkontaktierung (Through Silicon Via oder TSV). Diese Methode steckt derzeit noch in den Kinderschuhen, wird aber als Technik der Zukunft gehandelt. Bild 5 ist eine schematische Darstellung der TSV. Die Verbindungen von den oberen Chips laufen direkt durch die darunterliegenden Chips hinunter bis zum Substrat. Alle zu verwendenden Chips müssen daher explizit für die TSV-Integration entworfen und produziert werden.

2.5D-Systemintegration

Aktuelle Lösungen der Systemintegration versuchen einen Mittelweg zu wählen. Anstatt Chips direkt aufeinander zu stapeln, werden sie nebeneinander auf einem sogenannten Interposer aufgebracht, der auf dem eigentlichen Substrat aufgebracht wird. In Bild 6 und Bild 7 werden unterschiedliche Realisierungen der 2.5D-Systemintegration dargestellt.

In dieser Technik werden die Aufgaben des Chipträgers auf zwei Bauteile aufgeteilt. Der Interposer ist die Kontaktstelle zu den Chips. Er muss kleine Die Pad Pitches realisieren und die Verbindungen zwischen den Chips herstellen. Die Verbindungen aus dem Package heraus gibt der Interposer über eine Schnittstelle an das Substrat weiter. Dieses sorgt dann für die Übersetzung auf das PCB. Pitches liegen hier bei Werten größer als 300 µm.

Ein möglicher Vorteil der Methode ist, dass für das Substrat eine niedrigere Technologie verwendet werden kann. Ein anderer Vorteil kann sein, dass bei Änderungen an PCB oder Chips möglicherweise nur Interposer oder Substrat

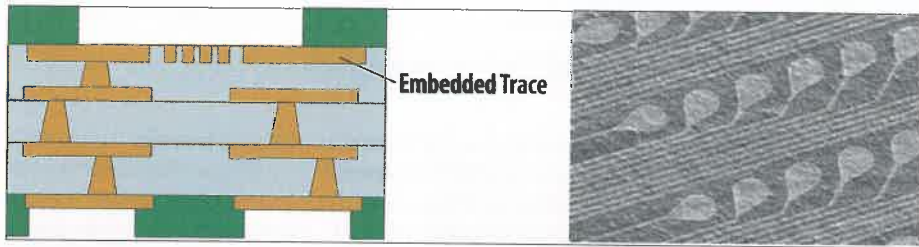


Bild 4. Schemazeichnung eines Embedded-Trace-Substrats (links). Rechts die Aufsicht einer Embedded-Trace-Lage.

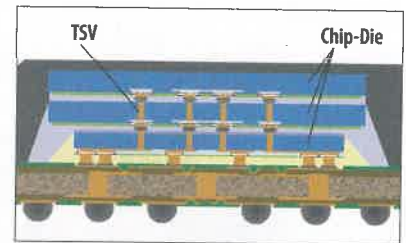


Bild 5. Schemazeichnung von Silizium-Durchkontaktierung (Through Silicon Via, TSV).

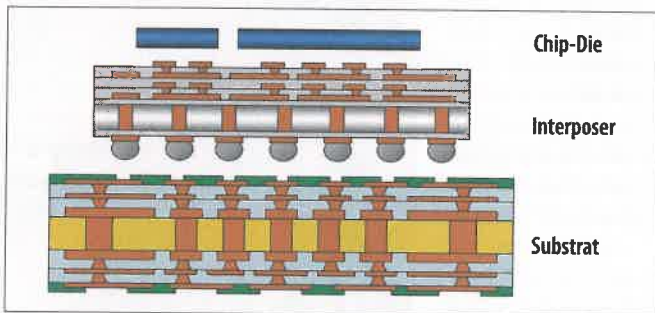


Bild 6. Organisches Substrat und Silizium-Interposer.

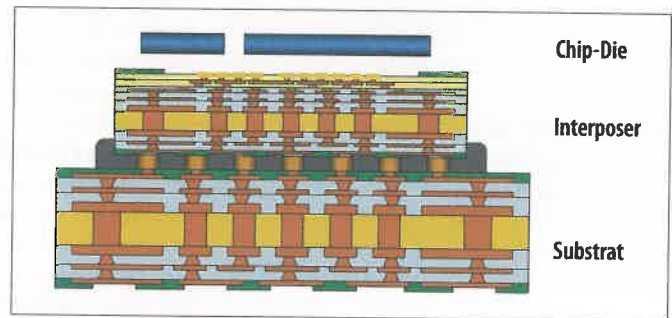


Bild 7. Organisches Substrat und organischer Interposer.

neu entworfen werden muss, während die anderen Elemente unverändert verwendet werden können. Als Nachteil kommt eine weitere Verbindung hinzu, nämlich zwischen Substrat und Interposer. Diese Verbindung muss zuverlässig ausgeführt werden und kann eine Schwachstelle darstellen. Des Weiteren ist das resultierende Package sehr massiv, da die Gesamtdicke von Substrat und Interposer vergleichsweise hoch ist.

2.1D-Systemintegration

Shinko arbeitet derzeit an der Entwicklung einer Methode, die die Vorteile der 2.5D-Systemintegration erhält und die Nachteile beseitigt. Anstatt Substrat und Interposer zu verwenden, werden auf einem DLL-Substrat Dünnschichten aufgebracht. Die Dünnschichten weisen eine höhere Verbindungsichte auf und ersetzen somit den Interposer. In Bild 8 ist eine solche 2.1D-Systemintegration dargestellt.

Im Vergleich zum Lagenaufbau von PCBs wirkt der Aufbau des 2.1D-Substrates aufgrund der Dünnschichten asymmetrisch. Die Dünnschichten sind jedoch so dünn, dass sie nicht zu einer Substrat-Warpung führen. Daher hat diese Asymmetrie keine negativen Auswirkungen. Hauptvorteil der 2.1D-Systemintegration gegenüber der 2.5D-Integration ist, dass keine zusätzliche Grenzfläche zwischen Substrat und Dünnschichten entsteht. Die Aufgaben von Kontakt zu Chip und Kontakt zu PCB bleiben jedoch immer noch getrennt.

Eine geringere Substratdicke ist ein weiterer Vorteil dieser Integrationsart.

Wärmeableitung

Chips produzieren unter Last Wärme, die abgeführt werden muss, da es sonst zu einem Wärmestau kommen kann. Der Chip kann überhitzen oder muss heruntergetaktet werden, um dies zu vermeiden. Beides wirkt einer Erhöhung der Funktionalität entgegen. Positiv wirken hier aktuelle Entwicklungen im Chipdesign in Richtung Niedrigenergieanwendungen. Die Konsequenz hiervon ist eine höhere Anzahl von Ein- und Ausgängen bei gleichzeitiger Reduktion der produzierten Wärme.

Die verbleibende Wärme muss von Package und umgebenden Komponenten adressiert werden. Shinko bietet Packaging-Lösungen für diese Herausforderung, z.B. Heat Spreader, die in Shinkos Stanz- und Oberflächenbeschichtungstechnologie hergestellt werden.

Die IC-Entwicklung stellt stets neue Herausforderungen an IC Packaging. Durch eine Kombination von unterschiedlichen Packaging-Techniken, zum Beispiel Cu-Pillar-Verbindungen, Substrate mit hoher Verbindungsichte und Systemintegration, kann diesen Herausforderungen erfolgreich begegnet

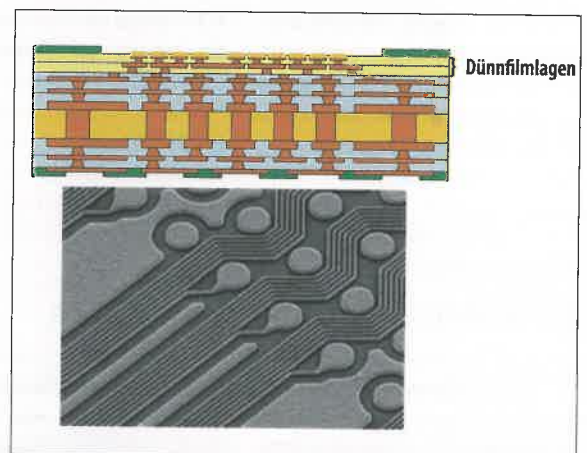


Bild 8. Schemazeichnung einer möglichen 2.1D-Systemintegration (oben) sowie ein REM-Bild der skizzierten 2.1D-Systemintegration.

werden. Somit unterstützt Packaging die Chipentwicklung auch für anspruchsvollste ICs.

ag



Dr.-Ing. Silke Hayn

arbeitet als Applikationsingenieurin mit Fokus auf IC-Packaging bei Fujitsu Electronics Europe. Sie studierte und promovierte Materialwissenschaften an der Technischen Universität Darmstadt. Bevor sie zu FEEU kam, war sie als Wissenschaftlerin mit dem Fokus auf Messtechnik, Verfahrenstechnik und Prozessautomatisierung für knapp 2,5 Jahre beim VDEH-Betriebsforschungsinstitut (BFI), eines der europaweit führenden Institute für anwendungsnahe Forschung und Entwicklung auf dem Gebiet der Stahltechnologie.

silke.hayn@de.fujitsu.com