

QFP 實現低成本封裝技術

融合了母線技術與 TEQFP 技術的新型 QFP（四方扁平封裝）技術，實現了增加端子數及低熱阻等高階功能，作為一種低成本的積體電路封裝技術而備受關注。

* QFP : Quad Flat Package

前言

近年來，隨著電子產品功能逐漸增多且走向高階，晶片的 I/O 數量逐年增加，所搭載的封裝端子數也隨之增加，這使得市場對以 BGA（球柵陣列）類封裝為首的面陣型封裝需求日益高漲。此外，伴隨著功能逐漸的高階，半導體的功率消耗也越來越高，對帶有散熱結構的低熱阻功能要求更多。而與這些高加值要求相對的是，面向日益增長的亞洲市場研發的產品逐漸增加，人們更加地關心半導體的低成本及支援低成本的封裝技術，此時就需要一種既能夠實現高性能，又能支援低成本封裝技術的半導體封裝及組裝技術。

為了迎合這些需求，富士通利用 QFP 組裝成本低的特點，融合支援多接腳的母線型 QFP，以及帶有散熱路徑支援低熱阻的 TEQFP (Thermally Enhanced Quad Flat Package) 技術，開發出備受關注的母線型 TEQFP 封裝。

基本構造與特點

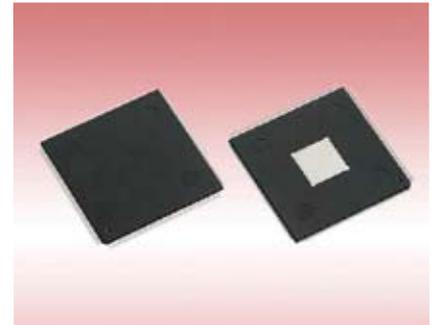
以往的 QFP 封裝結構是每一個晶片焊盤對應一個封裝端子，如果晶片 I/O 數量增加，則封裝端子數量也要相對的增加，因此 QFP 封裝的多接腳化要求很難滿足。此外，為了達到低熱阻，需要在封裝內設置散熱片，這又成為降低成本的大障礙。為了解決這兩個難題，富士通開發了母線技術與 TEQFP 技術。

母線技術

母線技術是指將晶片的多個同電位焊盤引至一個被稱為母線的導線上。

圖1為採用母線技術匯集電源和GND的示意圖。如圖所示，將晶片一側的多條電源焊盤引至母線，再將多條GND焊盤引至晶片的承載盤上，這樣，就可不受到晶片電源焊盤和GND焊盤位置的限制，將幾十個電源和GND的焊盤連接到幾個封裝端子上，從而大大減少封裝端子的數量。隨著系統功能增強，電源和

照片 1 TEQFP 外觀

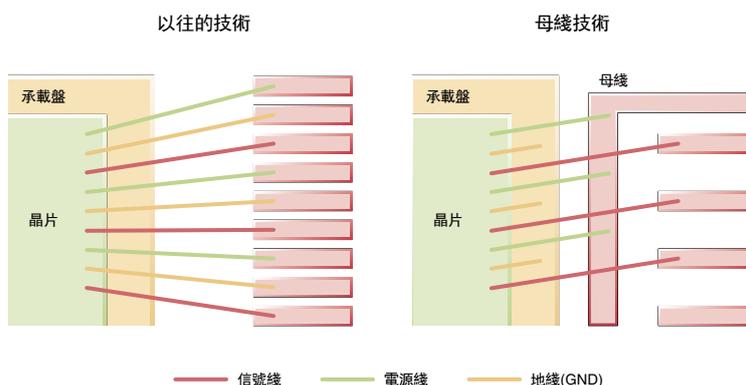


GND數量增加，晶片的I/O數目也增多。針對這個難題，QFP封裝採用母線技術，就能迎刃而解了。

TEQFP技術

TEQFP技術是將多接腳積體電路封裝中最常用的LQFP（小外形四方扁平封裝）封裝的晶片承載盤直接露在封裝外部，再將外露的承載盤直接組裝到主機板上，透過主機板增強散熱功能，從而

圖 1 採用母線技術匯集電源和 GND 的示意圖



滿足低熱阻的要求。

圖2所示為TEQFP構造。

母線技術與TEQFP技術與量產的傳統QFP技術同屬封裝工序，設備使用條件和材料等也都相同，因此，封裝成本控制可以達到傳統QFP封裝的水準。以採用母線技術新型的QFP封裝來替代以往的BGA封裝，可以實現降低產品的成本。此外，以往需要內建散熱板的QFP封裝採用TEQFP技術，也可以降低成本。

應用實例

母線技術的應用

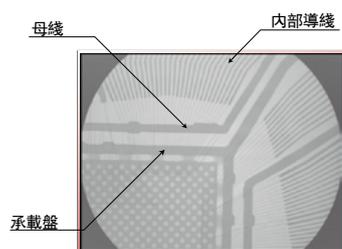
下面介紹一款面向機上盒的晶片採用母線技術的實例。

圖3所示為母線技術應用實例。

該產品的I/O約360個，以往只能支援BGA，但是此次採用母線技術，實現了LQFP256封裝。具體地，將晶片的60個電源焊盤匯集到母線上，最終只使用了8個封裝端子引出。同樣地將60個GND焊盤匯集到晶片承載盤上，再引出到8個封裝端子，從而實現了LQFP256封裝。

此外，新型QFP已用於封裝HDMI等高速IP，HDMI等高速IP的封裝適應性在LQFP中已得到驗證。

圖3 母線技術應用實例



TEQFP技術的應用

下面根據試製結果，介紹TEQFP技術的熱阻和可靠性。

圖4所示為TEQFP的熱阻。在封裝尺寸為20mm□~28mm□的條件下，比較TEQFP、LQFP和BGA的熱阻。與LQFP相比，TEQFP技術將晶片承載盤露出的部分直接組裝到主機板，熱阻大約可以降低40%。同時與同樣尺寸的BGA相比，TEQFP的各項指標更好。

圖2 TEQFP 構造

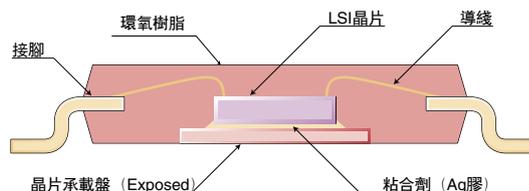
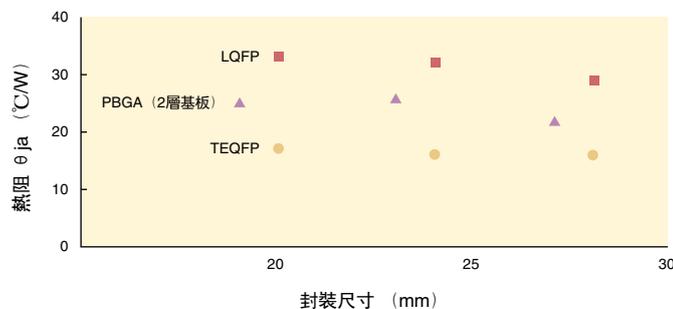


圖4 TEQFP 的熱阻



構裝基板: 84mm×117mm×1.6mm厚 4層基板 (有TH via)
測定條件: 功耗: 1W, 風速: 0m

表1 TEQFP 的可靠性資料

試驗項目		焊錫耐熱性 n=30	溫度周期 n=30	高溫高濕放置 n=30	高溫放置 n=12
		30°C / 70% - 168h +260°C × 3次	-65°C ~ 150°C (有前處理※1)	121°C / 100% (有前處理※1)	175°C (有前處理※1)
試驗結果	TEQFP176	JEDEC L3 Pass	1kcyc Pass	504h Pass	1kh Pass
	TEQFP208	JEDEC L3 Pass	1kcyc Pass	504h Pass	1kh Pass

※1: 前處理條件: 30°C / 70% - 168h + 260°C × 3次
TEQFP176: 24mm□ 0.5mm間距
TEQFP208: 28mm□ 0.5mm間距

產品規劃

以上介紹了母線技術和 TEQFP 技術的特點以及應用實例，為了進一步推廣這些技術，富士通還將繼續下述的技術開發。

圖 5 所示為技術開發路線圖。

細間距打線鍵合技術的開發

焊盤間距 $50\ \mu\text{m}$ 為目前富士通量產封裝的主流。今後，為了適應更密集的封裝接腳，封裝多功能的IP晶片，必須開發支援積體電路細間距焊盤的打線鍵合技術，富士通正致力於超細間距打線鍵合技術的開發。

細間距長線技術的開發

隨著積體電路封裝的多接腳、細間距和細線化發展，支援導線架前端（內部導線）窄間距的長線技術成為關鍵。富士通透過改良封裝樹脂的方法來解決長線技術難題。

母線設計的多樣化

富士通針對匯集電源和 GND 焊盤卓有成效的母線技術，透過對母線形狀和佈局的改良，能夠在一端集中多種電源。此外，為了實現多種 IP 的混合封裝，還構建了多種設計規則。

電特性模擬驗證高速 IP 封裝

高速 IP 採用 QFP 封裝後，須進行電特性的驗證。為了實現高速 IP 的更低價封裝，富士通採用晶片設計、組裝及特性模擬相結合的三位一體驗證模式，提高驗證效率。

本篇介紹了提高 QFP 封裝性能的技術措施，即母線技術和 TEQFP 技術。

今後，富士通將針對積體電路產品性能不斷提高的發展趨勢，加強先進技術的研發，持續為高性能晶片提供低價位封裝。

圖 5 技術開發路線圖

項目		2009年度	2010年度	2011年度	2012年度
多接腳技術	焊盤間距	$50\ \mu\text{m}$	$45\ \mu\text{m}$	$40\ \mu\text{m}$	
	內部導線間距	$130\ \mu\text{m}$ 以上			$110\ \mu\text{m}$ 以上
	綫長	$\sim 3.5\text{mm}$	$\sim 5.0\text{mm}$		
協調設計	母綫設計	單一電源的匯集		多種電源的匯集	
	高速IP	信號完整性驗證，電源完整性驗證			