

支持低功耗設計的SoC設計環境RDF V3.0

富士通為了便於低功耗LSI設計，首次在業界發表了支持標準電源描述格式CPF的用於ASIC/ASSP的設計流程RDF V3.0。

*CPF : Common Power Format

前言

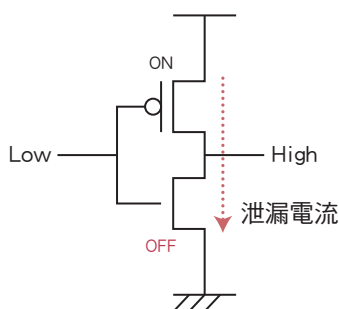
近來，市場對LSI低功耗的要求越來越嚴格。另外，隨著半導體工藝的微細化，晶體管截止時的泄漏電流也趨於增大，這導致便攜設備等註重電池壽命的產品再也無法忽視這種低功耗性要求。

在這種情況下，富士通在以往所提供的LSI設計流程RDF中加入了便於低功耗設計的功能，並新發布了RDF V3.0版本。本篇文章將介紹RDF V3.0版本支持的低功耗設計技術。

LSI 的低功耗設計技術

LSI的功耗大體可分成兩種：一種是工作時的功耗，即LSI在其驅動時鐘下實際工作時的功耗；還有一種是待機功耗，即LSI不工作，但只要接通電源就存在的功耗。待機功耗與晶體管在關斷的狀態下存在泄漏電流有關，雖然在130~180nm工藝技術之前不會成為問題，但隨著工藝線條的微細化，這種功耗不能再被忽視。（圖1）

圖1 泄漏電流



在低功耗設計中，需要根據不同的需要分別降低這兩種功耗。對於工作功耗可以用“門控時鐘電路(Clock Gating)”和“多電源設計”來解決，而減少待機功耗使用“多閾值電壓設計”或“電源門控功耗設計(Power Gating)”是有效的。

門控時鐘電路

門控時鐘電路是一種傳統技術。如果事先知道觸發器(Flip Flop)的輸入狀態不變，那麼可以通過停止此寄存器使用的時鐘(局部門控時鐘)，或停止

模塊使用的時鐘(全局門控時鐘)來減少工作功耗。（圖2）

多電源設計

多電源設計是向LSI提供不同電壓的電源，對工作頻率低的模塊通過提供低電壓電源可以減少工作功耗和漏電流功耗。不同電壓的區域不僅必須在物理上分開，這些部分之間的接口信號還需要通過插入一種叫電平轉換器(Level Shifter)的器件進行信號電平的轉換。（圖3）

圖2 門控時鐘電路

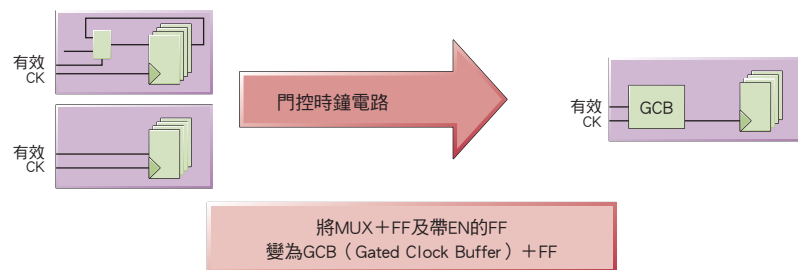
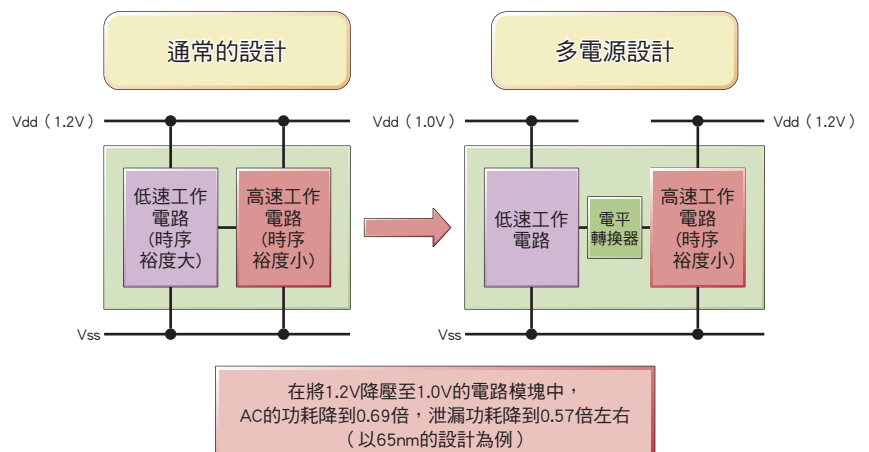


圖3 多電源設計



多閾值電壓設計

多閾值電壓設計也是一種傳統技術。它是將相對高速工作、泄漏電流大、使用大尺寸晶體管的標準單元作為時序的關鍵路徑，和泄漏電流小、低速工作、使用小尺寸晶體管的標準單元作為非關鍵路徑分開，來實現既滿足時序要求又優化泄漏功耗的一種設計方法。（圖4）

門控功耗設計

門控功耗設計是近年非常受到關注的技術，它通過關斷停止工作模塊的電源來大大降低漏電功耗。其中在LSI內部設置電源關斷的開關叫做“片上電源門控器(On Chip Power Gating)”。（圖5）

與多電源設計一樣，需要關斷電源的模塊要在物理上分開設計。另外，由於被關斷電源模塊的輸出信號，有可能成為非高也非低的中間狀態，正在工作的電路不能直接接收這些信號，所以需要使用一種叫做隔離器(Isolator)的電路接口。（圖6）

邏輯驗證時也必須注意：傳統的邏輯仿真器由於不考慮電源關斷狀態，所以存在邏輯仿真看來工作實際上卻沒有電源供給的電路。（圖7）

另外，對於片上電源門控，需要抑制電源關斷開關開啟時產生的電源噪聲，以保證不影響其他電路。（圖8）

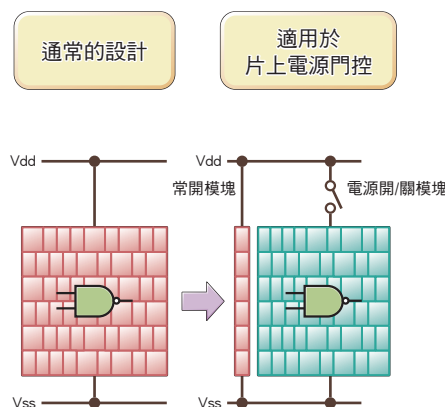
電源描述的標準格式CPF

在傳統的邏輯設計中，設計者沒有必要特別注意電源，但是對於多電源設計和電源門控設計就必須慎重地考慮這個問題了。然而，迄今為止還沒有描述電源的格式。2006年，在美國Cadence公司的呼籲下，包括富士通在內的20余家半導體廠商和EDA廠商組織了PFI (Power Forward Initiative)，並制定了電源描述格式CPF (Common Power Format)。^{*1}

就像RTL和SDC分別表現邏輯和時序信息一樣，CPF中可以記述LSI的電源信息以及能自動插入電平轉換器和隔離器的規則等。這意味著對以前的RTL設計不作任何修改即可實現低功耗的設計。

從RTL仿真、邏輯綜合、物理設計，到物理驗證的所有設計階段都可以參照CPF，它是一個可實現高可靠性的設計流程。

圖5 片上電源門控



並且，通過將邏輯仿真NC-Verilog (IUS)讀入CPF，可以檢查以往不能檢測的如圖7所示的電源關斷狀態時的故障。

*1：目前正在標準化Si²。

支持CPF的RDF V3.0

本公司的RDF V3.0，由於率先在業界支持標準電源描述格式CPF，極大地方便了多電源設計和電源門控等物理設計。

另外，將邏輯設計者有意識地驗證後的電源信息，以CPF這種單一形式在整體流程中共享，可以實現高可靠性的設計。

整體的設計流程如圖9所示。雖與傳統的流程沒有大的區別，但在各個階段中加入了新的功能。如在邏輯綜合、版圖設計和Sign-Off前驗證階段，根據不同電壓的電源域進行適當的延時計算。版圖設計中，自動布局，時鐘數的產生及時序的優化時也會考慮物理區域的布局，自動插入電平轉換器、隔離器和電源關斷開關。並且有新導入的低功

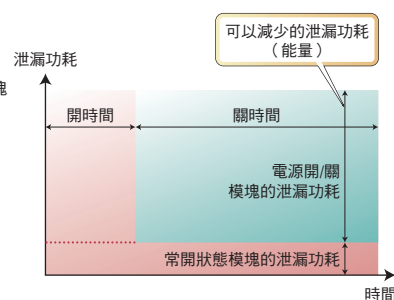


圖7 電源關斷引起的故障

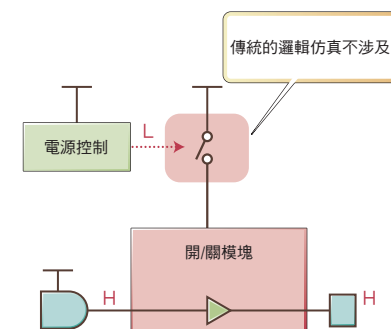


圖4 多閾值電壓設計

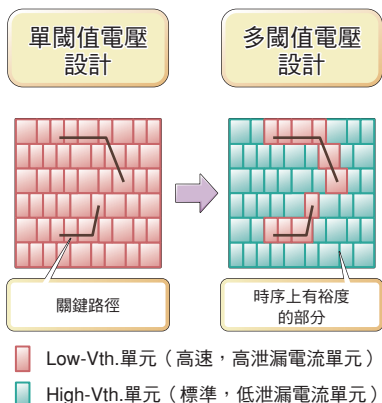
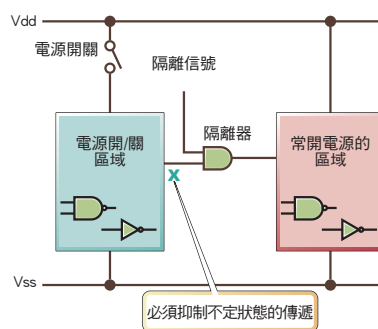


圖6 隔離器



耗檢查工具“Conformal-LP”來檢查這些電平轉換器，隔離器和電源開關是否正確插入。另外，它也支持由電源開關產生的IRDrop的分析及含有不同電源的LVS驗證等。

此外，富士通為了降低電源關斷開關開啟時引起的噪音，還開發了獨立的電源開關控制電路（PMU）和調整開關參數的方法。採用這種技術可以使含有片上電源門控設計的芯片的動作更加穩定。^{*2}

*2：正在申請專利。

圖8 開關所產生的電源幹擾

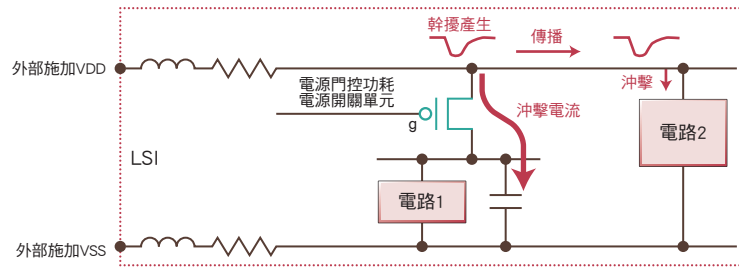
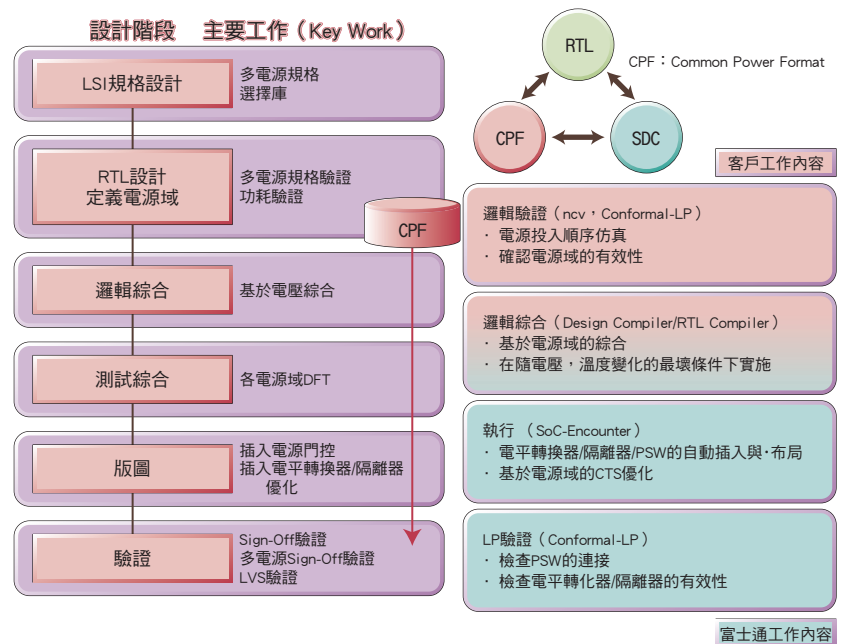


圖9 設計流程



今後的計劃

UPF是美國Synopsys公司和Mentor Graphics公司制定的與CPF一樣的有標準格式的電源描述格式。為了能支持使用Synopsys公司和Mentor Graphics公司的邏輯設計的ASIC客戶，富士通將從2008年開始研討對UPF的支持。

總結

RDF V3.0采用標準電源描述格式CPF，可實現表1、表2所示的方便且安全的低功耗設計。

表1 支持低功耗設計流程的RDF V3.0的技術

時鐘門控	○
多電源設計	○
多閾值電壓設計	○
電源門控	○

表2 支持低功耗設計流程的RDF V3.0之詳細功能

多電源設計	自動插入電平轉換器	○
	基於電壓的延時計算	○
	自動插入隔離器	○
電源門控	自動插入電源開關	○
	削減電源開關 ^{*1}	○
	含電源開關的IR-Drop分析	○
	插入常態開緩存器 ^{*2}	○
	支持保持寄存器 ^{*3}	計劃中
	電源關斷時的邏輯仿真	○
通用	電平轉換器、隔離器的遺漏檢查	○
	計算功耗	○
	物理驗證（DRC，LVS）	○
	支持UPF	計劃中

*1：該技術針對ASIC/ASSP。若對COT客戶提供技術支持，另外加收技術支持與開發費用。

*2：需要在電源關斷區域上穿過配線時所使用的特殊Repeater Buffer單元。

*3：為了在電源關斷時也可以保持數據使用的保存鎖存器和有第二個電源端子的特殊觸發器模塊。