

先端テクノロジーにおける「カスタム SoC」の設計手法を刷新 ～「ホワイトスペース」最小化と論理・物理の協調最適化で高密度集積と短期間でのレイアウトが可能に～

富士通セミコンダクター株式会社(注1)は、28nm等の先端テクノロジーを採用したSoC開発において、集積度の向上と開発期間の短縮を実現する新しい設計手法を開発しました。本設計手法の適用により、同一サイズのチップに搭載できる回路が33%増加(注2)し、最終レイアウト工程(注3)を最短1か月で完了できるようになります。本手法は、当社が提供する「カスタム SoC ソリューション」の一部として、RTLハンドオフ(注4)によるSoC品種の開発に適用されます。本手法による新規開発の受付は2014年2月に開始する予定です。

28nm等の先端テクノロジーを採用したSoCでは、多機能化、高性能化がますます求められており、より多くの回路を搭載する必要性が高まる一方で、設計の複雑化、開発期間の長期化、消費電力の増加が課題となっています。このように複雑化するSoCの開発において、当社は従来の設計手法を刷新し、集積度の向上、開発期間の短縮、および低消費電力化を可能としました。

1. 「ホワイトスペース」を最小化する設計手法

- 顧客の論理設計の初期段階により、当社独自の手法にてフロアプランの検討や配線経路とタイミング収束性を考慮した内部バスの最適化などを行います。これにより、チップ上にトランジスタが配置されない「ホワイトスペース」を最小化することで、搭載できる回路を増やすことができます。

2. 論理と物理のアーキテクチャーを協調させて最適化する独自技術

- 手作業の論理変更を必要とせずに、レイアウトに最適なネットリストを自動で合成します。これにより、その後のレイアウト工程における配線性、タイミング収束性が改善し、さらなる集積度の向上と開発期間の短縮が実現します。

以上の新手法を適用することで、同一サイズのチップに搭載できる回路が33%増加し、また最終レイアウト工程を最短1か月で完了できるようになります。

本手法は、当社が提供する「カスタム SoC ソリューション」の一部として、RTLハンドオフ形態によるSoC品種の開発に適用されます。新規開発の受付は2014年2月に開始する予定です。

当社は、長年世界トップレベルのASICベンダーとして培ってきた先端デバイス実装・製造技術と、システム検討・開発支援サービスなどを統合し、ワンストップで高性能SoCの開発を可能にする「カスタム SoC ソリューション」の提供を通じて、高性能・低消費電力のSoCの短期間での開発で顧客をサポートしていきます。

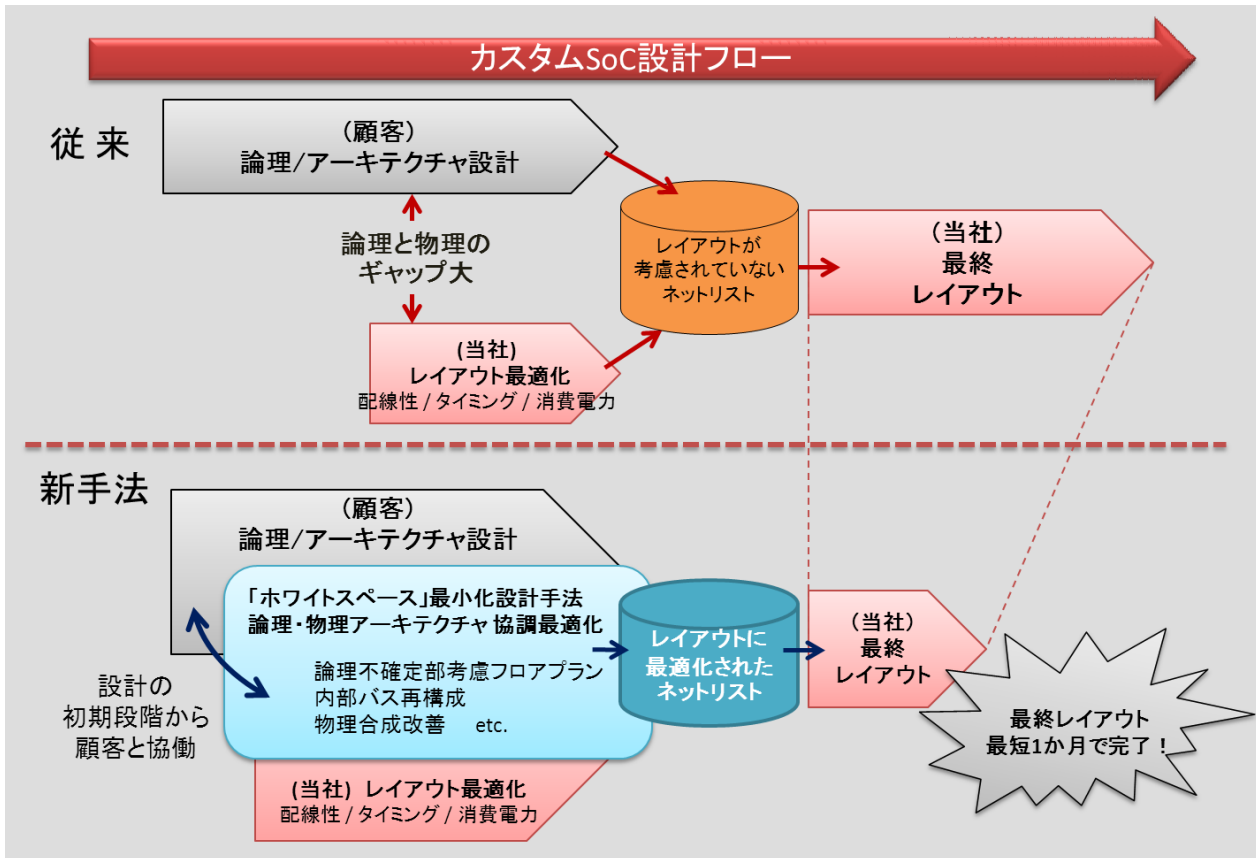


図 1. 新技術の概要

【商標について】

記載されている製品名などの固有名詞は、各社の商標または登録商標です。

【注釈】

注 1 富士通セミコンダクター株式会社：

本社 神奈川県横浜市、代表取締役社長 岡田 晴基。

注 2 搭載できる回路が 33%増加：

当社 ASSP 品種における新旧手法の比較による。

注 3 最終レイアウト工程：

論理設計が完了した後、LSI チップ上の物理的な回路の配置(レイアウト)を行う工程。

注 4 RTL ハンドオフ：

顧客が RTL(Register Transfer Level、LSI の機能仕様を記述した設計データ)を当社にリリースし、以降の設計工程を当社が実施する形態。

【関連リンク】

<http://jp.fujitsu.com/group/fsl/>（富士通セミコンダクター）

<http://jp.fujitsu.com/microelectronics/products/asic/>（カスタム SoC）

【本件に関する 技術的なお問い合わせ先】

富士通セミコンダクター株式会社

お問い合わせフォーム：

https://jp.fujitsu.com/cgi-bin/fjid/formoutput_cs.cgi?FMT=/contact/csform/csque00901/form0010/1

以 上

プレスリリースに記載された製品の価格、仕様、サービス内容などは発表日現在のものです。その後予告なしに変更されることがあります。あらかじめご了承ください。