

2000年からのMCP新技術

当社がこれまでにMCPの小型軽量・高機能化を目指して開発したスタック技術を解説するとともに、2000年以降のMCPに適用していく小型軽量化技術について解説します。

概要

1997年4月、当社は世界に先駆けてフラッシュメモリとSRAMを1つのパッケージに搭載し、実装面積をそれまでの30%に縮小したMCPの出荷を開始しました。それ以来、各社から同様のコンセプトの製品が相次いで市場に投入され、今では、フラッシュメモリとSRAMを搭載したMCPは、携帯電話端末の標準部品として確固たる地位を築くに至りました。当社ではこの間、スタック技術を初めとする数々のMCP新技術を開発し、継続的に小型軽量化、高機能化を図ってきました。

本稿では、これまでに開発されたMCPの主な小型軽量化技術を解説するとともに、2000年以降のMCPに適用していく新しい小型軽量化技術をご紹介します。

背景

MCPが携帯電話端末の標準部品となった背景には、携帯電話端末への強い小型軽量化要求と高機能化要求があります。端末機レベルでの小型軽量化を、搭載メモリ容量を拡大しながら実現する方法として、当社は次の提案・開発を進めてきました。

デュアルオペレーション・フラッシュメモリとファイル管理ソフト（SoFFS）の提供により、EEPROM部品とRAM機能の一部をフラッシュメモリで置き換える。

最終的な必須メモリ機能である、フラッシュメモリとRAMを1つの小型パッケージに搭載する。

大容量化による面積拡大をパッケージの小型化技術で吸収し、さらに小型化を目指す。

2000年以降の携帯電話では、通話品質と通信速度の向上はもちろんのこと、メール機能の充実・WEB閲覧、静止画・動画の取扱いおよびそれらのカラー画像化など、単なる携帯電話の機能だけに留まらず、さまざまな機能が追加されます。この

ため取扱いデータ量の増大は必至であり、結果として必要メモリ容量も増大することになります。つまり2000年以降のMCPは、小型化を保ったうえでの大容量化が重要なポイントになります。

図1に当社MCPの変遷を示します。

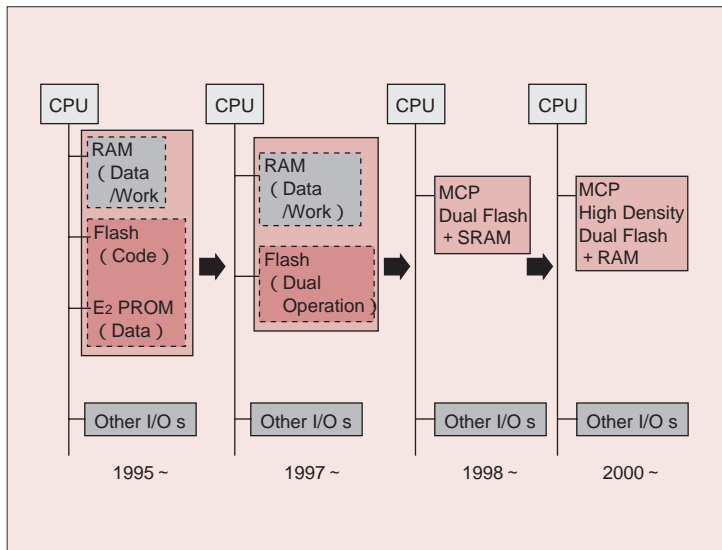
これまでのMCP技術

初期のチップ横置き型MCPからのさらなる小型化要求に対し、当社は1998年、スタックMCP技術を開発し製品に適用しました。これは、パッケージ取付け高さをそのままに、外形サイズの縮小化を実現していました。同時に、TSOPタイプ（リード付パッケージ）に対してもこのスタックMCP技術を適用しました。

●スタックMCPの基本構造

FBGAでは、パッケージの配線基板にポリイミド基板を用い、TSOPでは、リードフレームを用いています。ともに実績のあるインタポーザ材料ですが、内部配線の最適化によりスタック化を実現して

図1 当社MCPの変遷



います。チップは2個ともフェイスアップ構造で搭載されており、LSIとの接続には、高い汎用性と量産性を持つワイヤボンディング技術を採用しています。また、FBGAでは一括封止技術でモールドし、外形形成時は寸法精度の高い、ダイシング方式を採用しています。

図2にFBGAタイプとTSOPタイプの基本構造を示します。

●スタックMCPのFBGA技術

FBGAのようなファインピッチのエリアレイタイプのパッケージも、近年の小型化の流れから市場で多くの採用実績が積み、今や標準のものとなりつつあります。スタックMCPも、携帯電話市場から小型軽量化を要求され、0.8mmピッチのFBGAを採用しています。また、このスタックMCPの基板には、高い耐リフロー性を実現するために、あらかじめ水蒸気を逃がすための穴を設けています。

●スタックMCP用のL/F技術

リード付きのスタックMCPとして、0.4mmピッチTSOP-56ピンを開発しました。TSOPは基板実装後の取付け高さを低くするため、ボディ厚さは1.0mmと薄く作られています。そこにチップを2個搭載してもモールド性(樹脂の充填性)を損なわないようにするため、パッケージ上下の樹脂流動バランスの最適化を図っています。これにより、従来のTSOPと変わらない、取付け高さ1.2mm(最大)を実現しています。

●薄チップ研削技術

従来パッケージに搭載されていたチップは、厚さ300 μ m～500 μ mのものが主流でした。しかし、1パッケージ内にスタックするためには、さらに薄く研削する必要があります。現在のスタックMCPでは、新たに研削技術を開発し、厚さ200 μ mまで薄型化して適用しています。

●絶縁性シート系ダイボンド材の開発

チップの機能を保持し、チップを上下に積み重ねるためには、チップ～チップ間の絶縁性を保ちつつ、チップ同士を接合する必要があります。また、チップの回路路上にさらにチップを搭載するために、ペースト系ダイボンド材は使用できません。そのため、当社では絶縁性シート系接着剤を開発し、チップ間の接着部の高い信頼性が得られるようにしました。また、精度よく接着できるので上下チップサイズの制限が緩和され、適用できるチップの種類が大幅に拡大されました。

●短/低ループと台形/低ループ技術

スタックMCPはこれまで述べてきた通り、上下にチップを重ね合わせています。当然ワイヤループも、上チップからと下チップからの両方を形成する必要があります。下チップのワイヤに求められることは、チップエ

ッジに接触しない程度に低く短くすることです。上チップのワイヤは、既下チップからのワイヤが張られているため、それらとの接触を避けるために、長く台形状となるループ形成が必要となります。しかし、パッケージサイズは小さく薄く作る必要があるため、ワイヤループも必然的に低く張ることが求められます。これらを実現するため、装置の改良を図り、上下チップに見合った条件のワイヤループ形成を実現しました。

従来の1チップ対応のパッケージ組立とは異なる、新しいパッケージング技術開発を行い、現在のスタックMCPを量産しています。さらに2000年以降のパッケージに求められる要求に対して、新たな開発を行っています。

2000年からのMCP新技術

MCPのさらなる小型化・薄型化の要求に対し、パッケージ取付け高さのさらなる薄型化と外形サイズの縮小化を行い、さらに3個以上のチップの1パッケージ化も目指します。また、TSOP(リード付きパッケージ)の小型化に対しても、現状の技術では限界に達しているため、新たなパッケージング技術を開発しています。

●さらなる薄チップ化

従来のMCPでは厚さ200 μ mのチップを用い、パッケージの取付け高さ1.4mm(最大)を達成していましたが、2000年モデルではパッケージの取付け高さをさらに薄型化し、1.2mm(最大)を狙いました。この実現には、搭載されるチップをさらに薄く削ることが必要であり、従来の研削装置と条件の改良を行うことで、チップ厚をさらに薄くし、140 μ mを達成しています。薄いウェハ、チップの取扱いも難しくなりますが、ウェハ搬送系や薄チップダイボンド工程の改善を行い、問題なく140 μ mを扱う技術を確立しました。これらのことにより、FBGAでパッケージ取付け高さ1.2mm(最大)を実現しました。

●さらなる低/短ループワイヤ化

パッケージサイズとチップサイズのサイズ差を縮小し、小型化を図るためには、パッケージ基板上のワイヤボンディングエリアを小さくすることが必要です。そのためにワイヤボンディング技術のさらなる改善を行い、より低く、短いワイヤループを達成しました。この技術により、今まで必要だった2mmのボンディングエリアを、1mmまで縮小化し、パッケージサイズをチップ+1.0mmまで縮小化することができました。

図2 FBGAタイプとTSOPタイプの基本構造

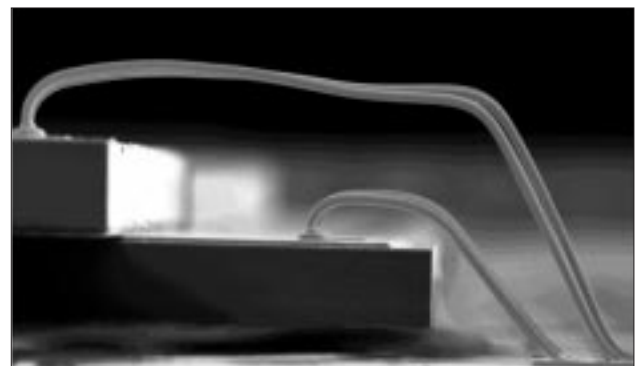
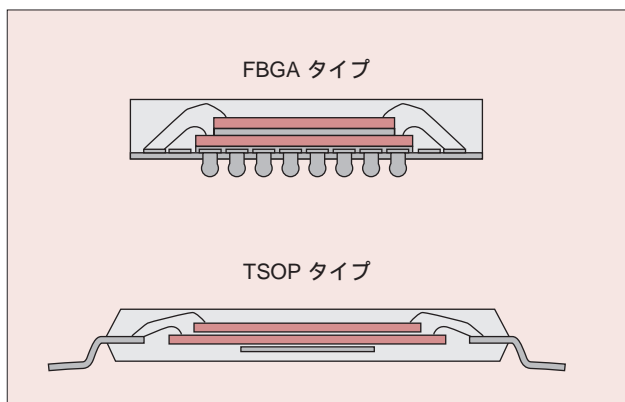


写真1 短/低ループ・台形/低ループ技術

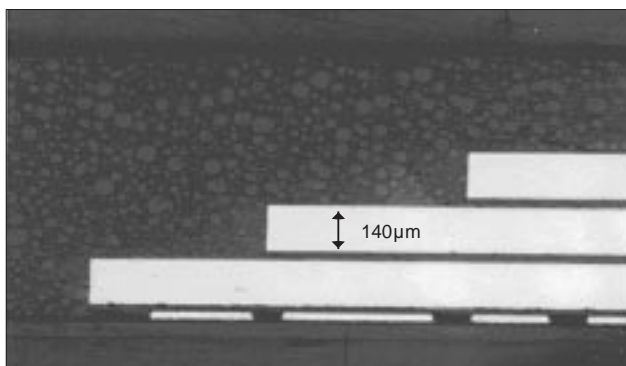


写真2 チップ厚140µmを実現

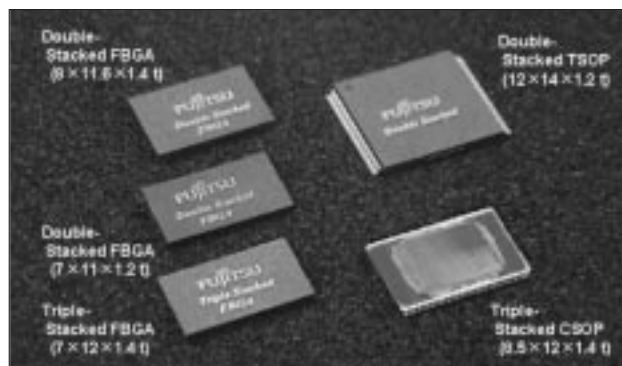


写真3 当社製パッケージ

●フリップチップ接続技術

従来のMCPでは、チップとパッケージ基板の接続に、ワイヤボンディング技術を用いていました。ワイヤ方式は、汎用性、量産性に優れた技術ですが、ループ形成するために、そのループ分の高さが必要になります。この分、パッケージが厚くなり、取付け高さが高くなってしまいます。フリップチップ技術は、チップをフェイスダウンで基板に電氣的に接合する技術で、チップの電極端子と基板の電極端子が対になるため汎用性は少なくなります。しかし、小型化・薄型化を追求する場合には有効な技術になります。この技術の採用により、さらなる小型化・薄型化を達成していきます。

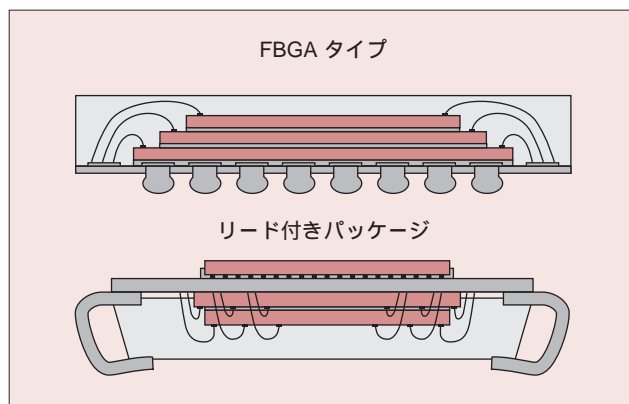
●複数（3チップ以上）の1パッケージ化

従来のMCPでは、フラッシュメモリとSRAM 1チップずつを、1つのパッケージに搭載してました。しかし市場からの要求はますます小型・薄型・高機能化に向かっており、さらなる高密度化の技術が要求されてきています。その要求に応えるために、前述の技術を応用・発展させ、3つのチップの1パッケージ化についても開発を進めています。

また、超小型のリードタイプパッケージの要求にも応えるためには、リードフレームの技術だけでは実現できません。そこで、基板技術との複合化を行い、超小型のスタックMCP CSOPを開発しています。この技術により、リード付きのパッケージながら、FBGAと同じくらいのサイズを実現できます。

図3に3チップのスタックMCPの基本構造を示します。

図3 3チップのスタックMCPの基本構造



パッケージング技術比較

図4に、2000年からのMCP新技術によるパッケージング技術比較を示します。

今後のMCPへの展開

これらの新技術をMCP製品に適用していくことにより、2000年からは例えば次のような製品が実現可能になります。

●BGA型スタックMCPのさらなる小型化

例：8 mm×11.6mm×1.4mm 7 mm×11mm×1.2mm
(32Mビット フラッシュ+ 4 Mビット SRAMの場合)

●大容量スタックリード付きパッケージの小型化実現

例：8.5mm×12mm×1.2mm
(32Mビット フラッシュ+ 8 Mビット SRAMの場合)

●小型トリプルスタックMCPの実現

例：7 mm×12mm×1.4mm
(32Mビット フラッシュ+16Mビット フラッシュ+ 8 Mビット SRAM, BGA型の場合)

例：8.5mm×12mm×1.4mm
(32Mビット フラッシュ+ 32Mビット フラッシュ+ 8 Mビット SRAM, リード付きの場合)

さらに2000年には、デバイス技術の面からも64Mビット フラッシュ搭載品や16Mビット RAM搭載品も実現できるようになり、さまざまな選択肢からシステムに最適なソリューションを提供できる体制が整います。

図4 2000年からのMCP新技術によるパッケージ技術比較

