

富士通のFRAM技術をご紹介する シリーズFRAMがスタートします

DRAMやSRAMの低電圧・高速ランダムアクセス性能と、フラッシュメモリやEEPROMのデータの不揮発特性を合わせ持ちながら、従来とは異なる記憶方法により低消費電力で動作する画期的な記憶媒体、それがFRAMです。

富士通の半導体技術の粋を集結したFRAMは、無線通信技術や信頼度の高いセキュリティ技術を使った非接触型スマートカード、新携帯情報機器等、未来の社会インフラやシステムに欠かすことのできない理想的なメモリです。

これから5回に渡り、富士通のFRAM技術をご紹介いたします。

- 第1回 富士通のFRAM技術動向
- 第2回 FRAM低電圧センス技術
- 第3回 富士通のFRAMプロセス技術
- 第4回 FRAM搭載商品のセキュリティ設計
- 第5回 FRAM搭載非接触型スマートカードの展開



FRAMは、高速、高頻度書換え、低消費電力、不揮発性という特長を有しており、特にセキュリティや低消費電力などが要求されるスマートカード、携帯機器に最適です。富士通ではこのFRAMを世界で初めてマイコンに搭載し、すでに乗車券、市民カード、アミューズメント、個人認証などのスマートカード市場に展開しており、そのアプリケーションは、今後ますます拡大していきます。

第1回

富士通のFRAM技術動向

低電圧動作，高耐久性，低消費電力などの特長を持つFRAMは，理想のメモリとして期待されています。

本稿では，今後のFRAM技術の動向について，デザインルール，セルサイズ，セル回路，セルキャパシタ構造をご紹介します。

はじめに

近年，FRAM(Erroelectric Random Access Memory)が，高速・低電力である不揮発性メモリとして注目されています。FRAMの動作は，強誘電体が電場・分極特性にヒステリシスを持つことを利用しており，1963年のMollとTaruiによる原理検証が最初のメモリ化の検討とされます^{*1}。その後，各種の材料，デバイス構造の検討がなされましたが，1988年に米国のRamtron社^{*2}，Krysalis社^{*3}から本格的に集積化されたデバイスが発表されたのをきっかけに，内外の研究機関で活発な研究開発が行われるようになりました。しかし，期待に反してその後約10年の間，FRAMデバイスは量産製造には至りませんでした。その理由は，強誘電体キャパシタ特性の不安定，既存のシリコンLSIプロセスとの非整合性，データ保持特性の信頼性など，多くの障害があり，FRAMが量産に耐えられるレベルになかったためです。しかし近年，強誘電体の成膜・微細加工技術，および信頼性評価技術の急速な進歩により，1996年に0.8 μm ルールの2KバイトFRAMの量産が始まりました。当社においても1999年に，0.5 μm ルールFRAM(容量：4Kバイト)の出荷を開始しました。

FRAMの市場は，当分の間，ICカードとFRAM混載マイコンが主流です。ICカードにおいては，今後，シングルアプリケーションICカードからマルチアプリケーションICカードへと移行が進みます。それに伴い，より多くのメモリ容量と，より高いICPUエンジンパフォーマンスが要求されます。メモリ容量を増やすためには，デザインルールの縮小とセル面積の縮小が必須となります。

本稿では，今後のFRAMの技術動向，とくにデザインルール，セルサイズ，セル回路方式，セルキャパシタ構造について概説します。

デザインルールとセルサイズ

1999年に当社は，0.5 μm ，2T2CタイプFRAM(動作電圧：5V)の量産を開始しました。この当時，強誘電体キャパシタの最小加

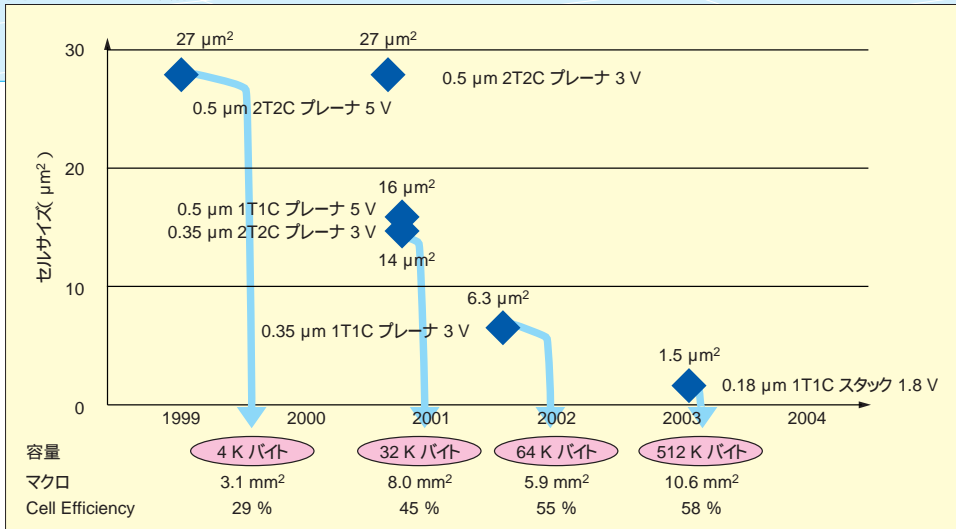
工寸法はCMOSに比べて格段に大きかったため，0.18 μm といった最先端のデザインルールを用いてもセル面積の縮小効果は小さく，製造コストも下がりませんでした。そこで，コストパフォーマンスを上げるためには，世代の経過した既存のCMOSプロセスに整合させる必要があり，0.5 μm のデザインルールを採用しました。セルサイズは，Li(局所配線)の採用により，4.2 $\mu\text{m} \times 6.5\mu\text{m} = 27\mu\text{m}^2$ となり，製品化されているFRAMでは，世界最小のセルサイズを実現しました^{*4}。

図1にFRAMの技術ロードマップを示します。

0.5 μm のデザインルールではセル面積が大きく，市場が要求するメモリ容量をチップに作り込むことが困難となってきました。特に，次世代のICカードとして期待されているマルチアプリケーションICカードでは，各種の公開カードOS(Java, Multos, WFSCなど)に対応するため32Kバイト以上のメモリ容量が必要とされています。さらに，ICカード用チップは強度保証のため，5mm以下のチップサイズが要求されています。限られたスペースに，FRAMのほかに32ビットCPU，マスクROM，SRAMを混載するために，デザインルールの縮小が必須となっています。このため，現在，0.35 μm のデザインルールへの移行が行われており，2001年に0.35 μm ，2T2CタイプFRAM(動作電圧：3V)の量産を開始しました。セルサイズは14.0 μm^2 と，0.5 μm ルールFRAMの約半分になっています。さらに2003年には，セル構造を2T2Cタイプから1T1Cタイプに切り替えることで，セル面積を6.3 μm^2 に縮小した0.35 μm ルールFRAMの第2世代製品を量産します。

今後，マルチアプリケーションICカードでは，256Kバイト以上のメモリ容量が要求されており，デザインルールのさらなる縮小が必要となっています。この要求に対応して，現在，0.18 μm ルールFRAMのデバイス開発を行っています。セル面積縮小のために，これまでのプレーナキャパシタ構造からプラグ上スタックドキャパシタ構造への変更を検討しています。0.25 μm ルールをスキップすることにより，ITRSのロードマップ^{*5}より1年先行して，2004年には，0.18 μm ルールFRAM(セルサイズ：1.5 μm^2)の量産を開始する予定です。

図1 FRAMの技術ロードマップ



シタ構造が採用される世代に検討される回路技術と位置付けられています。

セルキャパシタ構造の改良としては、プラグ上スタック構造が有力です。現在、製品で採用されているプレーナ構造は、強誘電体キャパシタとアクセストランジスタのソース間を接続するAI配線領域が必要でした。これに対し、プラグ上スタック構造では、強誘電体キャパシタとアクセ

ストランジスタのソース間をプラグ配線 (WあるいはポリSi) で接続します。このため、AI配線領域が不要となり、セル面積を大幅に縮小できます。しかし、この構造を実現するには、強誘電体キャパシタの微細加工技術、プラグの耐酸化電極、強誘電体の低温成膜技術など多くの開発課題があります。当社では既に基本開発を終了し、プラグ上スタック構造のセルを有するFRAMの完全動作に成功しています。

セル回路方式とセルキャパシタ構造

前述したように、今後ますますセルサイズの縮小が要求されています。これに対して現在、主にセルの回路方式、セルキャパシタ構造の改良が行われています。

図2にセル回路方式とセルキャパシタ構造の動向を示します。

セルの回路方式の改良としては、まず2T2Cセルから1T1Cセルへの移行が挙げられます。

図3に2T2Cセルと1T1Cセルの構造を示します。

これまで製品化されているFRAMは、ほとんどが2T2Cセルタイプです。2T2Cセルは、1T1Cセルを2個組み合わせ、互いに逆のデータを保持する方式です。2T2Cセルは1T1Cセルに比べて動作マージンが大きく、かつ隣同士に配置されたペアの強誘電体キャパシタを用いるため、キャパシタ容量特性が揃っており、デバイスの安定動作が容易です。一方1T1Cセルは、入力電圧と比較される参照電圧（ビット線に誘起された電位を判定するための電圧）が必要で、通常、この電圧は強誘電体キャパシタから発生させています。DRAMと類似したセル構造で、セルサイズは2T2Cセルの約半分という利点がありますが、強誘電体キャパシタ特性がばらついて、1T1Cセルの動作が不安定になる可能性があります。しかし当社は、強誘電体成膜技術とプロセス技術の開発によって、1T1Cセルを搭載したFRAMデバイスの動作を安定化させ、世界で初めて製品化することに成功しました。

もう一つのセル回路方式の改良として、プレート線の共通化があります。現在、製品化されているFRAMは、プレート線分離方式を採用しています。これは、プレート電極をワード線と同じように分割し、これに電源電圧 (VDD) を印加して強誘電体キャパシタを駆動する方式です。これに対しプレート線共通方式は、プレート電極を分割せず、1/2VDDに固定したものです。通常のプレート線分離方式に比べてセルサイズを約30%縮小でき、さらにプレート線を駆動しない分、動作速度も速くできるという利点があります。しかし、強誘電体キャパシタに印加される電圧が、プレート線分離方式の半分となるので、必要なスイッチング電荷量の確保が困難です。したがって、後述する立体スタックキャ

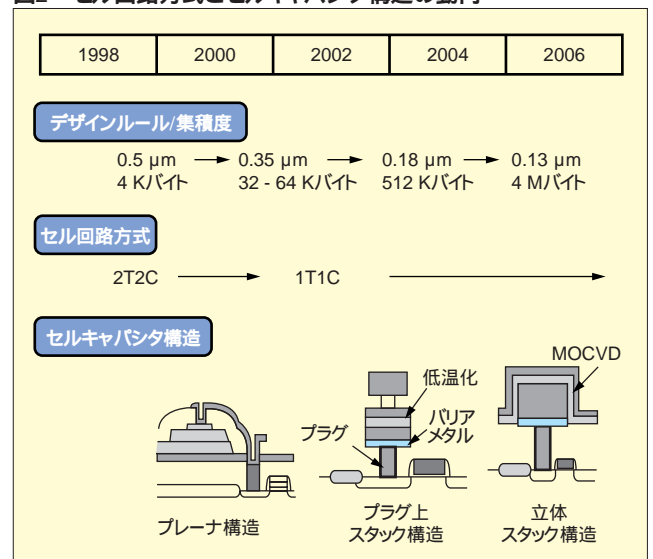
メモリセル高集積化の課題

今後ますますセルサイズの微細化が進んでいくと、強誘電体キャパシタ面積の縮小と電源電圧の低下に伴い、セルあたりのスイッチング電荷量の低下が問題となってきます。そこで、FRAM動作に必要な最小スイッチング電荷量を見積もりました。

表1に各デザインルールにおけるFRAMの諸特性を示します。

FRAM動作には、0と1のデータを区別するためのビットライン電位差が必要となり、この電位差はセンスアンプの検出感度により決定されます。本稿での計算では、トランジスタのリークによ

図2 セル回路方式とセルキャパシタ構造の動向



る損失を考慮して、ビットライン電位差を150mVと仮定しました。また、スイッチング電荷量は、各世代とも $30\mu\text{C}/\text{cm}^2$ を確保できるものとししました。0.13 μm ルール世代では、1セルあたりのスイッチング電荷量は30fC/セルとなり、必要最小スイッチング電荷量である38fC/セルを満たしていません。

電源電圧の低下によるスイッチング電荷量の減少は、FRAMのセンス方式の改良により対策がなされています。一方、強誘電体キャパシタ面積の縮小によるセル当たりのスイッチング電荷量の減少に対しては、図2に示したように、立体スタックキャパシタ構造による電極面積の増大が有効です。キャパシタの立体化では、強誘電体膜の段差被覆性が重要となるため、今後、MOCVD (Metal Organic Chemical Vapor Deposition) による強誘電体成膜技術の開発を急いでいます。

今後の展開

究極のメモリとして期待されてきたFRAMの量産が始まりました。すでに数百万個/月レベルに達しており、ICカードをはじめ各種の用途で用いられています。CMOSの設計ルールから数世代遅れて始まったFRAMも、市場からの強い高集積化への要求に後押しされて、メモリセルの縮小化が急速に進んできました。具体

図3 2T2Cと1T1CのFRAMセル構造

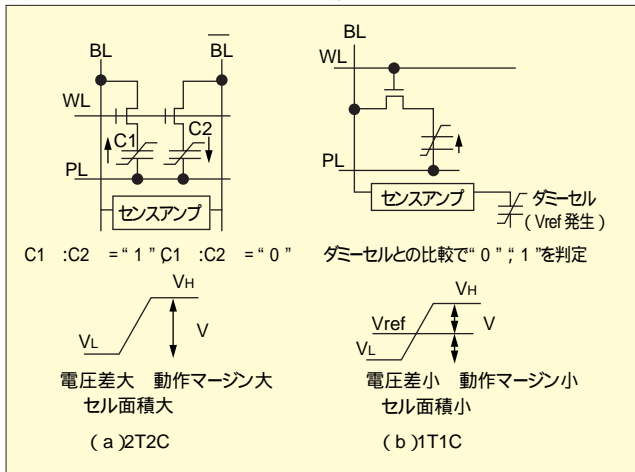


表1 各デザインルールにおけるFRAMの所特性

| | デザインルール | | |
|--|--------------------|--------------------|--------------------|
| | 0.35 μm | 0.18 μm | 0.13 μm |
| キャパシタ面積(μm^2) | 1.5 | 0.5 | 0.1 |
| 電源電圧(V) | 3 | 1.8 | 1.2 |
| セル回路構成 | 2T2C/1T1C | 1T1C | 1T1C |
| スイッチング電荷量($\mu\text{C}/\text{cm}^2$) | 30 | 30 | 30 |
| スイッチング電荷量(1セル当たり)(fC/セル) | 450 | 150 | 30 |
| ビットライン容量(fF) | 500 | 320 | 250 |
| ビットライン電圧差(mV) | 150 | 150 | 150 |
| 必要最小スイッチング電荷量(1セル当たり)(fC/セル) | 75 | 48 | 38 |

的には、1T1Cセル回路の導入、低電圧回路の考案といった回路技術、プラグ上スタックドキャパシタ構造を実現したプロセス技術の進歩などが挙げられます。これらの新技術を集約した結果、現在、0.35 μm ルールFRAMの量産を開始しており、2003年には0.18 μm ルールFRAMの量産を予定しています。また、本稿では触れていませんが、FRAMはRAMとROMの機能を併せ持つため、それぞれのデバイスの信頼性が同時に要求されています。この要求に対し、回路技術とプロセス技術の開発によって、信頼性(書換え回数とデータ保持時間)も大幅に向上しました。

今後、0.13 μm ルール世代では、立体スタックキャパシタ構造と、プレート線を共通化した回路の導入により、ほぼDRAMと同様のセルサイズと動作速度が可能になると予想されます。この世代では、FRAMが各種システムのワークメモリとして使えるようになり、FRAMが究極の不揮発性RAMとして市場を席捲していくと思われます。

(株)富士通研究所 シリコンテクノロジー研究所
メモリデバイス研究部 大谷成元

[参考文献]

- *1: T. L. Moll et al. : A New Solid State Memory Resistor . IEEE Trans. Electron Devices, Vol.ED-10, p.338 (1963).
- *2: S. S. Eaton et al. : A Ferroelectric Nonvolatile Memory . IEEE International Solid-State Circuits Conference, p.130 (1988).
- *3: J. Evans et al. : An Experimental 512-bit Nonvolatile Memory with Ferroelectric Storage Cell . IEEE J. Solid State Circuits 23, p.1171 (1988).
- *4: T. Yamazaki et al. : Advanced 0.5 μm FRAM Device Technology with Full Compatibility of Half-Micron CMOS Logic Device . IEDM Digest of Technical Papers, p.613 (1997).
- *5: S. Kawamura : International Technology Roadmap for Semiconductors . FEP & PIDS ITWG, p.26 (2001).

用語解説

キャパシタ (Capacitor)

2枚の金属板で絶縁物を挟んだもの。金属板に電圧(電界)をかけると、その電圧の強さに応じた電荷を蓄積できる素子のこと。ここでは、絶縁物は強誘電体材料で、蓄積電荷量は分極量と呼んでいます。

スマートカード

LSI (Large Scale Integration : 大規模集積回路) チップを搭載したカードのこと。

電氣的接点(金端子)を持つ接触型スマートカードとその端子を持たず、無線で通信を行う非接触型スマートカードがあります。現行製品の記憶容量は、8Kバイトで、英数字にして8192文字を記憶できます。また、内部にCPUを保持しているため、カードの改造や複製が極めて困難であり、安全性が高い特徴を持っています。

1T/1C (1 Transistor/1 Capacitor)

1個のトランジスタと1個のキャパシタの2つの素子で構成されているメモリセルのこと。この構造の代表にDRAMがあります。

2T/2C (2 Transistors/2 Capacitors)

2個のトランジスタと2個のキャパシタの4つの素子で構成されているメモリセルのこと。