

第3回 シリーズFRAM

富士通のFRAMプロセス技術

FRAM製造における課題を解決した、強誘電体PZTの成膜技術、強誘電体加工技術、配線・層膜形成プロセスでの劣化抑制技術について解説します。また、FRAMの量産安定化のために構築した、強誘電体工程監視システムについても説明します。

はじめに

当社は、1999年2月に0.5 μm FRAMを出荷し^{*1}、さらに2001年8月には0.35 μm FRAMの量産も開始しました^{*2}。

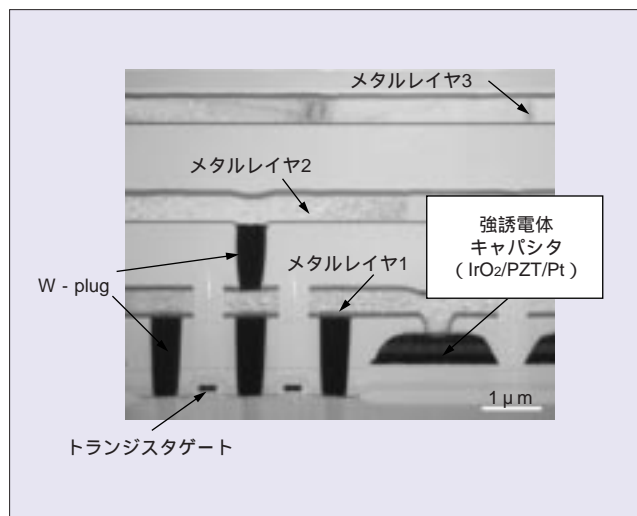
図1に0.35 μm FRAMの断面構造を示します。

当社のFRAMの特長は、従来のCMOSプロセスの配線工程のなかで強誘電体キャパシタを形成するため、CMOSロジックICとFRAMの混載が容易なことです。しかし、従来のSiプロセスにはなかった材料で強誘電体キャパシタを形成するため、CMOSプロセスとの整合には数々の工夫が必要でした。例えば次の技術などです。

- ・トランジスタ上に結晶性の良好な強誘電体膜を成膜する技術
- ・貴金属や酸化物から成る強誘電体キャパシタを精度良く加工する技術
- ・配線工程で発生する熱や水素による強誘電体の劣化を抑制する技術

本稿では、これらのプロセスと、当社で行っている量産安定化への取り組みについてご説明します。

図1 0.35 μm FRAMの断面構造



強誘電体材料の成膜技術

当社では、古くから研究・開発されてきた強誘電体材料のPZT (PbZrTiO_3)を用いて強誘電体キャパシタを形成しています。強誘電体キャパシタの性能(自発分極電荷量)を向上させるには、結晶性が良好で、結晶方位(配向性)が一定方向に揃った強誘電体を成膜することが重要です。そこで当社は、PZTの格子定数(0.401nm)と比較的近い格子定数を持つPt(0.3921nm)を下部電極に選びました。DCスパッタ法により成膜したPtは、最密面である(111)面に配向しやすくなっています。この上に、最終的に(111)面が優先配向するようにPZTを成膜します。

PZTの成膜にはRFスパッタ法を採用しました。成膜したPZTは当初アモルファス(非結晶)状態にあり、RTA(Rapid Thermal Anneal)により結晶となります。Pbは蒸気圧が高いので、結晶化RTA時に蒸発しやすく、このためPb量(Zr組成とTi組成の和に対するPb組成の割合をPb量と呼ぶ)の管理が重要となります。実際には、スパッタ成膜直後のPZT中のPb組成を化学量論組成より少し多くしておき、RTA処理後に最適なPb量となるように調整します。

図2に、強誘電体キャパシタの分極電荷量およびリーク電流とスパッタ成膜直後のPZT中のPb量との関係を示します。この図によると、膜中のPb量に依存して分極電荷量が変化しています。また、分極電荷量を大きくしてリーク電流を小さくするには、Pb量を1.075~1.15の値にすればよいことが分かります。同様に疲労、リテンション、インプリントなどとPb量との関係も調査しました。その結果、これらの特性を良好に保つためのPb量の最適値は、1.13であることが分りました^{*3}。

さらにFRAMの量産には、PZTの構成元素の組成と膜厚が、ウェーハ面内とロット間で安定していることが必要です。当社は装置メーカーとの共同開発のなかで、RFスパッタ装置の構造を検討しました。その結果、プラズマ状態を制御し、PZT中の組成と膜厚の面内分布を抑えることに成功しました。また、分析機器メーカーと共同で、簡便にPb量・膜厚を分析できるX線管理装置を完成しました。これにより、6インチウェーハによるFRAMの量産では、 $\pm 1.5\%$ の精度で

Pb量と膜厚の管理を実現しました。

図3に、量産工程においてPb量の安定性を80日間以上にわたって調べた結果を示します。この間には何度かの装置治具の洗浄（スパッタ装置内壁にPZTが付着するため定期的に交換洗浄する）を行いました。PZT中のPb量は±1.5%の範囲に制御されています*4。

PZTを結晶化させたあと、IrO₂上部電極を反応性スパッタにより成膜します。開発の当初はPtを用いていましたが、Ptは触媒作用があるため層間膜中の水分が分解して水素を発生させ、水素は強誘電体の特性を劣化させることが分かっています*5。そこで当社は、Ptに替えてIrO₂を上部電極とすることで水素による劣化を抑制し、極めて特性の良い強誘電体キャパシタを作製することができました。IrO₂は酸化度が変わりやすいため、電気特性も敏感に変化します。しかし当社は、シート抵抗や密度を厳密に管理することで、安定した量産を実現しています。

強誘電体加工(エッチング)技術

前述の工程で成膜したIrO₂/PZT/Pt構造の多層膜をエッチングすることにより、強誘電体キャパシタを形成します。PZT, Pt, IrO₂は化学反応性に乏しい材料です。そのため物理的なスパッタエッチ

ングが必要ですが、スパッタされた原子(例えばIr)や反応生成物によりフェンスが発生し、形状的な不具合を生じてしまいます。このため、Arに反応性ガス(Cl₂)を加えてレジストマスクの形状を制御しながらエッチングを行います。従来のRIE(Reactive Ion Etching)では実用的なエッチング速度が得られないため、高密度プラズマ装置を用いますが、チャンバ壁面に導電性の被エッチング物が付着し、パワー効率が落ちてエッチングレートが低下します。これにより特性の揺らぎ、歩留まりを低減させるパーティクルにもなります。開発当初は、これらの原因によるエッチングレートの変動とパーティクルの発生により、200枚程度のウェーハの処理でチャンバ洗浄を行っていました。そこで当社は、装置メーカーとの共同開発により、誘導結合型プラズマ(ICP: Inductive Coupled Plasma)を用いたエッチャを完成させました。このエッチャでは、アンテナの形状の最適化と回転を組み合わせることで、洗浄周期を飛躍的に向上させることができ、一定の成膜レートで、安定した強誘電体キャパシタの形成が可能となりました。現在では、エッチングチャンバの洗浄周期はウェーハ700枚以上になっています。

図4に、量産工程での強誘電体PZTのエッチング速度と面内均一性の長期安定性を示します*6。

図2 Pb量に対する分極電荷量とリーク電流の変化

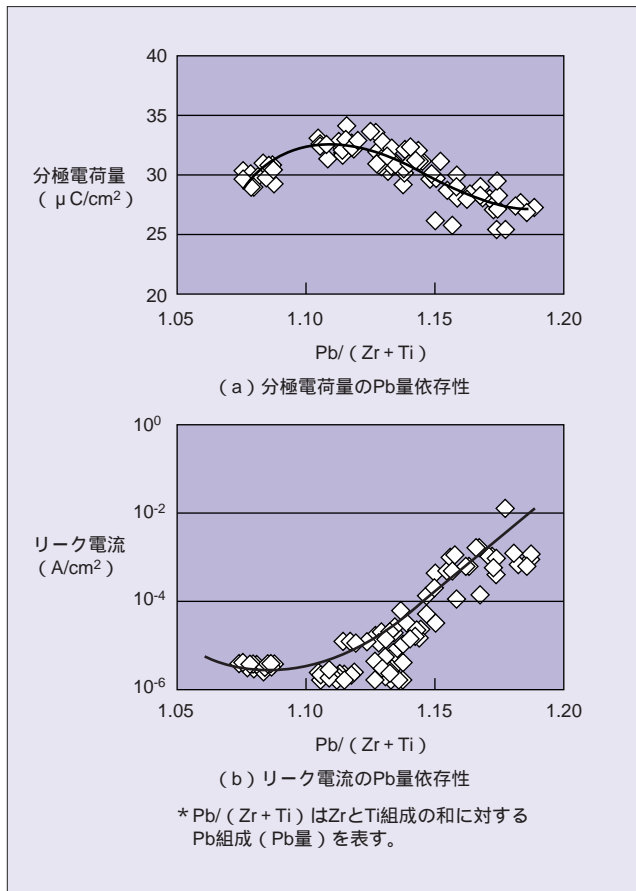


図3 量産工程でのPb量の変動

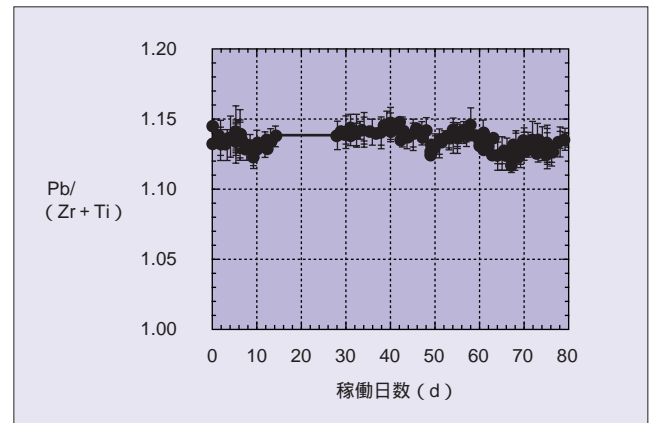
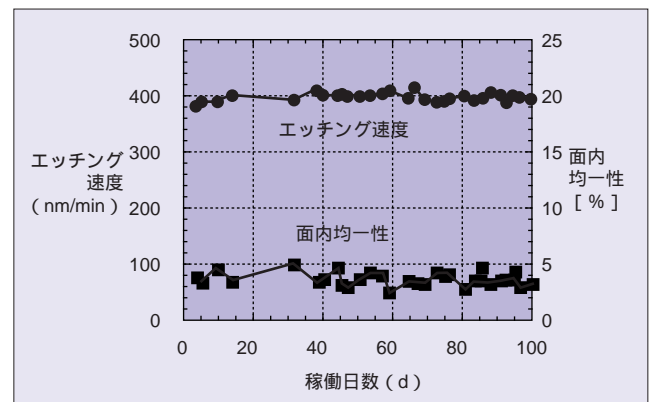


図4 量産工程での強誘電体PZTのエッチング速度と面内均一性



プロセス劣化の抑制

FRAMの製造工程では、強誘電体キャパシタの形成と加工が終わると、配線工程(層間膜とメタル配線)に入ります。この配線工程では、層間膜や配線工程時の熱、プラズマによるダメージなどにより強誘電体キャパシタが劣化します。一般に、TEOS(Tetraethoxysilan)を用いた熱CVD(Chemical Vapor Deposition)、またはプラズマCVD法により形成した層間膜には水分が含まれています。これらの水分が、層間膜やメタル配線成膜時の高温プロセスのなかで水素と酸素の形で脱離することが分かっています。水素が強誘電体PZT膜に侵入すると、PZT結晶から酸素を奪うため酸素欠陥を生じ、強誘電体分極値が低下します。これを防ぐためには、強誘電体キャパシタ形成後のプロセスの最高温度を、層間膜からの水素が脱離し始める温度以下に制御する必要があります。

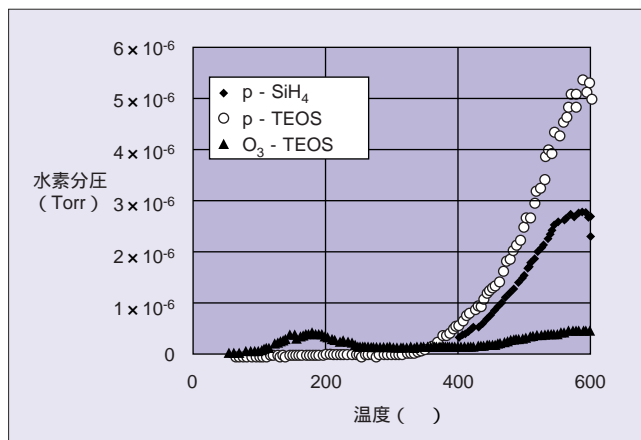
図5に、3種類の層間膜中から脱離する水素と温度の関係を示したTDS(Thermal Desorption Spectroscopy)の結果を示します。この図によると、オゾンとTEOSを用いた熱CVDにより形成したSiO₂膜(O₃-TEOS SiO₂)は、200℃付近で水素を放出することが分かります。一方、TEOSを用いたプラズマCVDによるSiO₂膜(p-TEOS SiO₂)やSiH₄を用いたプラズマCVDによるSiO₂膜(p-SiH₄ SiO₂)の場合は、370℃付近から脱酸素反応が見られます。また、p-TEOS SiO₂とp-SiH₄ SiO₂を用いてキャパシタ性能を比較したところ、p-TEOS SiO₂の方がキャパシタの劣化が小さいことから、p-TEOS SiO₂を層間膜に採用しました*7。

さらに、Al配線工程においても、従来のCMOSプロセスでのAl成膜温度より低い370℃以下の基板温度でAlを成膜する必要があります。当社はAl配線の膜厚、成膜温度やパワーの最適化により、これまでのCMOSの要求するコンタクト抵抗やエレクトロマイグレーションなどの規格をクリアしています。

また、層間膜から脱離した水分から強誘電体キャパシタを守るためのカバー膜も採用しました*2。

現状の0.5μmと0.35μm FRAMプロセスにおいては、FRAMの

図5 層間膜中からの水素脱離量を示すTDS



性能を保持できる層間膜、Al配線、加工の条件を見つけることができました。今後、集積度が高くなり、加工形状のアスペクト比が高くなっていくとき、強誘電体キャパシタの劣化を起こさない配線プロセスが必要となります。

量産安定のためのシステム構築

これまでご説明してきたように、FRAMの製造のためには、キャパシタ材料結晶制御、加工エッチング工程での安定化、強誘電体キャパシタ形成後の配線工程の最適化が必須です。当社ではこのために、工場にFRAM量産安定化のためのシステムを構築しました。これは、従来から取り組んでいた統計的な生産管理(SPC)をさらに推し進め、FRAM各工程での製造装置・検査装置・製品検査の情報から、強誘電体キャパシタ性能、出荷時のモニタ性能と歩留りを予測するシステムです。

図6に、強誘電体量産のためのSPCシステムの概念図を示します。

このシステムでは、FRAM独自である強誘電体キャパシタを形成するスパッタ装置、結晶化のためのアニール、評価装置の状況と評価結果が常にモニタされています。従来は、各工程で規格値に入っている場合でも、強誘電体キャパシタとしての性能や歩留りが低い場合があります。しかしこのシステムにより、強誘電体の成膜と層間膜の成膜といったような、離れた工程間の組合せから発生する不良モードの検出が可能となります。現在、強誘電体成膜工程のすべての装置をオンラインで結び、データの収集を行っています。このシステムでは装置の異常な傾向が見られると、直ちに担当エンジニアに電子メールを発信しています。従来のように、故障や不良が起こってから対応を始める場合と比べ、装置の異常を早期に検出することができます。これにより装置のダウンタイムが減少し、生産性を向上させることができます。

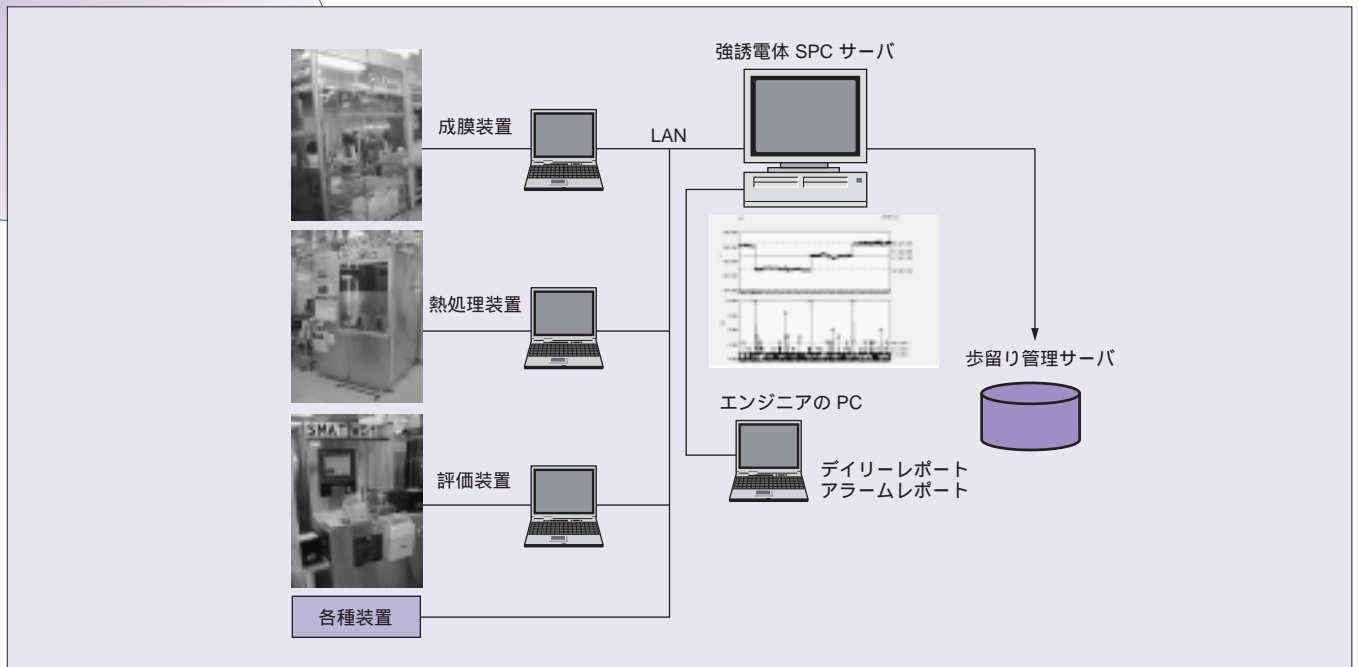
まとめ

当社は世界に先駆けて1999年に0.5μm FRAMの量産を開始し、すでに7,000万チップ以上のFRAM製品を市場にご提供しました。FRAMプロセスは、CMOSトランジスタ形成後に強誘電体キャパシタ形成を加えただけのように見えますが、新しい強誘電体形成、加工技術の開発と従来配線プロセスの最適化が必要でした。

現在、当社では次世代用0.18μm FRAMの開発を行っています。0.18μm FRAMの大きなアプリケーションであるICカードは、これまでの単機能からマルチアプリケーションへ対応し、プログラムの書換えを高速で行えるものが必要になります。この世代のFRAMは、これまで以上の特性が要求されます。当社ではこの要求を満足するため、現在より密なPZT結晶が得られるMOCVD(Metal Organic Chemical Vapor Deposition)、加工精度の高い高温一括エッチング技術、強誘電体保護膜の技術を開発しています。

富士通株式会社 FRAM事業部 テクノロジー開発部
堀井義正/恵下 隆

図6 FRAM量産管理のためのSPCシステムの概念図



【参考文献】

- * 1 : T. Yamazaki et al. : Advance 0.5 μm FRAM Device Technology with Full Compatibility of Half Micron CMOS Logic Device . IEDM Digest of Technical Papers , p.613(1997) .
- * 2 : T. Yamazaki : Novel 0.35 μm FRAM Technology using Triple Aluminum Layer for High Speed and Low Voltage Operation . Extended Abstracts of the 2001 International Conference on Solid State Devices and Materials , p.514(2001) .
- * 3 : T. Takamatsu et al. : Influence of Pb contents in sputtered PZT thin films with IrO₂ top electrode . Abstract of International Symposium on Integrated Ferroelectrics 2000 , p.28(2000) .
- * 4 : S. Ozawa et al. : Pb Content Control in Sputtered PZT films for FRAM Mass Production . Extended Abstracts of the 2000 International Conference on Solid State Devices and Materials , p.266(2000) .
- * 5 : Y. Shimamoto et al. : H₂ damage of ferroelectric Pb(Zr , Ti)O₃ thin-film capacitors - the role of catalytic and adsorptive activity of the top electrode . *Applied Physics Letters* , Vol.70 , p.3096(1997) .
- * 6 : 置田陽一ほか:スパッタPZTを用いた0.5ミクロン強誘電体メモリの開発(3) - 低コストキャパシタエッチング技術 - . 第61回応用物理学学会学術講演会講演予稿集 , p.427(2000) .
- * 7 : S. Otani : Device and Process Technology for Embedded FeRAMs . Extended Abstracts of International Symposium on Advanced CMOS Devices - CMOS Technology for High Performance , Low Power and Embedded Applications , p.49(2001) .

用語解説

アニーラ
 アモルファスのPZTを結晶化するための熱処理装置のこと。

パーティクル
 構造や電気特性に悪い影響を与える微粒子のこと。
 装置や成膜装置から降ってきた0.2 ~ 0.5 μm の粒がウェーハ上に堆積し、特性異常や歩留まり低下を起こすことがあります。