

FRAM低電圧センス技術

ビット線電位をGND近傍で読み出すことにより、低い電源電圧でも効率的にセルキャパシタへ電圧を印加できるFRAMのセンス方式を考案しました。本稿では、この新しいセンス方式を採用した、FRAMメモリの低電圧化技術についてご紹介します。

はじめに

FRAMは、メモリセルに強誘電体を採用した不揮発性メモリデバイスです。電界を加えなくても分極を持続する強誘電体膜の残留分極特性を利用して、分極の向きを記憶データの“0”または“1”として使用します。FRAMはSRAMと同等の高速読出し/書き込みが可能で、ROMと同様に不揮発性です。しかも低消費電力であることから、非接触タイプのスマートカード(マイコン、記憶回路、RF回路を搭載したICカード)に搭載されています。スマートカードは、電子マネー、医療カード、アムusementカードなど、今後の市場拡大が予想されています。

FRAMはCMOSプロセスとの整合性が良いため、スマートカードに使用されるLSIチップ上に、ロジック回路、RF回路と混載されています。このため、今後はロジック回路の低電圧化にしたいが、FRAM回路も低電圧動作が要求されるようになります。

本稿では、新たなセンス方式を採用した、FRAMメモリの低電圧化技術についてご紹介します。

FRAMの動作原理

図1に、1T1C型セル(1つの強誘電体キャパシタと1つのトランジスタで構成)のFRAMメモリセル構成を示します。ワード線(WL)を選択状態にしてビット線(BL)とプレート線(PL)の間に電圧を印加すると、セルキャパシタに電圧が印加され、所定のデータ(分極方向)が書き込まれます。“0”データを書き込む場合にはBL = 0V, PL = VDDとし、“1”データを書き込む場合にはBL = VDD, PL = 0Vとします。

図2に、印加電圧により強誘電体が放出する分極電荷量Qのヒステリシス特性を示します。図のX軸に強誘電体キャパシタのプレート線に印加する電圧 V_f (V)を、Y軸に強誘電体キャパシタの分極電荷量 Q ($\mu\text{C}/\text{cm}^2$)をとります。ここで V_f の電圧を0V + VDD 0V - VDD 0Vと印加していくと、強誘電体の電荷はA点 B点 C点 D点 E点 F点 A点へと変化してヒステリシス曲線を描きます。印加電圧が0V + VDDに変化したとき、A点 B点 C点へと変化し、強誘電体キャパシタの分極状態は反転します。一方、+VDD 0Vと -VDD 0Vへ変化させた場合には、C点 D

図1 FRAMメモリセル構造(1T1C型)

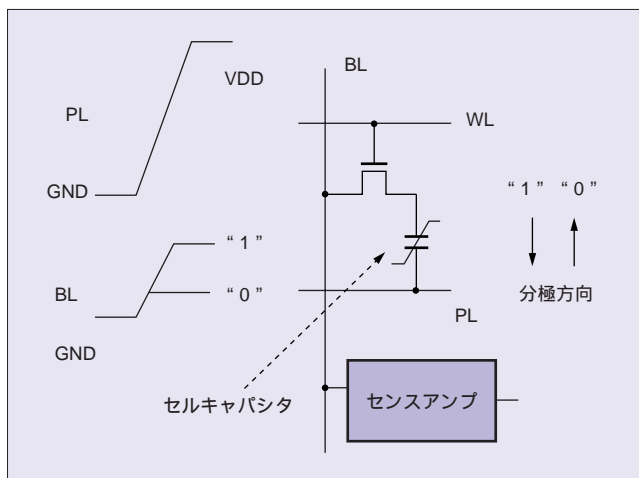
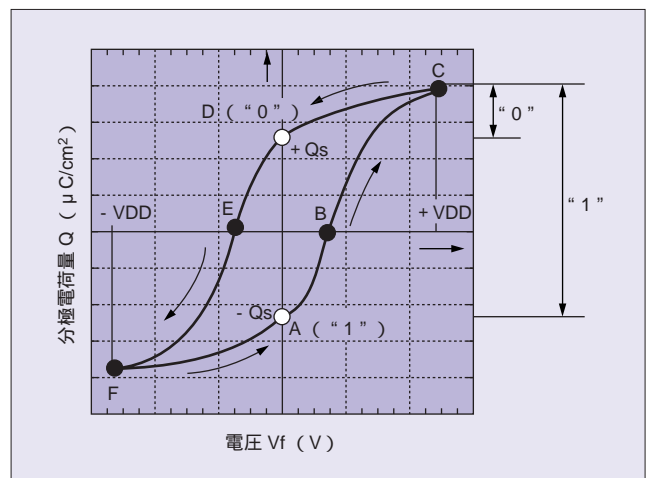


図2 ヒステリシス特性



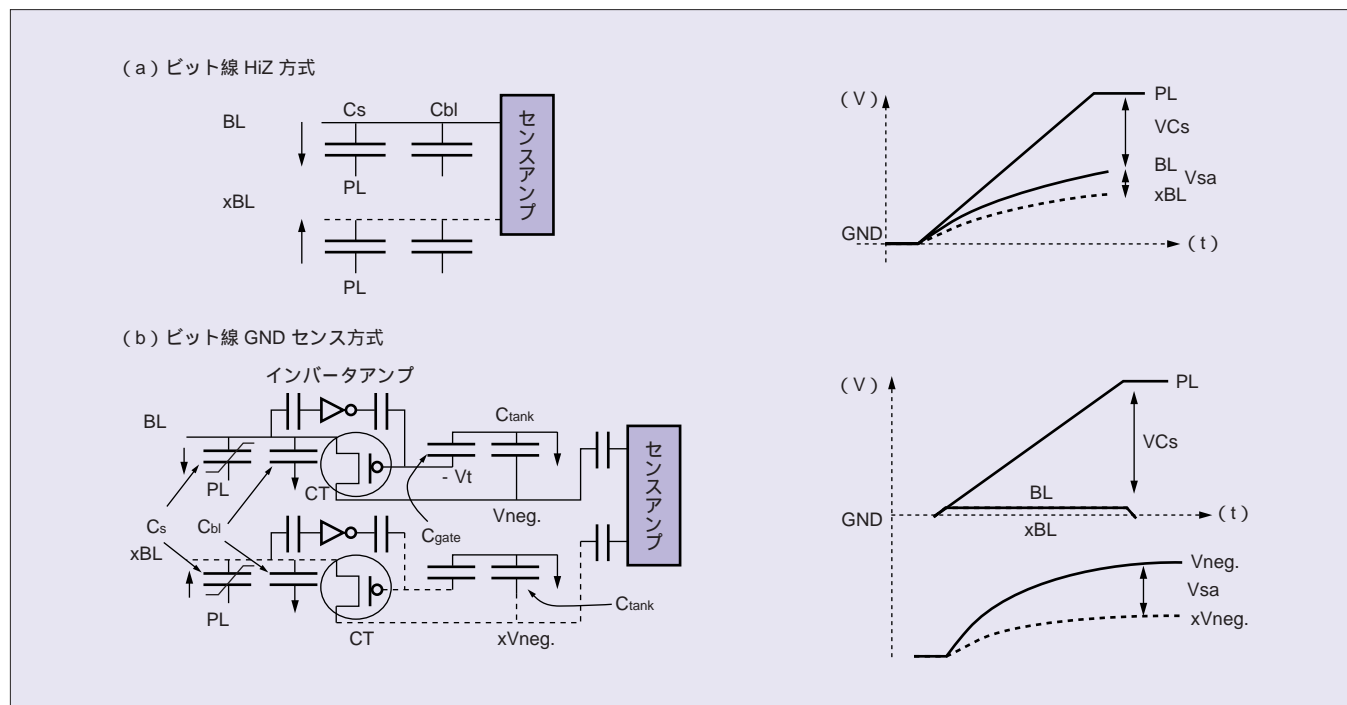
点およびF点 A点と変化し、このとき強誘電体キャパシタの分極方向は反転せず、分極電荷量はわずかです。図2のA点、D点での分極電荷量 $-Q_s$ 、 $+Q_s$ を残留分極量と呼び、A点をメモリセルの“1”データ、D点をメモリセルの“0”データに対応させます。強誘電体に印加する電圧を0V(電源オフ)にしても、 $V_f = 0V$ で分極状態の異なるA点とD点の残留分極を持ち、データの保存が可能となります。

低電圧動作の課題

強誘電体メモリの“1”と“0”のセンスマージンは、分極によるスイッチングの電荷量と、非スイッチングの電荷量の差 Q_{sw} として検知されます。十分な電荷量の差を確保するためには、ヒステリシス曲線が飽和する電圧(C点、F点)をキャパシタに印加することが必要です。

図3(a)に、従来のビット線フローティング読み出し方式(=ビット線HiZ方式)を示します。この方式では、セル読み出し時にプレート線(PL)に印加された電圧が、セルキャパシタ容量(C_s)とビット線寄生容量(C_{bl})に分圧されます。このため、印加された電源電圧はセルキャパシタにそのまま印加されず、読み出しに必要なセルキャパシタ電圧が十分に確保できません。電源電圧が5V程度と大きな場合は、ビット線寄生容量への分圧ロスがあっても、セルキャパシタから“1”と“0”の電荷を読み出すために必要な電圧が確保できます。しかし、3V以下の低電圧動作においては、分圧ロスによりデータの読み出しに必要な電圧を確保することが困難です。そこで当社は、低電圧でも十分な印加電圧が確保できる読み出し方式を開発しました*1。

図3 ビット線GNDセンス方式のコンセプト



ビット線GNDセンス方式のコンセプト

従来のビット線HiZ方式では、セル読み出し時にはプレート線電位が上昇し、ビット線(BL xBL)にセルから電荷が流れ込みます(ビット線とビット線は相補データの関係)。このとき印加されたプレート線電位は、ビット線容量 C_{bl} とセルキャパシタ容量 C_s により分圧され、ビット線電位が上昇します。このためセルキャパシタにかかる電圧 V_{Cs} は、プレート線に印加された電圧より少なくなります。

図3(b)に、今回開発したビット線GNDセンス方式を示します。この方式は、ビット線への電荷の供給をコントロールするチャージトランスファ(CT)のpMOS、チャージトランスファpMOSのゲートに負電位 $-V_t$ を印加するための C_{gate} キャパシタ、ビット線をGND電位に固定するための負電荷蓄積用 C_{tank} キャパシタで構成されます。回路動作としては、初めの回路リセット時に、pMOSのチャージトランスファのゲート電位を $-V_t$ に初期化します。次に、セル読み出し時にプレート線を上昇すると、ビット線電位はGND以上となり、 C_{tank} に蓄積された負電荷はpMOSのチャージトランスファを介してビット線に供給されます。このとき、負電荷が供給されたビット線電位はGNDに固定されます。今回の試作では、pMOSはゲインが少ないプロセスであったため、インバータアンプを用いてフィードバックをかけ、ビット線をGND電位に強く固定しました。こうしてビット線電位がGND近傍に固定されることにより、セルキャパシタにかかる電圧 V_{Cs} はほぼ電源電圧分を確保できます。

セルキャパシタからの読み出し信号の取出しは、メモリセルの“1”と“0”の電位に相当した C_{tank} からの負電荷の供給により、 V_{neg} 上昇分を比較することによって行います。

図4に、ビット線容量とセンスアンプに供給される電圧差 V_{sa} の関係を、ビット線HiZ方式とビット線GNDセンス方式について比較したシミュレーション結果を示します*2。ビット線HiZ方式では、ビット線容量の増加に対して V_{sa} はピークを持ち、その後 $1/C_{bl}$ に近づいていきます。しかし、ビット線GNDセンス方式では、ビット線容量の増加に対して V_{sa} (V_{neg} のBL側、xBL側の差)はほとんど一定であり、最適なセンスマージンを確保するための C_{bl}/G_s 比を気にすることなく設計ができます。今回設計した512セル/ビット線を例にとると、 C_{bl} は1pFの点であり、このとき V_{sa} はビット線HiZ方式で0.24V、ビット線GNDセンス方式で0.6Vと2倍以上の信号差が得られます。このため、ビット線GNDセンス方式では、より低電圧でデータを読み出すことができます。さらに、ビット線GNDセンス方式は、ビット線長に依存しない設計が可能であり、今後の大容量化に向けて有効な回路手法となります。

試作結果

図5に、ビット線GNDセンス方式を用いた $0.35\mu\text{m}$ FRAMの試作チップ写真を示します。

- ・PZT(チタン酸ジルコン酸鉛)キャパシタサイズ： $1.4 \times 1.5\mu\text{m}^2$
- ・1T1C型のセル面積： $7.12\mu\text{m}^2$
- ・メモリセル：512ワード×512コラムの256KビットFRAM
8 I/O構成

図6に、アクセスシミュアの測定結果を示します。試作したチップは、電源電圧3.5V～1.9Vまで動作しました。

- ・アクセス時間：86ns(電源電圧3V, 2MHz, 室温において)
- ・消費電力：6mW(電源電圧3V@2MHzにおいて)

今後

従来は、プレート線に印加した電圧がセルキャパシタとビット線に分圧されるため、FRAMの低電圧化の妨げとなっていました。しかし、今回試作に成功したビット線GNDセンス方式を用いることにより、電源電圧の低下に向けてもメモリセルキャパシタに電源電圧を印加できる回路方式が実現できました。低電圧動作のFRAMは、ロジックと混載することによって、スマートカードへの幅広い応用が可能です。当社では、今後はさらに回路の最適化を進め、1.8V電源電圧動作チップの開発を目指します。

富士通株式会社 FRAM事業部 商品設計部
遠藤 徹
川嶋将一郎

[参考文献]

* 1 : S. Kawashima et al. : A Bit-Line GND Sense Technique for Low-Voltage Operation FeRAM . VLSI symposium on VLSI , 12-3 2001 . Session 12-3A .

図4 ビット線容量とセンス電圧の比較

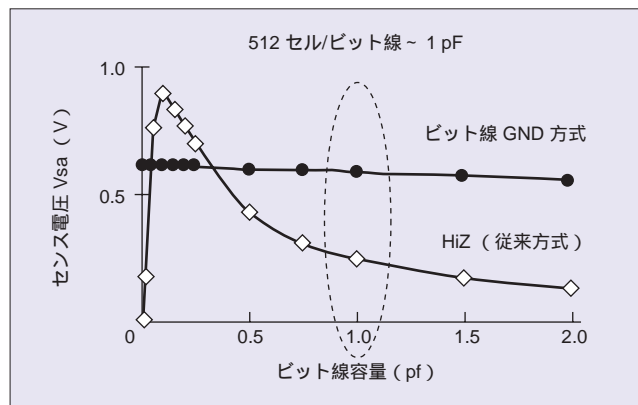


図5 試作チップ

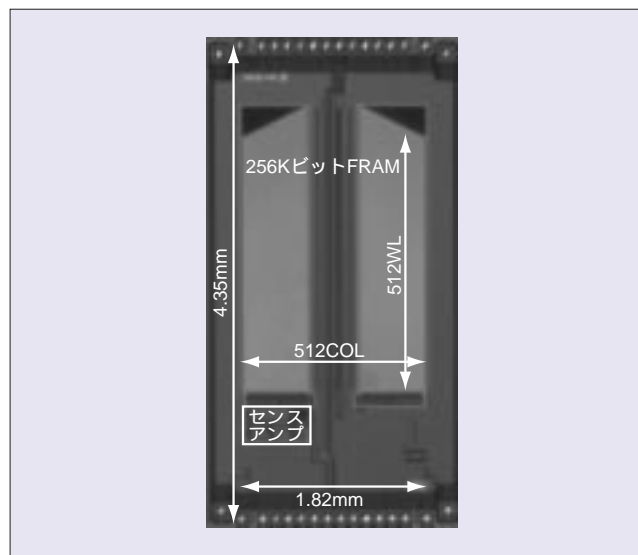
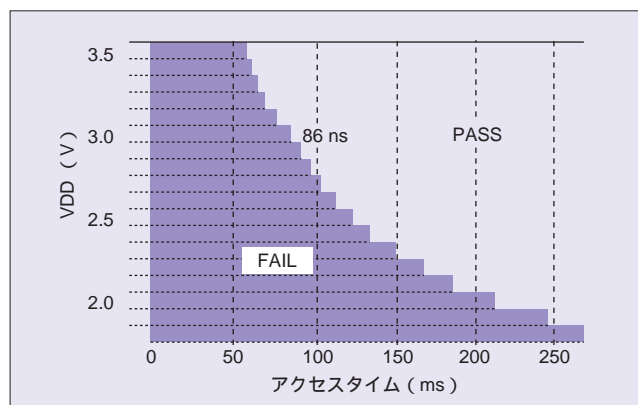


図6 アクセスシミュア (@2MHz, 25)



* 2 : Ali Sheikholeslami et al. : A pulse-based, parallel-element macro model for ferroelectric capacitors . IEEE Transactions on Ultrasonics, Ferroelectrics, and Frequency Control , Vol.47, No.4 , p.784-791 (July 2000) .