

デジタル家電向け低消費電力メモリ (×64, Low Power DDR SDRAM, SiP向け) 256Mビット コンシューマFCRAM™ MB81EDS256545

64ビットのバス幅とLow Power DDR SDRAMインターフェースによって、
最大3.46Gバイト/秒のデータ転送能力を確保しながら低消費電力を実現しています。

*SiP: System in Package

はじめに

当社はデジタル家電向け低消費電力メモリとして、SiPに最適な256MビットのコンシューマFCRAM「MB81EDS256545」を開発し、提供しています。本製品は、ロジックチップにDDR SDRAMが複数個接続されるような多バス構成の画像・映像系の用途において、汎用RAMに対して性能・コストメリットを提供できる最適なメモリソリューションです。

メリット

本製品は、バス幅を64ビットに広げて動作周波数を低くすることで終端抵抗が不要となるので、メモリ部で消費する電力を削減することができます。

低消費電力化により発熱量を抑えることができるため、製品の放熱対策の設計負担と熱対策コストを低減できます。消費電力を低減することは製品のCO₂排出量の削減につながり、エコ製品の提供にも貢献します。

本製品は、低消費電力が必須条件のSiP向けメモリとして最適です。映像処理LSIなどのSoC (System on Chip) と1パッケージにすることで、部品数や実装面積を削減することができ、製品コストの削減にも寄与します。

開発背景

近年のデジタル家電では、機器の多機能化によりさまざまな種類の小型部品を実装基板

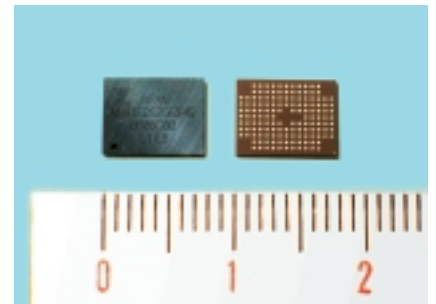
に搭載するため、基板の開発・設計の負担と部品コストの抑制が大きな課題です。また、搭載している電子部品の高性能化や機能の集約が進む一方で、チップの小型化による発熱量の増加も大きな問題になっています。そのため、搭載部品には低消費電力化が求められており、それに応えるソリューションとして本製品が開発されました。

図1にデジタル家電向け部品への要求を示します。

デジタル家電開発の問題点

- ・多機能化に対応するための、さまざまな部品の搭載によるコストアップ
- ・放熱対策のための、ヒートスプレッダーやヒートシンクの搭載によるコストアップ
- ・設計負担の増大（基板配線や熱対策の設計の最適化が必要）

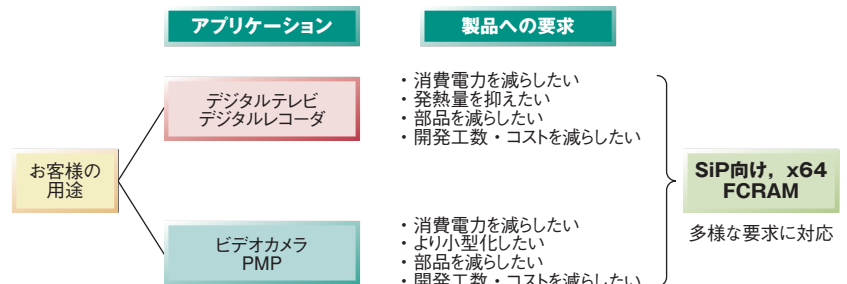
写真1 外観（ウェーハレベルパッケージ）



電子部品への要求と期待される効果

- ・複数の部品の機能を集積した製品
→設計負担の軽減、部品数の削減、コストダウン
- ・消費電力の少ない製品
→省エネ、CO₂排出量抑制、熱対策の負担低減

図1 デジタル家電向け部品への要求



適用事例

本製品はデジタル家電に最適な低消費電力メモリです。

図2に適用事例を示します。

特長

本製品は、64ビットのバス幅とLow Power DDR SDRAM インタフェースによって、最大3.46Gバイト/秒のデータ転送能力を確保しながら低消費電力を実現しています。またSiPに搭載することで、設計メリットとコストメリットを提供できます。

低消費電力

DDR2 SDRAMなどの高速メモリでは、信号を安定させるために終端抵抗（外付けまたはODT : On Die Termination）が必要となり、多くの電力を消費しています。本製品は、低い動作周波数で十分なデータ転送能力を確保できるので終端抵抗が不要となり、大幅な電力削減が可能です。

本製品1個と同等性能であるDDR2 SDRAM 2個を動作させたときを比べると、最大で約1W（約70%）の消費電力を削減できます。

図3にDDR2 SDRAMとFCRAMの消費電力比較（例）を示します。

ワイドデータバンド幅

バス幅64ビットおよび最大動作周波数216MHzによって、DDR2 SDRAM（×16、400MHz動作）の2倍以上の最大3.46Gバイト/秒のデータ転送レートを実現しています。

表1に競合メモリとの特長の比較を示します。本製品1個で、Low Power DDR、DDR1、DDR2 SDRAM 2個のデータバンド幅と同等の性能を持ちます。

SiP向けメモリ

本製品はチップの積層に最適なパッド配置、CMOS I/Oによる低消費電力などSiP化に適しています。SiPによって実装面積の省スペース化に貢献するほか、基板材料や部品

のコスト削減が可能です。

図4にSiP化によるメリットを示します。

また本製品は、SiP向けにウェーハ形態で

提供するほか、ウェーハレベルパッケージ（WLP）での提供も可能です。

図2 適用事例

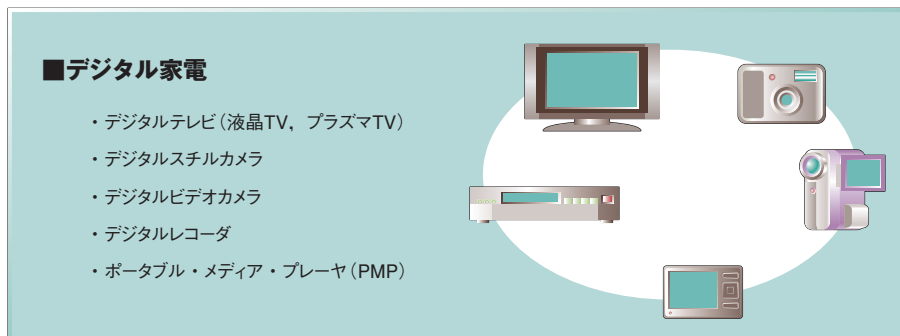


図3 DDR2 SDRAMとFCRAMの消費電力比較（例）

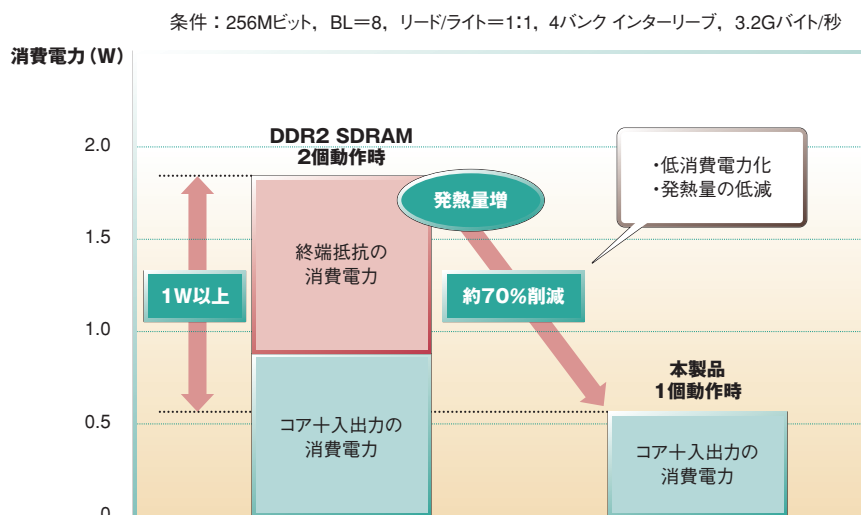


表1 競合メモリとの特長の比較

メモリ種類	DDR2	DDR1	LPDDR	256M FCRAM
バス幅	x16	x32	x32	x64
VDD/VDDQ	1.8V	2.5V	1.8V	1.8V
動作周波数	400MHz (800Mbps)	200MHz (400Mbps)	166MHz (333Mbps)	216MHz (432Mbps)
データバンド幅	1.6Gバイト/秒	1.6Gバイト/秒	1.3Gバイト/秒	3.46Gバイト/秒
内蔵DLL		あり	なし	なし
I/O		SSTL	CMOS	CMOS
抵抗有無	ODT	ダンピング抵抗	不要	不要

主な仕様

本製品の主な仕様を示します。

- ・メモリ構成：1Mワード×64ビット×4バンク
- ・インタフェース：Low Power DDR
- ・電源電圧：1.7V～1.95V
- ・ジャンクション温度：-10℃～+105℃
- ・バースト動作周波数：216MHz（最大）
- ・データ転送レート：3.46Gバイト/秒
- ・クロックアクセスタイム：4.6ns（最大）
- ・動作電流（バーストリード）：300mA（最大）
- ・ディープパワーダウン電流：20μA（最大）

特殊機能

本製品は、メモリのアクセスやリフレッシュを効率的に実行するため、次の特殊機能を搭載しています。

Multi Bank Active (MACT) 機能

MACT コマンドによって2つのバンクを同時に活性化させることができます。複数のバンクにアクセスするときには、1つのバンクごとにACTコマンドを発行するよりも効果的にリード/ライト動作を実行できます。

Background Refresh (BREF) 機能

Background Refreshでは、任意の2つのバンクとリフレッシュ回数を指定することができます。1回のBREFコマンド入力で、指定された回数のリフレッシュがチップ内部で自動的に実行されるため、通常のAuto Refreshと比べてコマンド入力の回数削減やコマンド間隔の調整が不要になるというメリットがあります。

また、指定された2つのバンクのうち、リフレッシュされていないバンクへのリード/ライトアクセスが可能であり、効率的な動作が実行できます。

Start Address Shift (SAS) 機能

リード/ライト時のアクセスを開始するア

ドレスをワード単位（×64ビット）ではなく、バイト単位（×8ビット）で指定することができます。任意のバイトアドレスを指定することで、無駄なアクセスを減らすことができます。

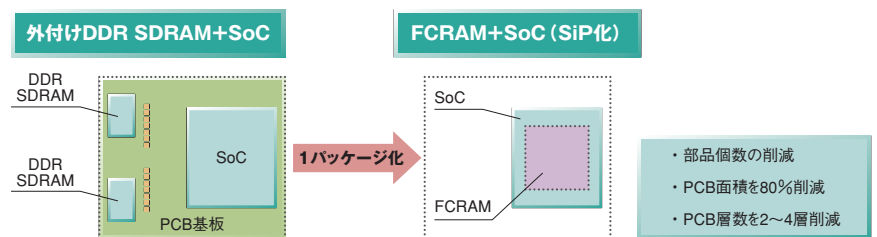
Additional RDQS Toggle (ART) 機能

リードデータ出力後のRDQSのトグル数を設定できます。通常は、データ出力終了と

同時にRDQSクロックも終了となりますが、設定によってRDQSのトグル数を追加することができます。この機能により、FCRAMからのリードデータをSoC側（受信側）で取り込むときに、SoCの内部クロックのタイミングマージンが拡大できるので、SoCのPHY設計が容易になります。

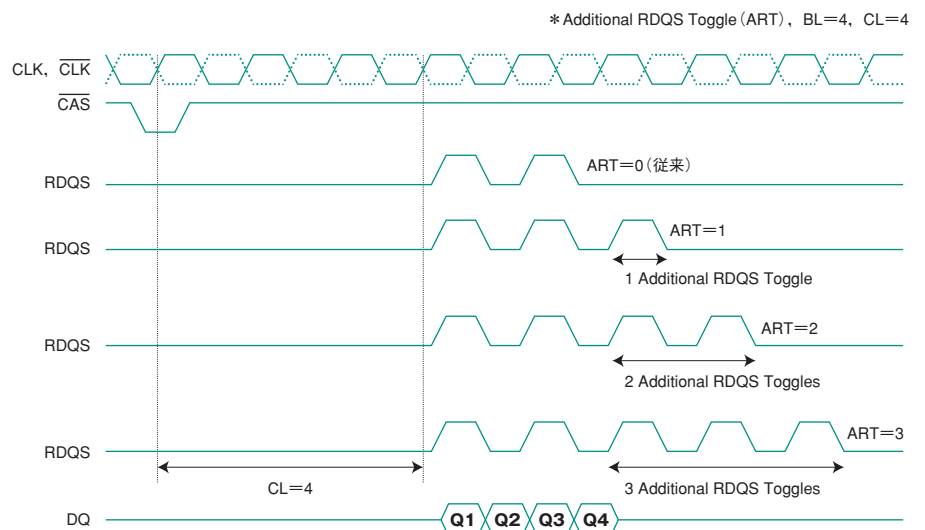
図5にAdditional RDQS Toggle機能のタイミングを示します。

図4 SiP化によるメリット



課題要素	汎用DDR 外付け	x64 FCRAM SiP
DRAMコスト	NG (高い)	Good (低い)
PCBコスト	NG (高い)	Good (低い)
PCB設計リスク	NG (高い)	Good (なし)
	複数個のメモリが必要	汎用DDR 2個をFCRAM 1個に置き換え
	終端抵抗、ノイズフィルタ	PCB面積と層数を削減
	EMI, SIによる歩留まり低下や開発遅延	試験されたものを搭載

図5 Additional RDQS Toggle機能のタイミング



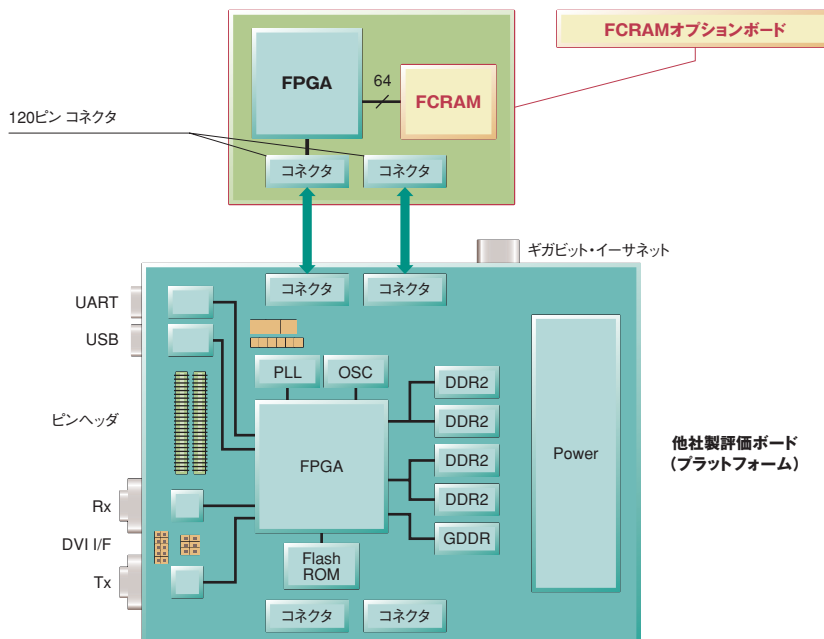
サポートツール

お客様の製品開発をサポートするツールとして、メモリ検証やアクセス検証のためのシミュレーションモデル、インタフェースをサポートするメモリコントローラ、評価用のFPGA拡張評価ボード（オプションボード）を提供します。

シミュレーションモデルには、IBISモデル、Verilogモデル、SOMAモデル（Denali社ご提供）、BFM（Bus Function Model）などがあります。オプションボードは、お客様がSoCを開発する段階で本製品を評価するための環境を提供するもので、他社製評価ボード（プラットフォーム）に接続することでFCRAMの性能を評価できます。

図6にFPGA評価ボードの使用例を示します。

図6 FPGA評価ボードの使用例



256Mビット品の製品ファミリー

256Mビット コンシューマFCRAMには、これまで紹介してきたバス幅64ビット、Low Power DDRインタフェースのほか、バス幅32ビット、Low Power SDRインタフェースを組み合わせた製品ファミリーも展開し、お客様の用途に最適な製品を提供します。

表2に256Mビット コンシューマFCRAMの製品ファミリーを示します。

表2 256MビットコンシューマFCRAMの製品ファミリー

容量 (ビット)	インタフェース	I/O構成 (ビット)	電源電圧 (V)	動作周波数 (MHz)	ジャンクション温度Tj (°C)	製品型格
256M	SDR	x32	1.7~1.95	166	-10~+105	MB81ES253245
		x64	1.7~1.95	166	-10~+105	MB81ES256445
	DDR	x32	1.7~1.95	216	-10~+105	MB81EDS253245
		x64	1.7~1.95	216	-10~+105	MB81EDS256445 MB81EDS256545*

*特殊機能追加品

*FCRAMは富士通マイクロエレクトロニクス社の商標です。