

256Kビット・シリアルインタフェースFRAM[®] MB85RS256

シリアル・ペリフェラル・インタフェース(SPI)を備えた256Kビット1T1C方式FRAM[®]です。高速・低消費電力で、書込み・読出し回数
の大きい不揮発性メモリです。

* シリアル・ペリフェラル・インタフェース : SPI(Serial Peripheral Interface)

概要

本製品は、不揮発性メモリセルを形成する強誘電体プロセスとシリコンゲートCMOSプロセスを用いた32,768ワード×8ビットFRAM(Ferroelectric Random Access Memory : 強誘電体ランダムアクセスメモリ)で、高速なシリアル・ペリフェラル・インタフェースを搭載しています。これにより、当社パラレル品256K(MB85R256)のTSOP28ピンと比べて1/4以下の省面積実装が可能になりました。

本製品は10¹⁰回の書込み・読出し動作が可能で、フラッシュメモリやEEPROMの書換え可能回数である10⁵回を大きく上回ります。また書込みが高速なため、書込み完了待ちのシーケンスを必要としません。このため、システムの電源オフ時の最終状態を短期間に書き込みして記憶させる用途や、システム出荷時に調整データを書き換える場合の処理時間短縮などの用途に、FRAMのメリットを活かすことができます。

本製品は書込み時間が短いため、1回の書込みに要する電力量(消費電力×書込み時間)がEEPROM同等品の約1/7000となり、大幅な省電力化が可能です。

特長

●主な仕様

- ・ビット構成 : 32,768ワード×8ビット
- ・動作電源電圧 : 3.0V ~ 3.6V
- ・動作電源電流 : 10mA @15MHz
- ・動作周波数 : 15MHz(最大)
- ・シリアル・ペリフェラル・インタフェース
- ・SPIモード0(0,0)とモード3(1,1)に対応
- ・パッケージ : SOL8, TSSOP14
- ・動作温度範囲 : -20 ~ +85

図1に端子配列図を示します。

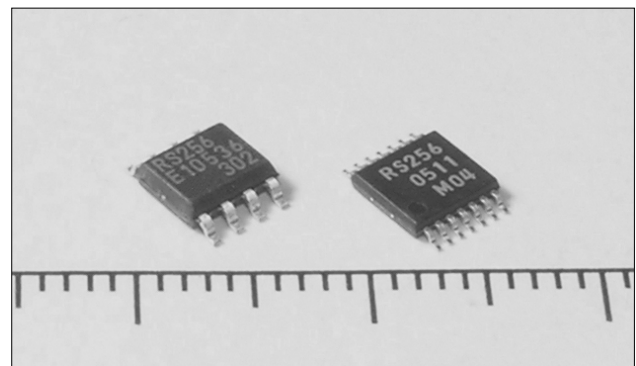
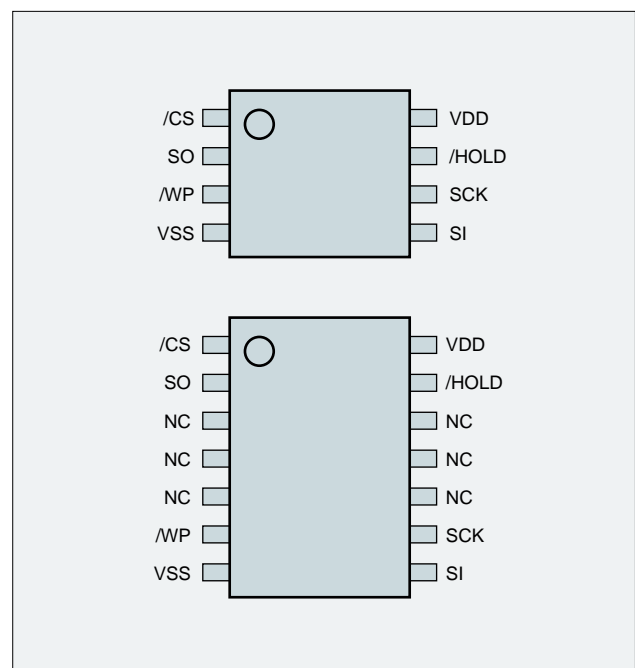


写真1 外観

図1 端子配列図



●高速書込み

FRAMは不揮発性メモリでありながら読出し時間と書込み時間が同等であり、SRAMのように使用することができるため、バッテリーバックアップSRAMの代替用途など幅広い分野で使用されています。書込み時間が短いため、書込み動作のあとすぐに読出し動作や次の書込み動作を実行でき、フラッシュメモリやEEPROMのようなmsオーダーのポーリングシーケンスが不要です。また、ポーリングのために次の書込み機会を失うことなく、頻繁に書込みを実行できます。

シリアルインタフェースFRAMである本製品では、書込みコマンドの直後に読出しコマンドや次の書込みコマンドなどのコマンドを続けて実行できます。また書込みの際は、1回のコマンドでアドレスの自動インクリメントにより書込みを繰り返すことができます。このとき、フラッシュメモリやEEPROMのページ書込みのような1回の書込みバイト数の制限がなく、全メモリセルに1回で書き込むこともできます。ポーリングがないため、書込みコマンドをランダムアクセスで繰り返しても、実行時間が長大になることはありません。

●省電力

本製品では書込み時間が短いため、1回の書込みに要する電力量(消費電力×書込み時間)がEEPROM同等品の約1/7000となります。

図2に書込み頻度に対する単位時間あたりの電力量(=消費電力)を示します。

ゲーム機、計測・計量機器、コピー機、プリンタ等、書込み頻度の小さいアプリケーションでは極めて小さい消費電力で使用できます。

図3にブロック図を示します。

機 能

●ステータスレジスタ

図4に本製品のステータスレジスタを示します。本製品は8ビットのステータスレジスタを備えており、このうちビット2-7が不揮発性メモリです。

- ・ WPEN(Status Register Write Protect): WPENは/WP入力と連携してステータスレジスタの書込みをプロテクトします。
- ・ BP1, BP0(Block Protect): WRITEコマンドにおける書込みプロテクトのブロックサイズを定義します。
- ・ WEL(Write Enable Latch): FRAMメモリおよびステータスレジスタが書込み可能であることを示します。
- ・ ビット0は“0”固定です。ビット4, 5, 6は使用しません。

●コマンド

本製品はオペコードで指定される6種のコマンドを受け付けます。表1にオペコードを示します。

本製品ではシリアルでオペコード、アドレス、書込みデータの入力を行います。読出しデータもシリアルで出力されます。

- ・ WREN : WELをセットします。
- ・ WRDI : WELをリセットします。
- ・ RDSR : ステータスレジスタのデータを読み出します。
- ・ WRSR : ステータスレジスタの不揮発性メモリビットにデータを書き込みます。
- ・ READ : FRAMメモリセルアレイのデータを読み出します。

図5にREADシーケンスを示します。アドレスの自動インクリメント

図2 書込み時の消費電力

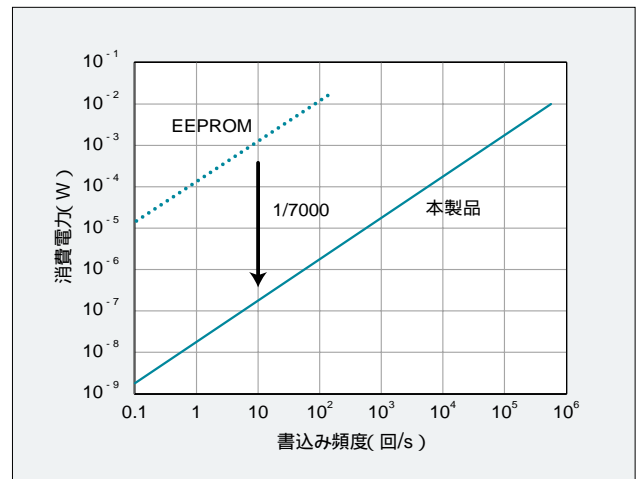
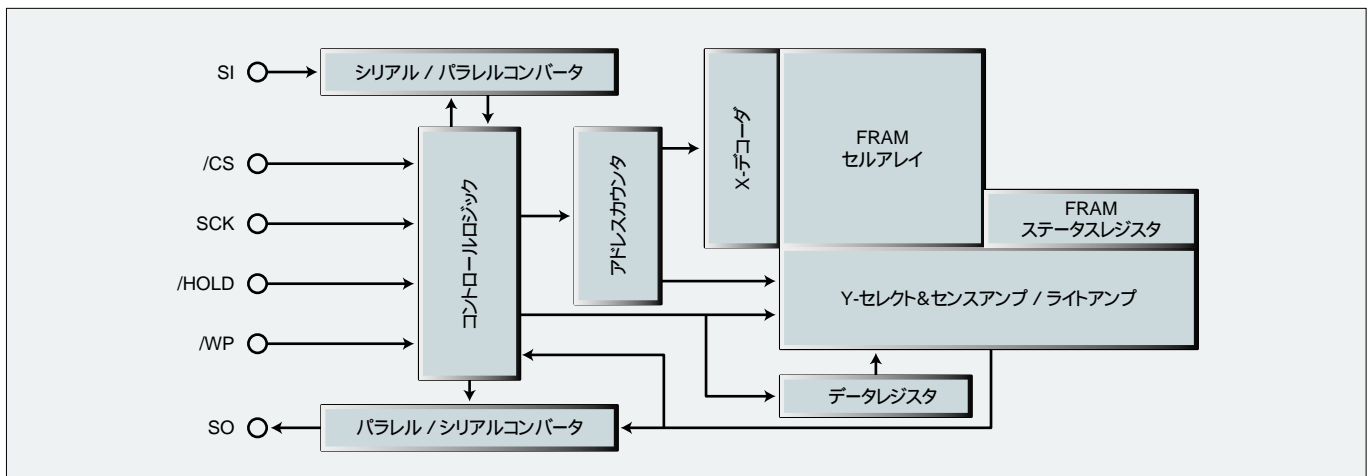


図3 ブロック図



により連続読出しが可能です。

- ・ WRITE : FRAMメモリセルアレイにデータを書き込みます。

図6にWRITEシーケンスを示します。アドレスの自動インクリメントにより連続書き込みが可能です。

●プロテクトブロック

ステータスレジスタのBP1とBP0の値により、WRITEコマンドでの

書き込みプロテクトブロックを設定できます。

表2にプロテクトブロックを示します。

●書き込みプロテクト

表3に書き込みプロテクトを示します。表に示すように、WEL、WPEN、/WPの値によりWRITEコマンドおよびWRSRコマンドの書き込み動作がプロテクトされます。

図4 ステータスレジスタ

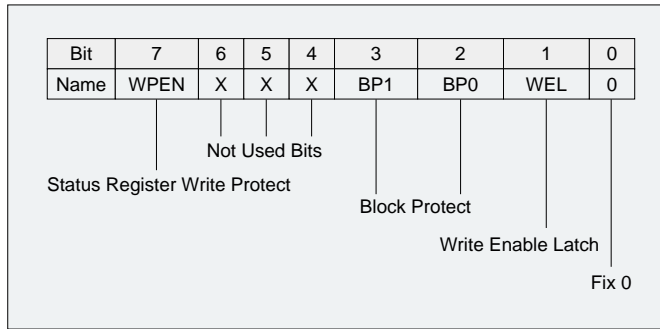


表1 オペコード

| コマンド | 内容 | オペコード |
|-------|--------------------------|------------|
| WREN | Set Write Enable Latch | 0000 0110b |
| WRDI | Reset Write Enable Latch | 0000 0100b |
| RDSR | Read Status Register | 0000 0101b |
| WRSR | Write Status Register | 0000 0001b |
| READ | Read Memory Code | 0000 0011b |
| WRITE | Write Memory Code | 0000 0010b |

図5 READシーケンス

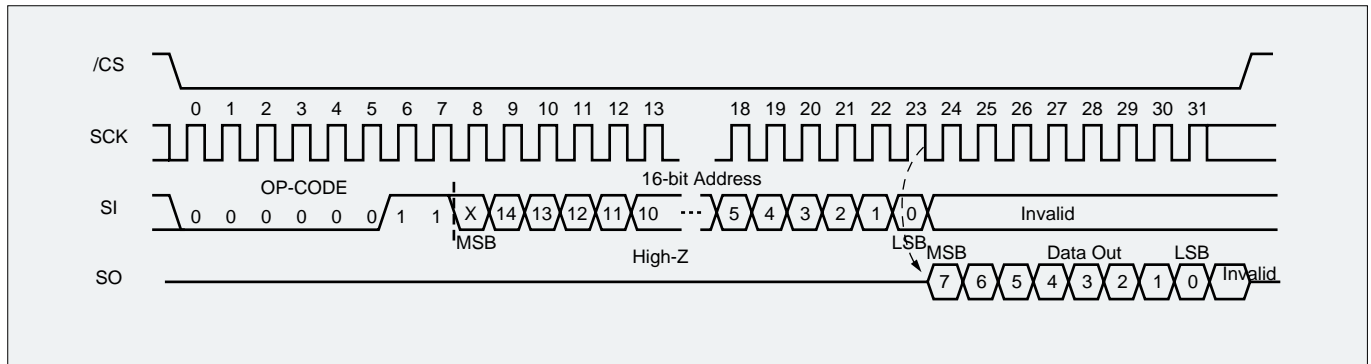


図6 WRITEシーケンス

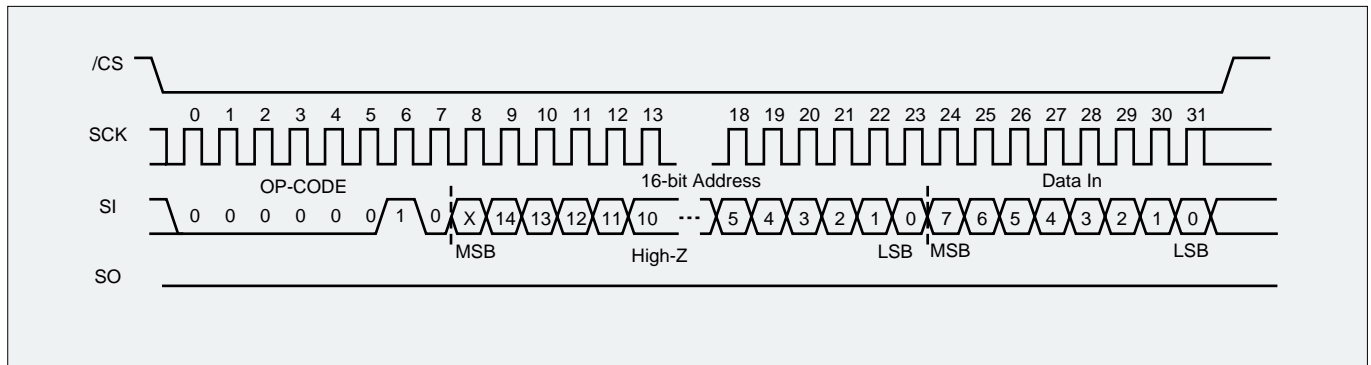


表2 プロテクトブロック

| BP1 | BP0 | プロテクトブロック |
|-----|-----|----------------------------|
| 0 | 0 | None |
| 0 | 1 | 6000h to 7FFFh (upper 1/4) |
| 1 | 0 | 4000h to 7FFFh (upper 1/2) |
| 1 | 1 | 0000h to 7FFFh (all) |

表3 書き込みプロテクト

| WEL | WPE | /WP | プロテクトブロック | 非プロテクトブロック | ステータスレジスタ |
|-----|-----|-----|-----------|------------|-----------|
| 0 | x | x | プロテクト | プロテクト | プロテクト |
| 1 | 0 | x | プロテクト | 非プロテクト | 非プロテクト |
| 1 | 1 | 0 | プロテクト | 非プロテクト | プロテクト |
| 1 | 1 | 1 | プロテクト | 非プロテクト | 非プロテクト |

表4に交流特性，図7にシリアルデータタイミング，図8に単体FRAMのロードマップを示します。

今後の展開

当社FRAMの累積出荷数はすでに2億個を超えています。当社は今後もFRAM製品のナンバーワンカンパニーとしてFRAMのさらなる大容量化・高速化を推進し，シリアルインタフェースFRAMの開発にも力をいれていきます。

表4 交流特性

| 記号 | 内容 | 最小 | 標準 | 最大 | 単位 |
|------|---------------------------|----|----|----|-----|
| fCK | SCK Clock Frequency | 0 | | 15 | MHz |
| tCH | Clock High Time | 30 | | | ns |
| tCL | Clock Low Time | 30 | | | ns |
| tCSU | Chip Select Setup Time | 10 | | | ns |
| tCSH | Chip Select Hold Time | 10 | | | ns |
| tOD | Output Disable Time | | | 20 | ns |
| tODV | Output Data Valid Time | | | 35 | ns |
| tOH | Output Hold Time | 0 | | | ns |
| tD | Deselect Time | 60 | | | ns |
| tR | Data In Rise Time | | | 50 | ns |
| tF | Data Fall Time | | | 50 | ns |
| tSU | Data Setup Time | 5 | | | ns |
| tH | Data Hold Time | 5 | | | ns |
| tHS | /HOLD Setup Time | 10 | | | ns |
| tHH | /HOLD Hold Time | 10 | | | ns |
| tHZ | /HOLD Low to High-Z | | | 20 | ns |
| tLZ | /HOLD High to Data Active | | | 20 | ns |

図7 シリアルデータタイミング

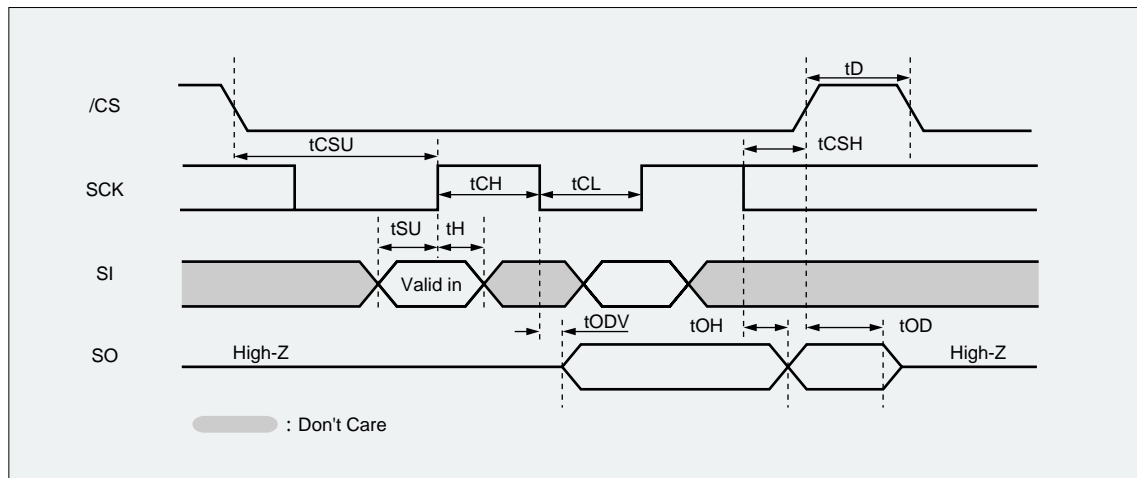
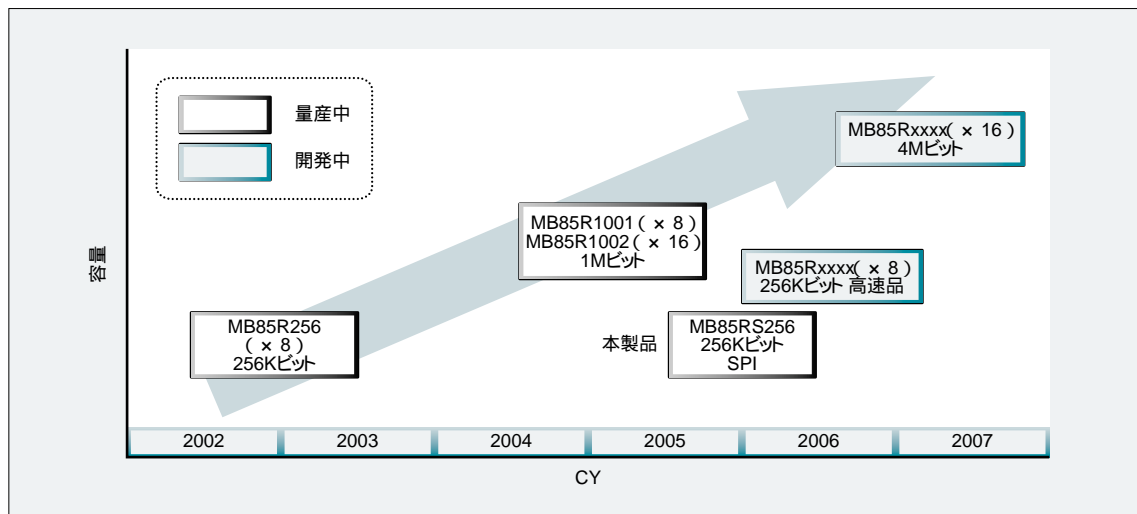


図8 単体FRAMのロードマップ



【お問い合わせ先】

技術：電子デバイス事業本部 システムマイクロ事業部 FRAM第二商品設計部 TEL(044)754-2832 FAX(044)754-2714
 営業：最寄りの富士通(株) 営業部(裏表紙をご参照ください)