

6チップのメモリを搭載した2バスタイプのPS-MCP MB84VY6A4A1

携帯電話のアプリケーション部向けメモリ4チップとベースバンド部向けメモリ2チップを搭載した、世界初の2バス構成のPS-MCP*です。合計328Mビットと、携帯機器向けNOR型フラッシュメモリ搭載MCPとしては世界最大容量を実現しています。

*PS-MCP : Package Stacked MCP

概要

近年、携帯電話の機能は著しく発展しています。通話機能(ベースバンド部)に加えて、静止画・擬似動画の撮影・送受信機能、現在位置情報機能、Javaアプリ実行機能、音楽配信再生機能など、モバイル機器として想定されるあらゆる機能(アプリケーション部)が取り込まれつつあります。さらに、コンテンツをPCの介在なしに蓄積・閲覧するストレージとしても活用されています。今後も、MPEG-4動画配信に代表される高ビットレート・高速処理が要求されるアプリケーションの実現、電子決済機能に代表される高度セキュリティが要求されるアプリケーションの実現など、さらなる発展が予想されます。このような高機能携帯端末に要求されるメモリの特長としては、大容量・低消費電力・高速・小型・複数種類のメモリの混載があります。これらのニーズにお応えするため、当社は常に先進のS-MCP(Stacked-MCP)メモリ製品をご提供しています。

常に新機能が追加される携帯端末は、半年スパンでの効率良い開発が必要とされます。このため、規格が固定されているベースバンド部は過去のソフト資産を最大限に流用し、新規となるアプリケーション部の開発にリソースを集中する手法が採られます。この場合、ベースバンド部向けには固定・小容量S-MCPを、アプリケーション部向けには大容量S-MCPをと、2つのMCPを使用するのが一般的です。しかしこの方法は、メモリの組合せには融通がききませんが、パッケージが2つになるため省サイズ・小型化には適しません。また一方で、小型化のために全メモリを1パッケージに搭載する方法も考えられます。しかし、5チップ以上のS-MCPはチップ同士の組合せ相性に限界があり、変更にはMCPの大幅な再設計が必要です。このため、携帯端末開発でよくみられる、アプリケーション部の急な容量変更が困難となります。また、ベースバンド部とアプリケーション部のバスの分離も困難となり、アプリケーション部制御ソフトウェアの作成・検証工数増加の要因となります。

これらの問題を解決する次世代携帯端末向けメモリソリューションとして、今回当社では、新開発の実装技術であるPS-MCP

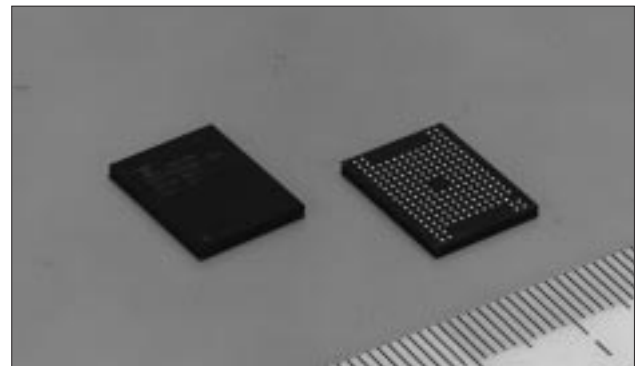


写真1 外観

(Package Stacked-MCP)を採用しました。PS-MCPIは、別々に作成した2つのパッケージを接合して1パッケージ化する技術です。2つのパッケージを電気的に分離することが可能で、既存のMCPよりもメモリ構成を容易に変更できるというメリットを持っています。当社はこのPS-MCP技術を用いて、世界初の6チップ搭載2パス構成のMCP「MB84VY6A4A1」を開発しました。アプリケーション用途には4チップS-MCPを搭載し、大容量のメモリ空間を実現しています。また、ベースバンド用途には2チップMCPを搭載しています。これらをそれぞれ、バスAパッケージ、バスBパッケージと呼んでいます。

●アプリケーション部用途：バスAパッケージ

- ・128Mビット ページモードNOR型フラッシュメモリ
- ・64MビットNOR型フラッシュメモリ
- ・64Mビット モバイルFCRAM^{※1}
- ・32Mビット モバイルFCRAM

●ベースバンド部用途：バスBパッケージ

- ・32MビットNOR型フラッシュメモリ
- ・8Mビット低消費電力型SRAM

図1に本製品の概念図および断面図を示します。

バスAパッケージとバスBパッケージは、1つのPS-MCPでありながら電気的に分離されています。これにより、電話の待ち受け時はバスBパッケージのみに電源を供給することで全体の消費電力を押しさえ、アプリケーション機能の使用時は両者に電源を供給して大容量メモリを活用するなど、インテリジェントなメモリ利用が可能です。

さらに本製品は、6チップ搭載にもかかわらず、パッケージ外形は既存MCPの「MB84VZ128A」と完全に同サイズの15×11×1.4(t)mmで、メモリ容量は約20%増と高密度の搭載を実現しています。

これらのメリットにより、本製品は大容量化・低消費電力化の要

求に応え、次世代携帯端末のパフォーマンス向上に大きく貢献する、最適なメモリソリューションといえます。

特 長

●構成

バスA(アプリケーション部・上パッケージ)

- ・128Mビット ページリードモード搭載NOR型デュアルオペレーション・フラッシュメモリ(×16)
- ・64MビットNOR型デュアルオペレーション・フラッシュメモリ(×16)
- ・64Mビット モバイルFCRAM(×16)
- ・32Mビット モバイルFCRAM(×16)

バスB(ベースバンド部・下パッケージ)

- ・32MビットNOR型デュアルオペレーション・フラッシュメモリ(×16)
- ・8MビットSRAM(×16)

●パッケージ

- ・パッケージ：FBGA^{*2}-179ボール(バスA信号ボール：68，バスB信号ボール：92，補強ボール：19)

- ・サイズ：15×11×1.4(t)mm

バスBの端子配列はスタックMCP共通配列を採用しており、従来のスタックMCPと互換性があります。バスAの追加端子配列は、共通配列の標準化を進めています。

- 動作電圧：Vcc = 2.85V ± 0.15V

- 動作温度範囲：-25 ~ +85

- 消去/書き込み回数：10万回(NOR型フラッシュメモリ)

表1に主な特性、図2にブロック図、図3に端子配列図、図4にパッケージ外形寸法図を示します。

図1 MB84VY6A4A1概念図および断面図

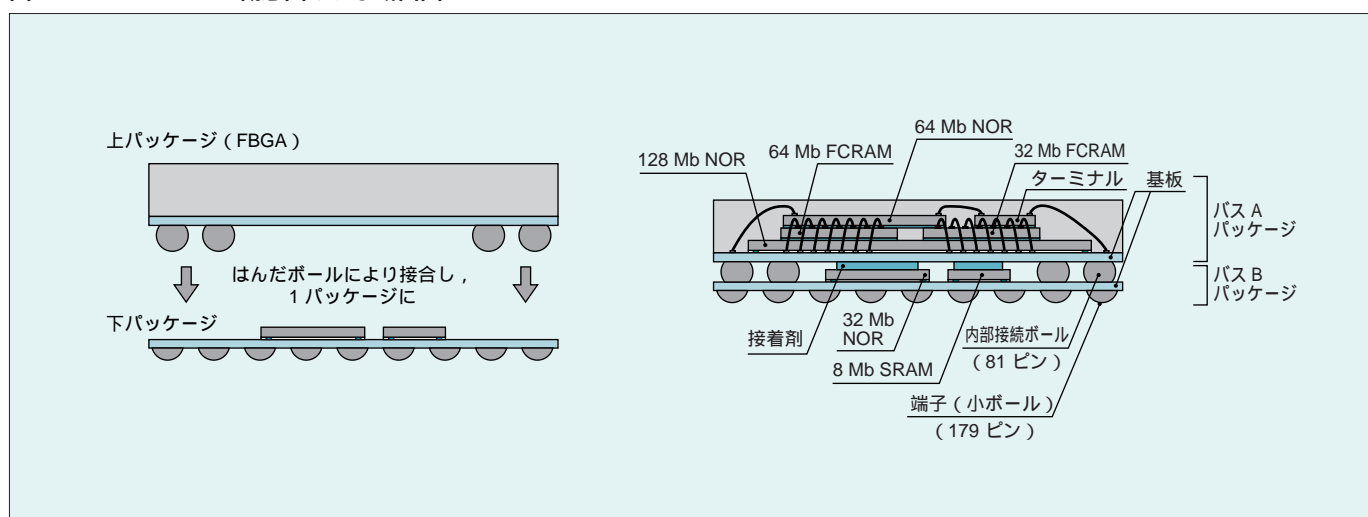


表 1 主な特性

チップ\項目	アクセスタイム	動作電流(リード時)	スタンバイ電流
128Mビット ページリードモード NOR型デュアルオペレーション・フラッシュメモリ	ランダム：85ns ページ：35ns	ランダム：最大35mA ページ：最大15mA	最大5μA
64Mビット NOR型デュアルオペレーション・フラッシュメモリ	70ns	最大30mA	最大5μA
64Mビット モバイルFCRAM	70ns	最大25mA	最大200μA 最大10μA(PD時)
32Mビット モバイルFCRAM	70ns	最大25mA	最大100μA 最大10μA(PD時)
32Mビット NOR型デュアルオペレーション・フラッシュメモリ	70ns	最大18mA	最大5μA
8MビットSRAM	70ns	最大30mA	最大15μA

*PD：パワーダウンモード

今後の展開

本稿では、次世代携帯機器へのメモリソリューションとして、アプリケーション向けとベースバンド向けの2バス構成を持つ、6チップ搭載のPS-MCPをご紹介しました。

当社は、今後もメモリのトータルソリューションサプライヤとして、市場ニーズにマッチした業界インパクトのある商品の開発を目指します。

* 1：モバイルFCRAM(East Cycle Random Access Memory)：FCRAMに非同期型SRAMインタフェースを搭載した大容量・ローパワー擬似SRAM。

* 2：FBGA(Fine-pitch Ball Grid Array)：表面実装型パッケージの一種。

* FCRAMは富士通株式会社の登録商標です。

図 2 ブロック図

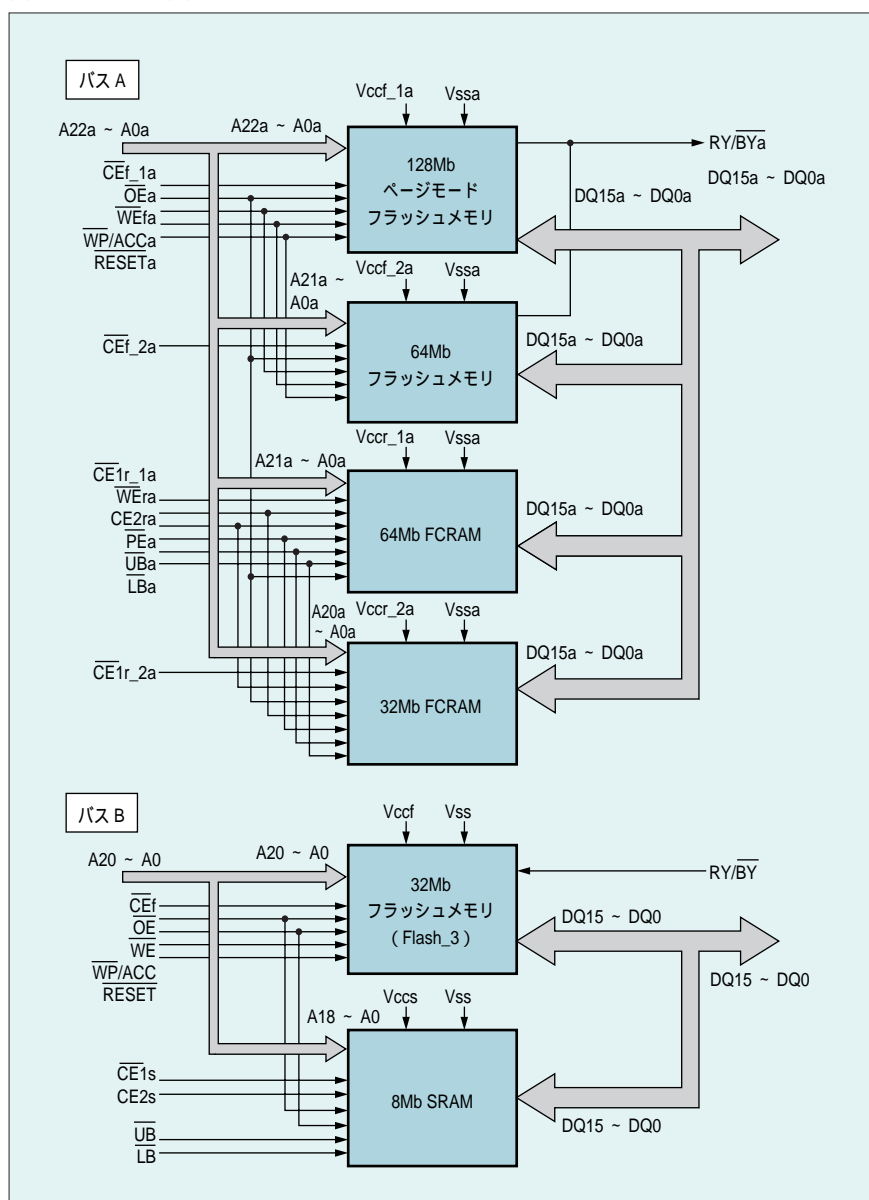


図3 端子配列図

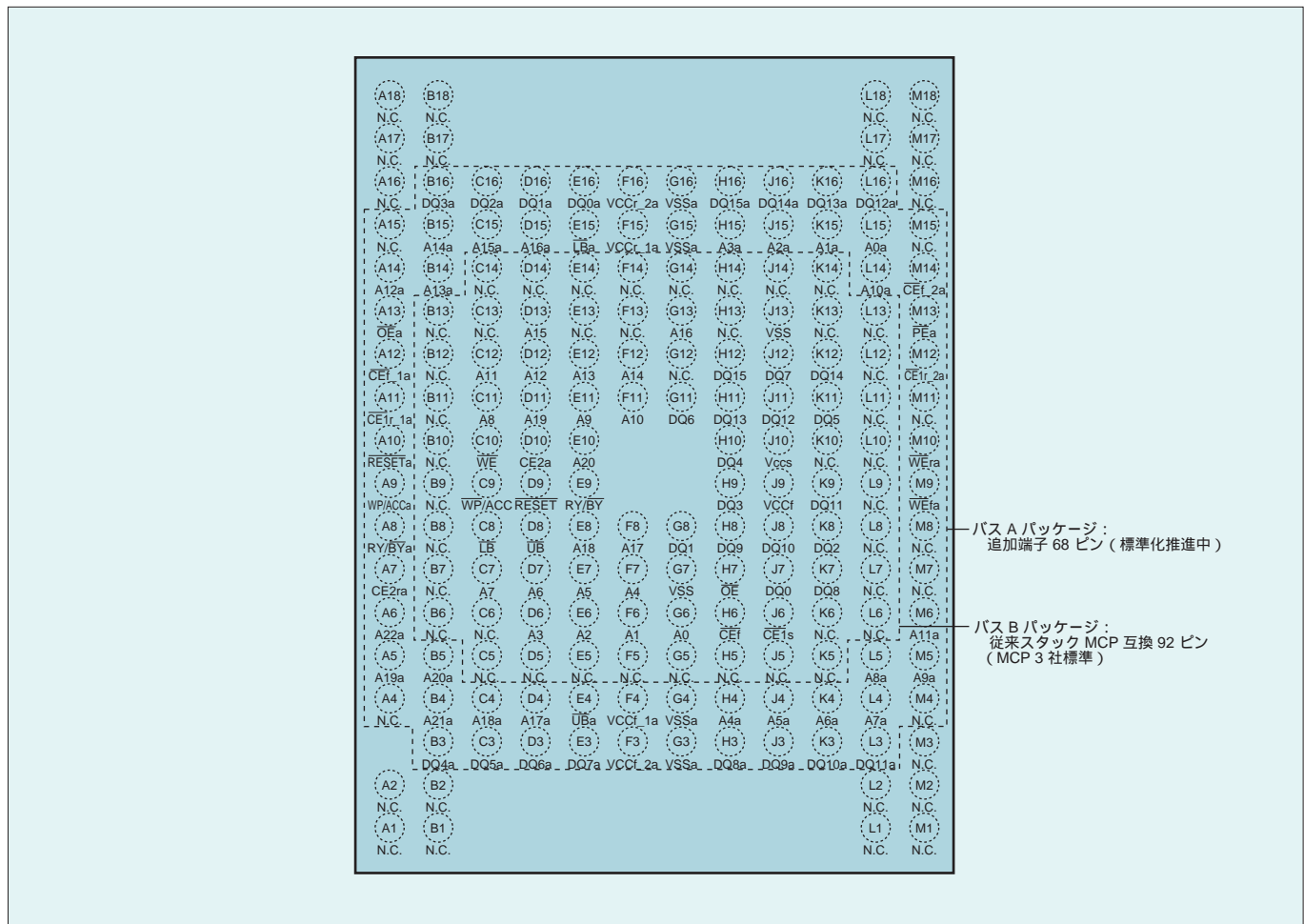


図4 パッケージ外形寸法図

