

システム・イン・パッケージ専用 64MビットFCRAM[®] MB811L646449-12/MB811L646449-18

システム・イン・パッケージ専用開発したSDRAMインタフェース
64MビットFCRAM[®]です。高バンド幅かつ低消費電力を実現し、
大容量画像処理が要求される画像処理機器に最適です。

概要

近年、デジタルビデオカメラやDVDレコーダをはじめとする、デジタルネットワーク情報社会の発展により、大容量画像処理を行うDRAMが求められています。このような中、当社はバス幅を×64ビット構成としたシステム・イン・パッケージ（以下SiP）専用64MビットFCRAM[®]を開発しました。

今回開発したMB811L6449は、現在画像処理機器で最も普及している81MHzで、648Mバイト/秒と高いデータ転送レートを実現しています。また、SiP専用として入出力回路およびメモリセル周辺回路を最適化したことにより、低電圧化・低消費電力化を実現しています。さらに、当社独自の試験/バーンイン容易回路の搭載により、パッケージ組立て後もメモリの試験や初期不良のリジェクトを可能にしました。なお本製品は、ベアチップでの提供に加え、当社ロジックチップとワンパッケージ化したSiPでの提供も行います。

本製品は、民生市場向けFCRAM[®]（Consumer FCRAM）製品系列の一つとして開発を行いました。

SiPの利点

SiPには次のような利点があります。

●省スペース

メモリチップとロジックチップを同一パッケージ内に搭載するので、システムの省スペース化が可能です。また、メモリチップとロジックチップ間のインタフェースがパッケージ内に封入されるため、パッケージピン数と実装基板上のフットパターンの削減が可能です。

●低消費電力

パッケージ内にインタフェースを封入できるので、出力負荷を小さくすることが可能です。その結果、入出力系の低消費電力化が可能となります。

●最適なメモリサイズ

複数のメモリチップを同一パッケージに組み込めることから、シ



写真1 チップ

システムに最適なメモリサイズが選べます。

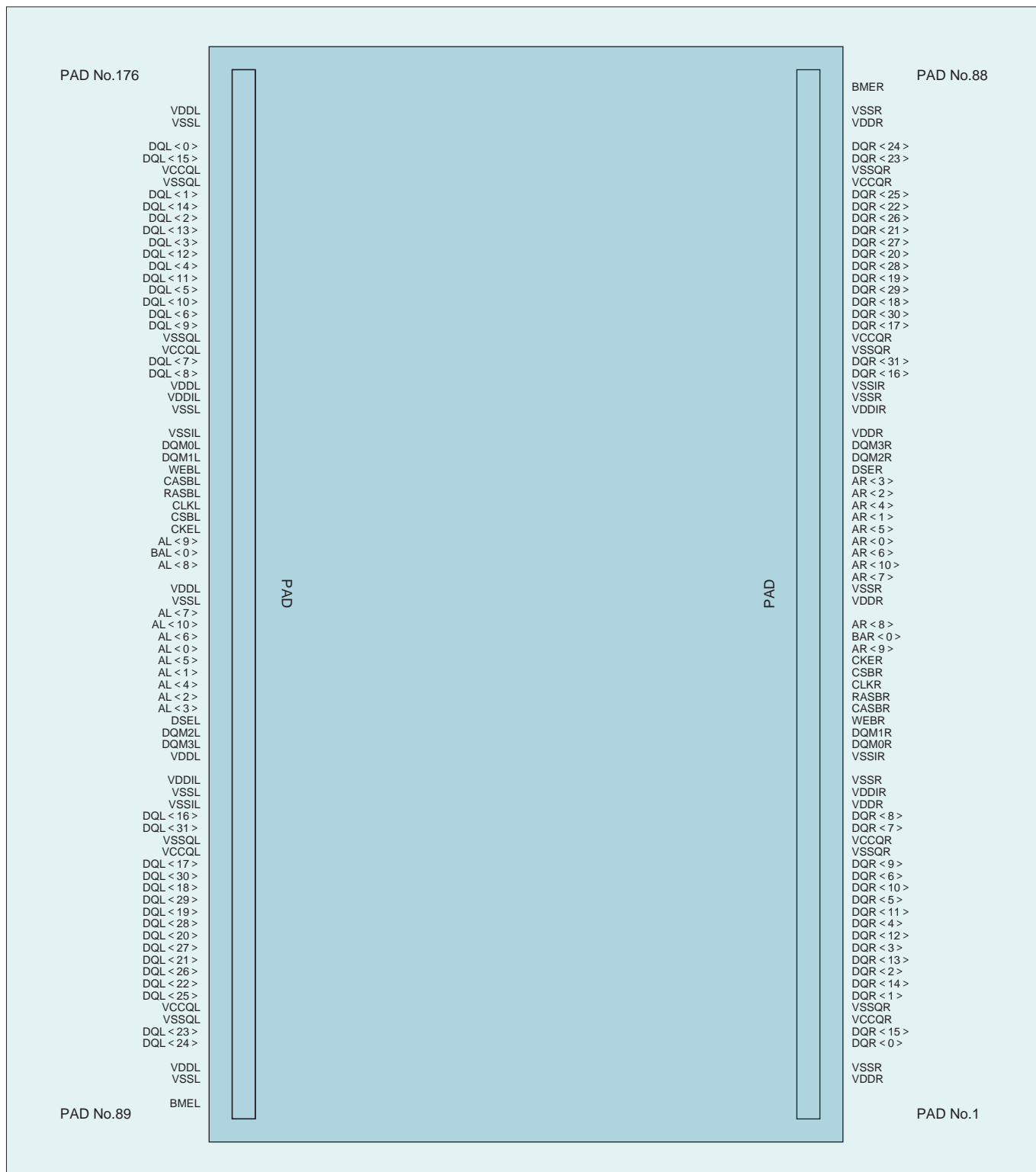
特 長

本製品にはSiP専用メモリとして次のような特長があります。

- デュアルパーティ構成 : 2バンク×524,288ワード×32×2パーティ
各々のパーティを同時に動作させることにより、1 Mビット×64ビットI/Oのメモリとして動作します。また、各々のパーティを独立に動作させることにより、1 Mビット×32ビットI/Oメモリを2チップ搭載した時と同じ動作が可能です。

図1にMB811L646449のパッド配列を示します。

図1 パッド配列



- I/Oバス構成，データ転送レート：
 - × 64ビット/I/O，648MHz/バイト/秒(81MHz時)
- 本体電源電圧：2.3V ~ 2.7V
- I/O電源電圧：2.3V ~ 2.7V，3.0V ~ 3.6V
- SDRAMインタフェース
- 試験/バーンイン容易回路搭載
 - ・バーンイン試験回路

当社独自のバーンイン試験回路の搭載により，特定のパッドに任意の電圧レベルを印加するだけで，従来のバーンイン試験と同等の試験が行えます。
 - ・BIST回路の開発

独自開発のBIST回路をロジックチップ内に搭載することにより，SiPに実装後の本製品の試験ができます。

図2 当社MCPの実施例

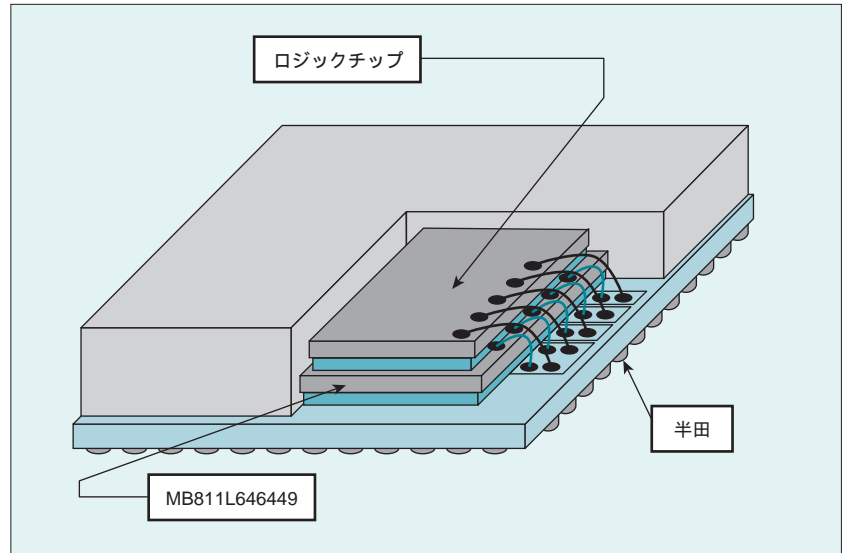
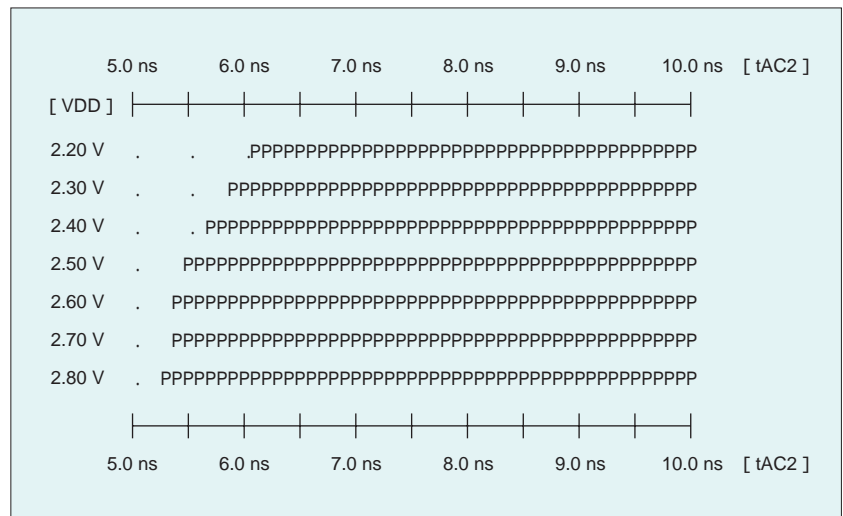


図2に，ロジックチップと本製品をマルチチップパッケージ(MCP)化した実施例を示します。

特 性

図3にアクセスタイム電源電圧特性を，表1に主要特性を示します。

図3 アクセスタイム電源電圧特性



* FCRAM®は富士通株式会社の登録商標です。

表1 主要特性

パラメータ名	シンボル	MB811L646449-12		MB811L646449-18		単位
		最小	最大	最小	最大	
クロック	tCK	12	110000	18	110000	ns
RASサイクルタイム	tRC	72		108		
RASプリチャージタイム	tRP	24		36		
RASアクティブタイム	tRAS	48		72		
RAS-CASディレイタイム	tRCD	24		36		
DQ出力アクセスタイム	tAC2	9		9		
入力セットアップタイム	tSI	3		4		
入力ホールドタイム	tHI	1.5		1.5		
動作電流	ICC1	240		160		mA
パワーダウン電流	ICC2PS	2		2		
セルフリフレッシュ電流	ICC6	5		5		
リフレッシュ特性		2048サイクル/32ms				