

FRAM[®]における冗長回路技術と 基準電圧可変回路技術

大容量FRAM[®]の製品化に寄与する新技术として、当社の冗長回路技術と基準電圧可変回路技術が第8回『LSIデザイン・オブ・ザ・イヤー（半導体産業新聞社主催）』の優秀賞に選ばれました。

はじめに

近年、FRAM[®]の製品化が積極的に行われています。現在、製品レベルで使用されているメモリセルタイプは、2個のトランジスタ(T)と2個の強誘電体キャパシタ(C)で構成された2T2Cタイプです。一方、素子数が半減する1T1Cタイプのメモリセルは、大容量化に必須といわれながらも、原理的に動作マージンが2T2Cの半分以下になってしまうことから製造が難しく、製品化が遅れているのが現状です。このような状況の中当社では、1T1C製品化のためには、製造プロセスの改良と相まって、回路的なアプローチによる歩留まり改善対策と動作マージンの安定化対策が必須であると考えました。そしてこの度、前者を目的とした新規冗長回路技術と、後者を目的とした基準電圧可変回路技術を開発しましたので、その概要をご説明します。

冗長回路技術

冗長回路技術とは、不良メモリセルを、あらかじめ余分に設けておいたメモリアレイ（冗長セル領域）の良品セルに置き換える技術です。この技術は、メモリデバイスの大容量化に伴い、避けることができない製造上の低歩留まり問題を回路的に解決する手法として、DRAMやSRAMなどのメモリでも従来から用いられています。

図1に従来冗長回路技術を示します。

従来の方式では、置換え制御に必要な不良セル情報は、電源切断後も失われないよう、電気的またはレーザー切断によってプログラミングされるヒューズROMに書き込まれます。このため冗長機能の搭載にあたっては、新たなヒューズROMのプロセス工程の追加が必要です。また、同一列アドレス内にある不良セルは、一個でも複数でも冗長列一列を使って置換されるため、救済したい不良セル数分の冗長列を用意する必要があります。つまり、不良救済率を高めようとするほど、余分に設ける冗長セル領域が大きくなるのです。大きな冗長領域を設けることで、その領域自体の

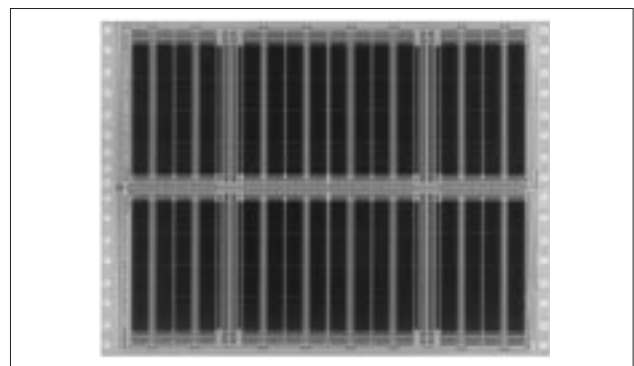


写真1 チップ

不良発生確率も上昇するため、救済率を高めるには限界がありました。

本新技术では、不揮発性メモリ（電源切断後も記憶データが消えないメモリ）であるFRAM[®]の特長を活かし、強誘電体キャパシタを活用することでプロセスコスト増となるヒューズROMを省略しました。具体的には、通常セル領域と冗長セル領域を備えた従来のメモリアレイに、さらに同様のメモリセルで構成された第三の領域であるデータセル領域を設け、そこに不良セル情報を書き込むようにしました。この不良情報は各行で独立に書き込むことができ、それに基づいてその行の列方向の選択が制御されます。つまり、選択された行に不良がなければ、列方向は通常セル領域のものが選択されますが、不良が存在する場合は、冗長セル領域の列の良品セルが選択されるようになっていきます。この行ごとの制御によって、少ない冗長領域で高い不良救済率が達成できました。

さらに本方式では、ヒューズ切断工程とそのための特別な装置も不要となるため、試験コストの削減にもなります。また、不良セル情報の書込みも通常書込み動作と同じように行われるので、ウェーハ試験時だけでなくパッケージ組立て後に発生する不良に関しても冗長救済可能となります。これらの比較的簡単な試験工程で冗長救済できることから、複雑なシステムLSIに搭載されたFRAM[®]にも本冗長回路は容易に適用できます。

図2に新冗長回路技術を示します。

基準電圧可変回路技術

現在のFRAM[®]製品に用いられている2T2Cセルは、各セルごとに自らが基準電圧を発生し、記憶データの“1”/“0”が判定されますが、1T1Cセルの場合は共通の基準電圧をもとに判定する必要があります。この基準電圧のばらつきは、読出し動作マージンの悪化をもたらす歩留まり低下の原因となるので、安定した基準電圧の確保は1T1C製品化の最重要課題です。当社は以前より、メモリセル特性を模したダミーセルを基準電圧発生に用いることで、プロセスばらつきに強い回路技術を提案してきました。

今回の新技術ではさらに改良を加え、試験時に外部テスト端子より基準電圧を可変にできるようにしました。通常動作状態では、基準電圧は一定の最適電圧を発生します。そこでウェーハ試験時に、わざと外部より基準電位を最適値からずらして動作マージンの少ないセルを探し、不良セルとして落とします。単に落とすだけでは、そのチップは不良となり歩留まり低下をもたらすので、落とした不良セルは前述の冗長回路で正常なマージンを持つセルに置き換えて救済します。これによって歩留まり低下の犠牲を最小限に抑え、セル特性のばらつきが抑えられ、FRAM[®]デバイスの信頼性を向上できます。

図3・図4に基準電圧可変回路技術を示します。

図1 従来冗長回路技術

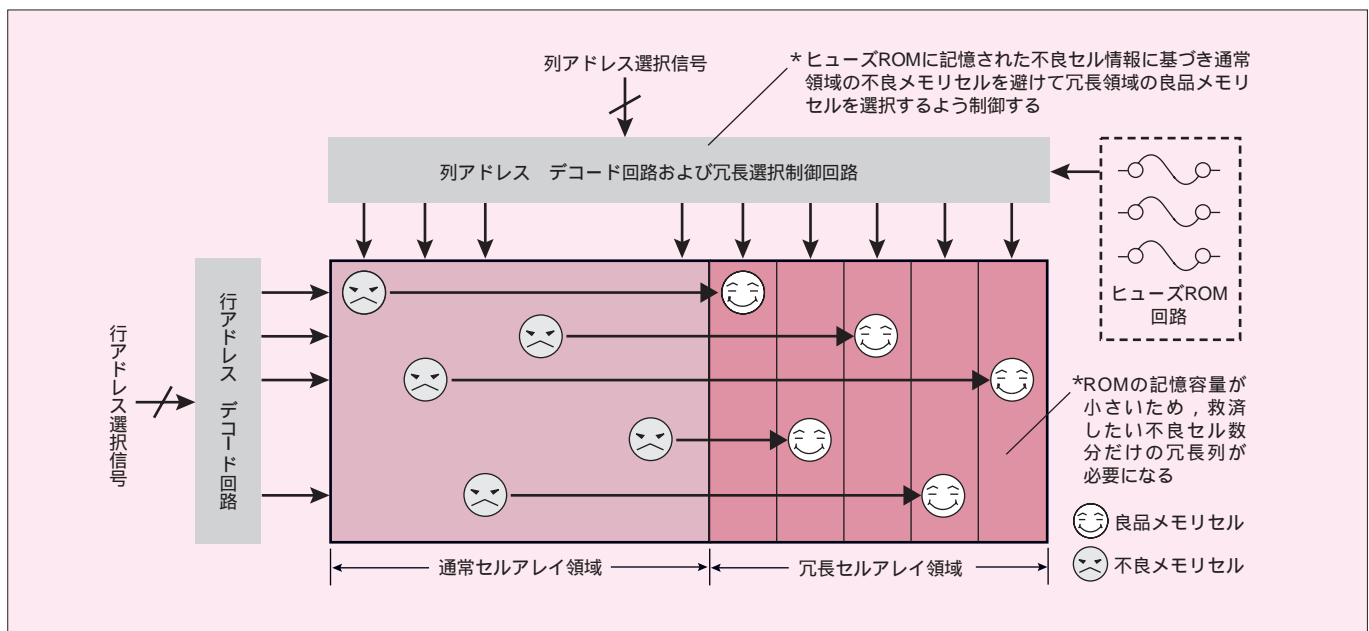
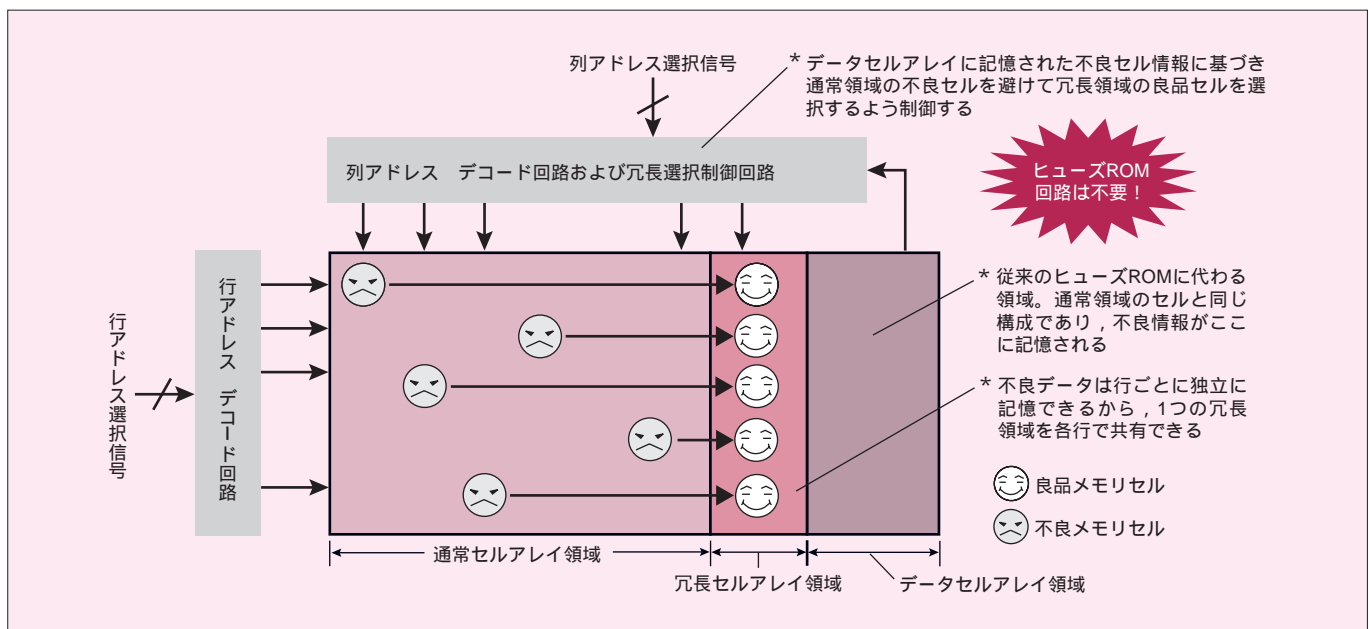


図2 新冗長回路技術



試作チップ

当社では、前述の2つの新回路技術を搭載した、1T1Cセル使用の128Kワード×8ビット構成1Mビット大容量FRAM[®]を試作しました。1Mビットのセルアレイは大きく4分割されており、各分割ブロックは32Kワード×8ビット(=256Kビット)構成です。このブロックの中には、さらに8個の小ブロック(4Kワード×8ビット)に分かれており、小ブロック単位に1列の冗長列を用意しました。本構成の場合、データセル領域追加によるセルアレイ領域の増加分は約5%となりますが、これにより従来比が1桁~2桁の高い冗長救済率を実現できます。

使用したプロセス技術は0.5μmルール、2層メタルプロセスで、強誘電体としては現在主流のPZT材料を用いました。メモリセルサイズは15.8μm²、チップサイズは約48.3mm²です。動作電源電圧は5V標準で、アクセスタイムは最悪でも80nsを保証できます。

特長

- プロセステクノロジー: 0.5μm/2層メタル/PZT強誘電体材料使用
- メモリ構成: 128Kワード×8ビット
- メモリセルサイズ: 3.95μm×4.00μm=15.8μm²
- 強誘電体キャパシタサイズ: 1.1μm×2.75μm=3.025μm²
- チップサイズ: 5.7mm×8.47mm=48.279mm²
- 動作電源電圧: 5.0V(標準)
- 読出しスピード: 80ns(最大)

今後

今回の試作は0.5μmプロセスですが、本新回路技術は次期プロセステクノロジーでも有効です。当社では今後も、さらに低コストで大容量のFRAM[®]の製品化を積極的に進めます。

図3 基準電圧可変回路技術(1)

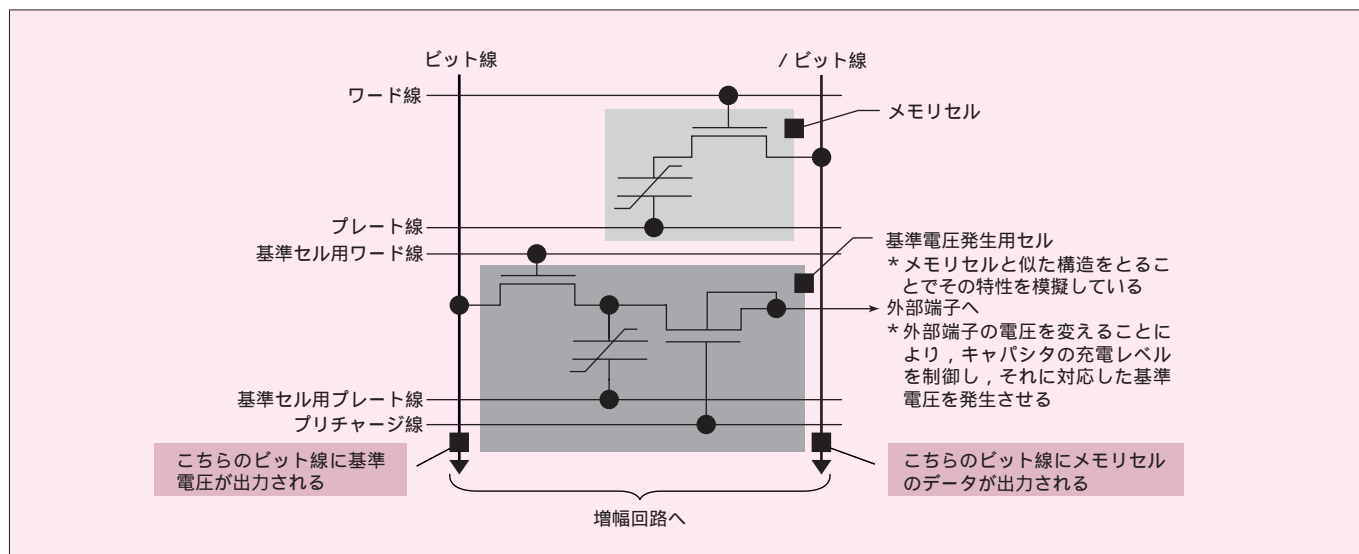


図4 基準電圧可変回路技術(2)

