

64Mビットダブルデータレート FCRAM™ MB81P643287/MB81N643289

200MHzのクロック周波数で動作する，64MビットFast Cycle RAM (FCRAM)です。ランダムアドレス・サイクル時間の大幅な短縮と，高いデータ転送レート（1.6Gバイト/秒）を実現し，高速動作が要求される画像用途向けに最適です。

概要

3次元グラフィックスやデジタルテレビなどに使われる画像用途のメモリには，ランダムアドレス・サイクル時間と連続アドレス・サイクル時間の両方を短縮することが求められています。このようななか，当社はランダムアドレス・サイクル時間が30ns，連続アドレス・サイクル時間が5ns（200MHz）を実現した64MビットFCRAMを開発しました。

本製品には，JEDEC標準のダブルデータレート・シンクロナスDRAM（以下DDR-SDRAM）と同じ入出力インタフェースを備えたMB81P643287，および出力の終端抵抗を内蔵したMB81N643289の2種類があります。

特長

MB81P643287/MB81N643289は，FCRAMコアを採用することで高速なランダムアクセス性能を実現しています。これらの製品には次のような特長があります。

- ランダムアドレス・サイクル時間：30ns
連続アドレス・サイクル時間：5ns
- データ転送レート：1.6Gバイト/秒
- データの入出力：DDR方式
- 入出力インタフェース：SSTL_2（MB81P643287），またはCMOS送信端終端（MB81N643289）に対応
- 語構成：×32
- バンク構成：8バンク
- CASレイテンシ（CL）= 2，3
バースト長 = 2，4，8に対応
- ライトレイテンシ：1（MB81P643287）
またはCL-1（MB81N643289）に対応
- ライト動作でのRAS-CASディレイタイム：2，3（MB81P643287）
または1（MB81N643289）に対応

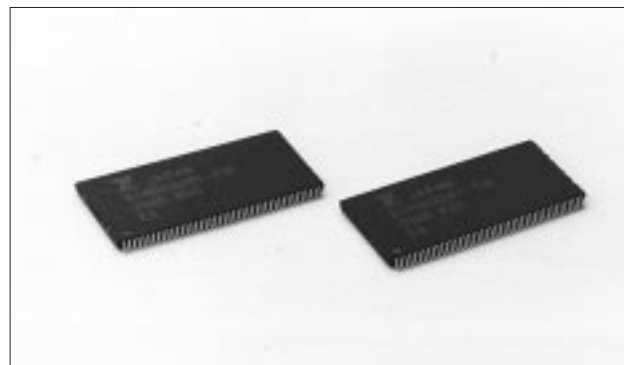


写真1 外観



写真2 チップ

- DLL (Delay Locked Loop , 遅延素子による同期ループ回路) を搭載
- 入出力ともにデータストロープを使用 (Bi-Directional)
- データストロープはDQ端子 8 ビットごとに使用
- ディファレンシャルクロック使用

パッケージはMB81P643287/MB81N643289ともにTSOP -86 (0.5mmピッチ) を採用しています。プロセスは、ポリシリコン 3 層、メタル 3 層配線アーキテクチャの0.2 μ mプロセスを使用しています。

相違点

図 1 にMB81P643287/MB81N643289の端子配列を示します。

表 1 に、MB81P643287/MB81N643289とJEDEC標準のDDR-

図 1 端子配列

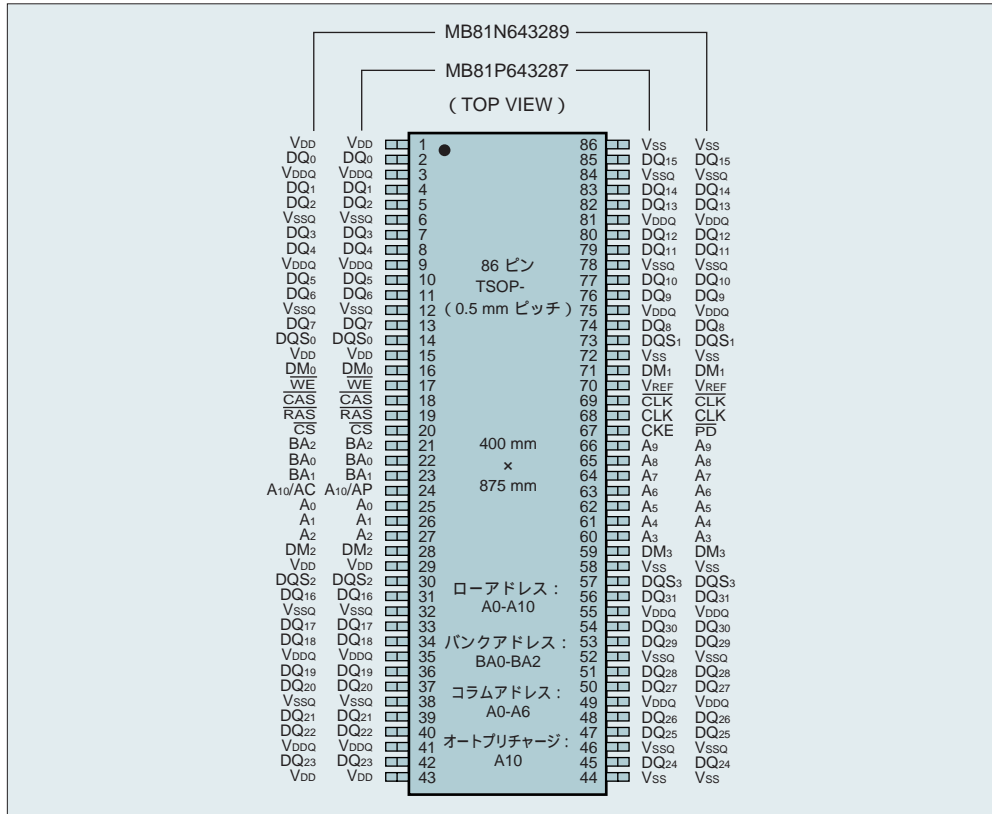


表 1 仕様比較

項目	MB81P643287	MB81N643289	DDR-SDRAM
電源電圧	2.5V	2.5V	2.5V
出力専用電源電圧			2.5V
インタフェース	SSTL-2	CMOS送信端終端	SSTL-2
パッケージ	86ピンTSOP		100ピンTQFP
バンク数	8バンク		4バンク
バースト長	2, 4, 8		2, 4, 8, フルコラム
CASレイテンシ	2, 3		
ライトレイテンシ	1	CASレイテンシー1	1
インタラプト動作	あり	なし	あり
DQS	4		1
tCK	5ns(200MHz)		6ns(166MHz)
tRC	30ns		66ns
tRCD	リード時	15ns	15ns
	ライト時		5ns
			18ns

SDRAMの仕様比較を示します。

MB81P643287は、JEDEC標準のDDR-SDRAMと互換性のあるインタフェースを採用しています。その一方、 $\overline{\text{RAS}}$ サイクルタイム(t_{RC})は30nsを実現しており、DDR-SDRAMの2倍以上高速になっています。

MB81N643289はCMOS送信端終端を採用しています。図2にCMOS送信端終端のモデルを示します。このインタフェースは、出力の終端抵抗を内蔵しており、実装基板上の終端抵抗が不要です。また、ライト時の $\overline{\text{RAS}}$ - $\overline{\text{CAS}}$ デレイタイム(t_{RCDW})を1にすることができます。

特 性

図3に動作周波数の電源電圧依存性を示します。図4にCASレイテンシ = 3, パースト長 = 2, SSTL-2出力負荷での200MHz動作時の出力波形を示します。また表2・表3に特性を示します。

*FCRAMは富士通株式会社の商標です。

図2 CMOS送信端終端のモデル

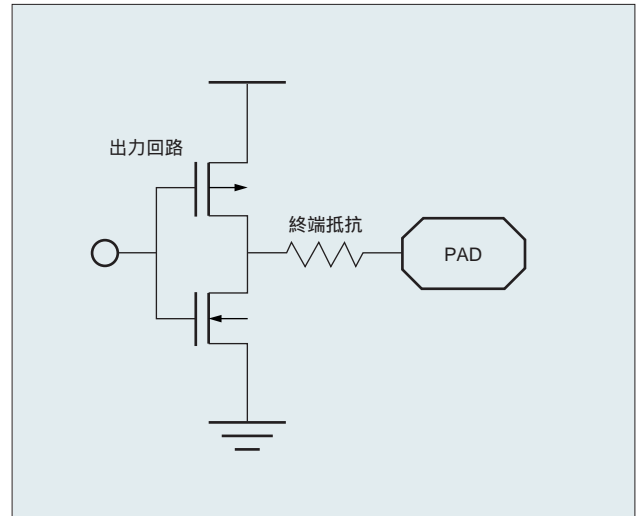


図3 動作周波数の電源電圧依存性

CL = 3							
[VDD]	10NS	9NS	8NS	7NS	6NS	5NS	[tCK] 4NS
2.000V	> P	P	P	P	P	P	P
2.100V	> P	P	P	P	P	P	P
2.200V	> P	P	P	P	P	P	P
2.300V	> P	P	P	P	P	P	P
2.400V	> P	P	P	P	P	P	P
2.500V	> P	P	P	P	P	P	P
2.600V	> P	P	P	P	P	P	P
2.700V	> P	P	P	P	P	P	P
2.800V	> P	P	P	P	P	P	P
2.900V	> P	P	P	P	P	P	P
3.000V	> P	P	P	P	P	P	P
	10NS	9NS	8NS	7NS	6NS	5NS	4NS
							[tCK]
CL = 2							
[VDD]	10NS	9NS	8NS	7NS	6NS	5NS	[tCK] 4NS
2.000V	> P	P	P	P	P	P	P
2.100V	> P	P	P	P	P	P	P
2.200V	> P	P	P	P	P	P	P
2.300V	> P	P	P	P	P	P	P
2.400V	> P	P	P	P	P	P	P
2.500V	> P	P	P	P	P	P	P
2.600V	> P	P	P	P	P	P	P
2.700V	> P	P	P	P	P	P	P
2.800V	> P	P	P	P	P	P	P
2.900V	> P	P	P	P	P	P	P
3.000V	> P	P	P	P	P	P	P
	10NS	9NS	8NS	7NS	6NS	5NS	4NS
							[tCK]

図4 200MHz動作時の出力波形 (tCK = 5ns, CL = 3, BL = 2)

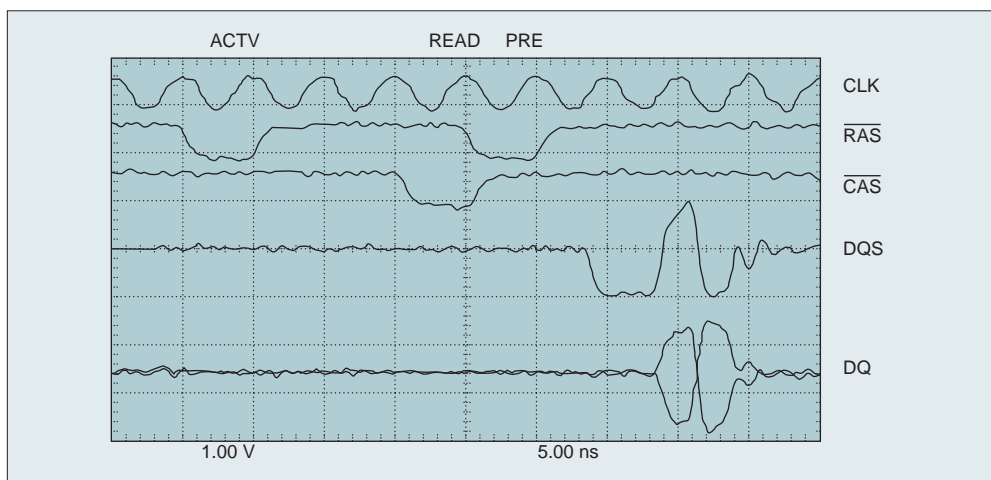


表2 主要特性 (MB81P643287)

パラメータ名		シンボル	- 50		- 60		単位
			最小	最大	最小	最大	
クロック	CL = 3	tCK	5.0	9.0	6.0	10.5	ns
	CL = 2		7.5	10.5	9.0		
RASサイクルタイム	CL = 3	IRC	6		6		
	CL = 2		5		5		
RASアクティブタイム	CL = 3	IRAS	4	11000	4	11000	tCK
	CL = 2		3	7333	3	7333	
RAS-CASデレイタイム	CL = 3	IRC	3		3		
	CL = 2		2		2		
RASプリチャージタイム		IRP	2		2		
DQ出力アクセスタイム		tACC	- 0.7	0.7	- 0.8	0.8	ns
電源起動時におけるDDLがロックするまでに要する最低必要なクロック数	tCK 7.5ns	I _{PCD}	400		400		tCK
	tCK 10.5ns		630		630		
リフレッシュ特性			4096サイクル/32ms				

表3 主要特性 (MB81N643289)

パラメータ名		シンボル	- 50		- 60		単位
			最小	最大	最小	最大	
クロック	CL = 3	tCK	5.0	9.0	6.0	10.5	ns
	CL = 2		7.5	10.5	9.0		
RASサイクルタイム		tRC	30		36		
RASアクティブタイム		tRAS	20	55000	24	55000	
RAS-CASデレイタイム (リード動作)	CL = 3	IRC	3		3		tCK
	CL = 2		2		2		
RAS-CASデレイタイム (ライト動作)	CL = 3	IRC _{DW}	1		1		
	CL = 2						
RASプリチャージタイム		tPCL	10		12		ns
DQ出力アクセスタイム		tAC	- 0.7	0.7	- 0.8	0.8	
DDLがロックするまでに要する最低必要なクロック数	tCK 7.5ns	I _{LOCK}	400		400		tCK
	tCK 10.5ns		630		630		
リフレッシュ特性			4096サイクル/32ms				