

デジタルアニーラご紹介

Fujitsu Quantum-Inspired Computing

Digital Annealer

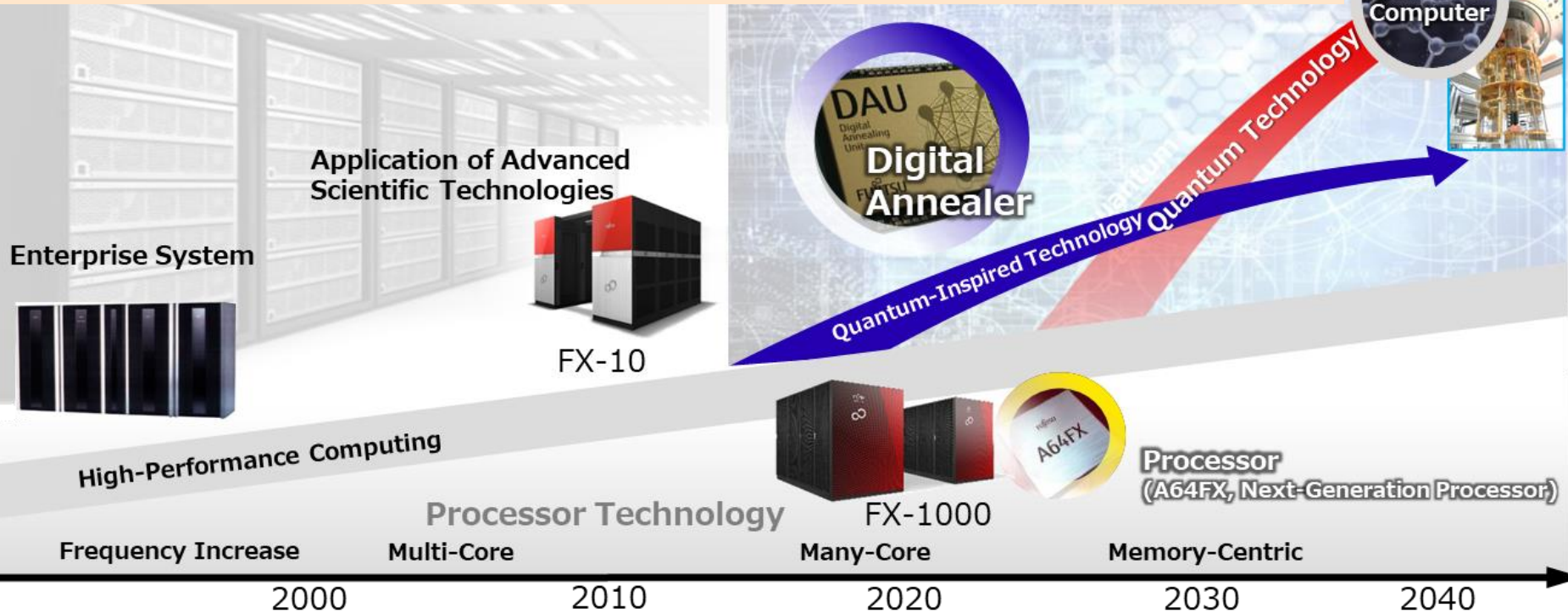
【技術編】

富士通株式会社

富士通の量子インスパイアード技術: デジタルアニーラFUJITSU

デジタルアニーラは、量子現象に着想を得たコンピューティング技術で、
現在の汎用コンピュータでは解くことが難しい組合せ最適化問題を高速に求解します

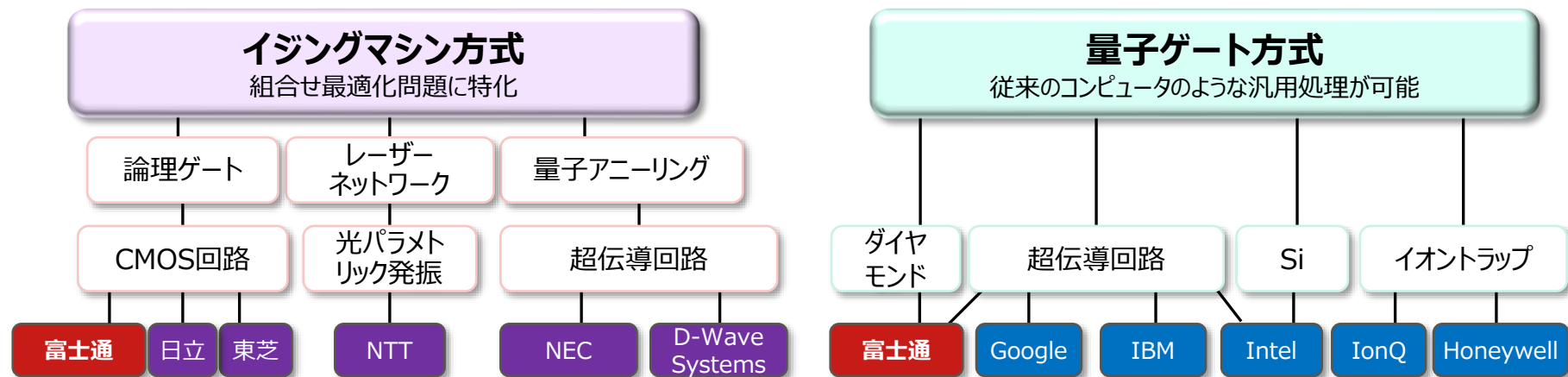
By courtesy of RIKEN



量子／量子Inspiredコンピュータの分類

動作原理の違いにより、イジングマシン方式とゲート方式に分類

- デジタルアニーラは、イジングマシン方式により組合せ最適化問題を求解。極低温や高真空は不要。



- イジングモデルのスピンの状態をバイナリー変数に変換した系のエネルギーを最小化する状態 X (基底状態)を探索

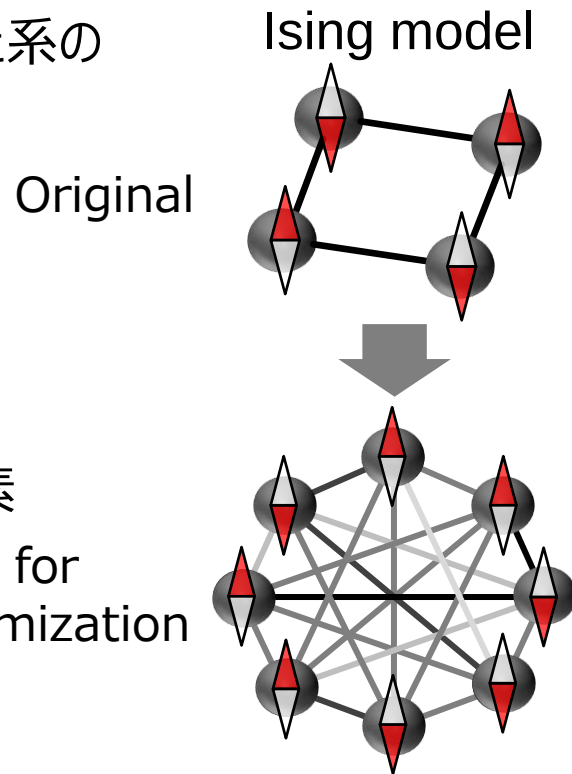
$$E(X) = - \sum_{i,j} W_{ij} x_i x_j - \sum_i b_i x_i$$

State $X = (x_1, x_2, \dots, x_i, \dots, x_N)$

State variable of bit i $x_i \in \{0,1\}$

- 組合せ最適化問題をイジングモデルで扱うための3要素

- ✓ ビット数
- ✓ ビット間の結合度
- ✓ ビット間の結合強度階調



- 金属加工の焼きなまし(アニーリング)現象を借用したアルゴリズム

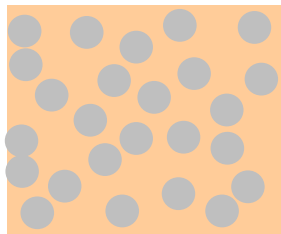
焼きなまし(アニーリング)現象

金属を高温にしてから、ゆっくり冷やしていくと
構造が安定(=エネルギーが低い)する現象

金属の状態

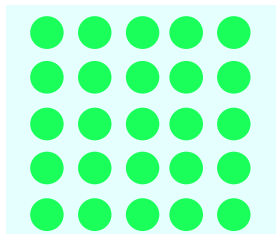
● = 不安定

● = 安定



高温

原子が不安定 = エネルギーが高い



低温

原子が安定 = エネルギーが低い

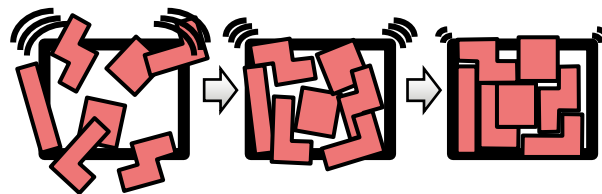
総当たり方式

順番につめてダメなら後戻り
全組み合わせを確認する



アニーリング方式

全体を大きく揺らして徐々に揺れを小さく
していくことで、短時間で納まる形を見つける。



最適解の探索において、
はじめは最適解から遠い解も含めて探索するが、
徐々に最適解に近い解を導いていく。

量子現象に着想を得たコンピューティング技術で、
現在の汎用コンピュータでは解くことが難しい組合せ最適化問題を高速に求解します

■ 特長

1. 大規模

10万ビット問題に対応（研究レベルでは100万ビット実現）

2. 高速化

制約条件を活用する探索技術をアニーリングコア^{*1}に組み込み
多くの複雑な実問題求解を高速化

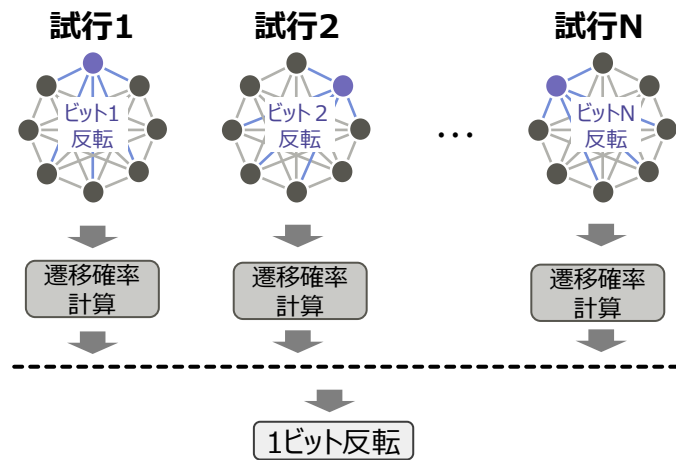
3. 高い利便性

- ・コスト項と制約項の分離入力により探索途中で制約係数を自動調整可能
- ・線形不等式制約項をQUBO^{*2}化せず直接入力可能

^{*1}: アニーリング方式に基づきビット反転処理を繰り返し行う探索エンジン

^{*2}: QUBO (Quadratic Unconstrained Binary Optimization : 二次制約なしバイナリ最適化)

<アニーリングコアの基本原理>



確率的探索を並列試行で高速に実行

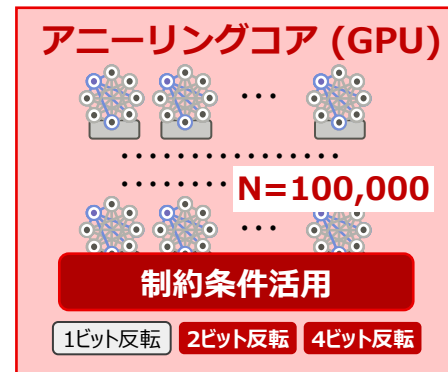
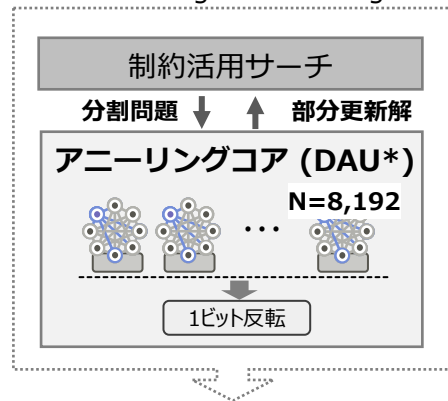
第三世代

- 制約活用サーチ(ソフトウェア)が制約条件を考慮しながら問題を分割してDAUを起動
- 8,192ビット以下の中規模問題は専用チップにより高速求解

第四世代

- アニーリングコアが大規模化問題を分割することなく並列ビット処理を実行
- 反転ビット選択時に制約条件を活用し、1,2way-1hot時にはそれぞれ2,4ビットを同時反転

* Digital Annealing Unit



第三世代の利便性はそのままに、大規模アニーリングコアが最適解を高速に求解

●大規模問題の高速化

大規模アニーリングコア搭載(マルチGPU実装)により
第三世代比で最大10倍の高速化

●高い利便性

・第三世代の利便性を継承

新たに1hot制約*1のバイナリー二次形式制約項化を
不要とするAPIを追加し、入力データを削減、入力時の
煩雑さを解消

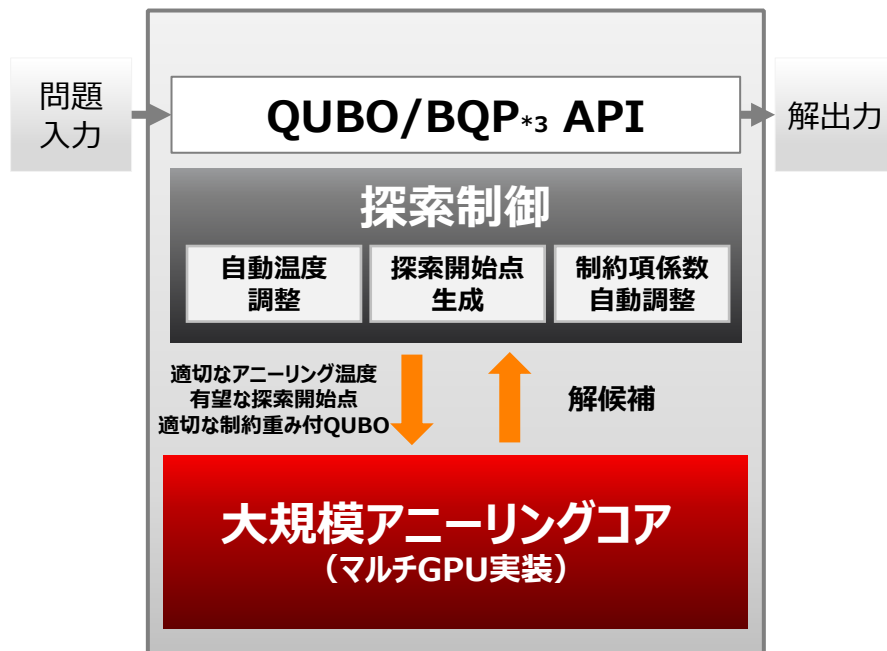
・Azure BLOB Storage*2の利用により大規模問題の 受け渡しをサポート

問題データサイズ増加：第三世代 2GB → 第四世代 20GB

*1:スケジューリング問題などの実問題で頻出する制約条件のひとつ

*2:お客様で別途契約が必要

*3:BQP (Binary Quadratic Programing : バイナリー二次計画問題)



制約項係数自動調整

複雑な制約条件を分離入力し、
チューニングを簡略化

$$E = \underbrace{\sum_{i \leq j} o_{ij} x_i x_j}_{\text{コスト項}} + \underbrace{\alpha \sum_{i \leq j} p_{ij} x_i x_j}_{\text{制約項}}$$

制約項分離

デジタルアニーラ

係数 α を自動調整
チューニング作業を軽減

不等式制約対応

コスト項とは別に不等式制約を与えることで、
不等式を表す補助ビットを削減

$$E = \underbrace{\sum_{i \leq j} q_{ij} x_i x_j}_{\text{コスト項}} + \underbrace{\sum_k L_k \left(\sum_j d_{kj} x_j - y_k \right)^2}_{\text{補助ビットによる表現}}$$

不等式制約

$$\sum_j d_{kj} x_j \leq y_k$$

デジタルアニーラ

補助ビット y_n が不要に
複数の不等式制約に対応

1hot制約対応

実用問題で頻出の1hot制約に対応
典型的な制約条件を高速に処理

1way-1hot制約

$$A \left(\sum_i x_i - 1 \right)^2$$

2way-1hot制約

$$A \sum_i \left(\sum_j x_{ij} - 1 \right)^2 + B \sum_j \left(\sum_i x_{ij} - 1 \right)^2$$

対象のグループ内から"1"
となるビットを1つだけ選択する

第四世代は

バイナリー二次形式制約項不要
(第三世代と同様1hotグループの指定は必要)

補足（クラウドサービスライアアップ、ロードマップ）

■ お客様の問題規模に応じて選択頂けるラインアップ

サービス名	Developer-4	Professional-4	Standard-3	Academic-3
利用システム	第三世代、第四世代の 両方を利用可能	第四世代	第三世代	第三世代
推奨ユース ケース	検証実験／ PoC・PoV	10万ビットまでの 大規模問題	8,192ビットまでの 中規模問題	8,192ビットまでの 中規模問題
商用利用	不可	可	可	不可 (大学研究用)
課金形態	従量制／月額固定	従量制／月額固定	従量制／月額固定	月額固定

※お客様には、最初に第四世代と第三世代の両方を使用できる Developer-4 をご契約頂き、第四世代と第三世代のどちらを使用すべきか判断頂きます。
商用利用する際には、第四世代のProfessional-4、または第三世代のStandard-3のどちらかを選択して頂きます。

適用分野



県域配送



全国配送



中分子医薬



金融ポートフォリオ



要員計画

第一世代

・規模 1,024ビット

第二世代

・専用ハードウェア実装
・規模 8,192ビット



第三世代

・ハイブリッド求解アーキ
・大規模対応(10万ビット)
・利便性向上
(コスト項、制約項分離対応)

第四世代

・大規模アニーリングコア
搭載(マルチGPU実装)
・第三世代比で
最大10倍の高速化

次世代



～2018年

2020年

2022年

2023年以降

Thank you

デジタルアニーラ公開サイト

<https://www.fujitsu.com/jp/digitalannealer/>

