

ぶつからない車の実現を目指す車載 レーダー向けミリ波デバイス・回路技術

Millimeter-wave CMOS Transceiver Techniques for Automotive Radar Systems

● 川野陽一 ● 松村宏志 ● 曾我育生 ● 八木下洋平

あらまし

ぶつからない車の実現を目指して、車載カメラやレーダーを用いた安全装備の開発が盛んになっている。将来の安全自動運転車の実現に向け、自動車メーカー各社だけでなくGoogleなどの非自動車メーカーも参入し、開発は激化している。富士通研究所では、高周波用半導体を古くから開発しており、超高周波動作が可能な車載レーダーに向けたCMOS(相補性金属酸化膜半導体)回路技術を開発した。

本稿では、CMOSの高精度なデバイス評価や特性抽出に必要となる、ウェハ内に校正パターンを作り込むオンウェハ校正や、作製したデバイスモデルを用いて開発したパワーアンプ、およびそれを用いた4chフェーズドアレイ向け送信器チップについて述べる。また、周波数変調の高速性と線形性の両立が可能となる0.96 GHz/ μ sの変調速度を達成した結果についても紹介する。

Abstract

Recently, advanced driver assistance systems (ADAS) with the keyword of “safety” have attracted attention in the world. Many mega-suppliers (Tier 1) and the others have been carrying out development for safe systems using cameras, lasers, and millimeter-wave radar to realize a self-driving system in the near future. Fujitsu Laboratories has been developing millimeter-wave monolithic microwave integrated circuits (MMICs) and modules for automotive radar systems, and is now interested in MMICs based on complementary metal oxide semiconductors (CMOS). In this paper, we describe millimeter-wave amplifiers and a 4-ch transmitter based on accurate device measurement and modeling techniques using the on-wafer calibration method. A phased locked loop (PLL) which operates at 0.96 GHz/ μ s, the world’s fastest modulation speed, is also discussed.

まえがき

近年、ぶつからない車に注目が集まっている。複数のセンサーから得られる障害物情報を基に、先進運転支援システム（ADAS：Advanced Driver Assistance Systems）によってほかの車に衝突する前にブレーキを作動させ、衝突を回避することが期待されている。ミリ波を使用した車載レーダーも障害物を検知するセンサーの一つである。ミリ波レーダーは、カメラを用いた画像センサーや赤外線センサーに比べて遠方が検知できるとともに、降雨などの悪天候に左右されない利点がある。現在、シリコンゲルマニウム（SiGe）デバイスがミリ波レーダーの低価格化を実現する主要デバイスとなっているが、更なる価格低下に向け期待されているのがシリコンCMOS（Si-CMOS）デバイスである。

本稿では、車載レーダーに用いられる前後方監視の76/77 GHz帯レーダーや、周辺監視に向けて期待される79-81 GHz帯をターゲットとしたCMOS回路の最新技術について述べる。

ミリ波CMOSデバイス

本章では、超高周波デバイスの評価技術について述べる。高周波デバイスを高い精度で評価するために、一般にインピーダンスが高精度に設計された校正基板（ISS：Impedance Standard Substrate）を用いる。SOLT（Short-Open-Load-Thru）やLRRM（Line-Reflect-Reflect-Match）法と呼ばれる校正法を使ってプローブ端面にリファレンス面を作り、ネットワークアナライザからデバイスまでの誤差成分を除去する。デバイス測定後は、デバイス評価パターンに含まれる引き出し配線やパッドをモデル化し、評価データからディエンベッドを行うことによってデバイス特性だけを抽出する。

しかし、車載レーダーで用いられる77 GHz帯になると、数fF（フェムトファラド）や数pH（ピコヘンリー）の寄生成分が位相にして数度の変化に相当するため、微量なリアクタンス成分の抽出誤差が無視できなくなる。ISS基板を用いたSOLTやLRRM校正では、リファレンス面がプローブ先端に置かれるため、評価データからパッドや引き出

し配線の特性を取り除く必要があり、その工程でリアクタンス成分の抽出誤差が生じてしまう。

一方TRL（Thru-Reflect-Line）は、任意の位置にリファレンス面を設定できる校正手法である。リファレンス面をプローブ端面ではなく、測定デバイスの入出力端面に設定できるため、プロービングや測定抽出の不確定性を排除できる。⁽¹⁾⁻⁽³⁾筆者らは、より正確な評価とデバイス特性の抽出を行うため、TRL校正パターンを評価デバイスと同一のウェハ内に形成して使用するオンウェハTRL校正法を用いることとした。CMOS上に形成するTRL校正パターンを図-1(a)に示す。また、オンウェハTRL校正を行った後に評価したトランジスタのSパラメーターを図-1(b)に示す。

評価手法の検証のために、周波数は220～330 GHzと極めて高いサブミリ波帯を用いたが、信号反射を示す S_{11} 、 S_{22} とも容量性の1次特性が得られており、高精度なデバイス評価および特性抽出ができていることが分かる。また、 S_{12} は出力の一部が入力に戻る成分を意味するが、この負帰還成分が入力信号を弱め、トランジスタの利得を低下させる。この負帰還成分を無損失のパッシブデバイスによる帰還で正確に相殺できれば、デバイスは単方向化されて、最大利得を見積もることができる。トランジスタの最大利得として、式(1)、(3)に定義するMaximum Available Gain (MAG) とMaximum Achievable Gain (G_{acv})の比較を図-1(c)に示す。

$$MAG = \frac{|S_{21}|}{|S_{12}|} \left\{ K - (K^2 - 1)^{1/2} \right\} \quad (1)$$

$$U = \frac{|Y_{21} - Y_{12}|^2}{\text{Re}(Y_{11})\text{Re}(Y_{22}) - \text{Re}(Y_{12})\text{Re}(Y_{21})} \quad (2)$$

$$G_{acv} = 2U - 1 + 2\{U(U-1)\}^{1/2} \quad (3)$$

本校正技術により、トランジスタの最大発振周波数 (f_{max}) は320 GHzを超えており、300 GHz付近においても4 dB近い利得が得られることが分かった。⁽¹⁾

ミリ波回路技術

本章では、ミリ波CMOS増幅器について述べる。増幅器を設計するに当たり、小信号だけでなく大信号においても高い精度で設計できるトラン

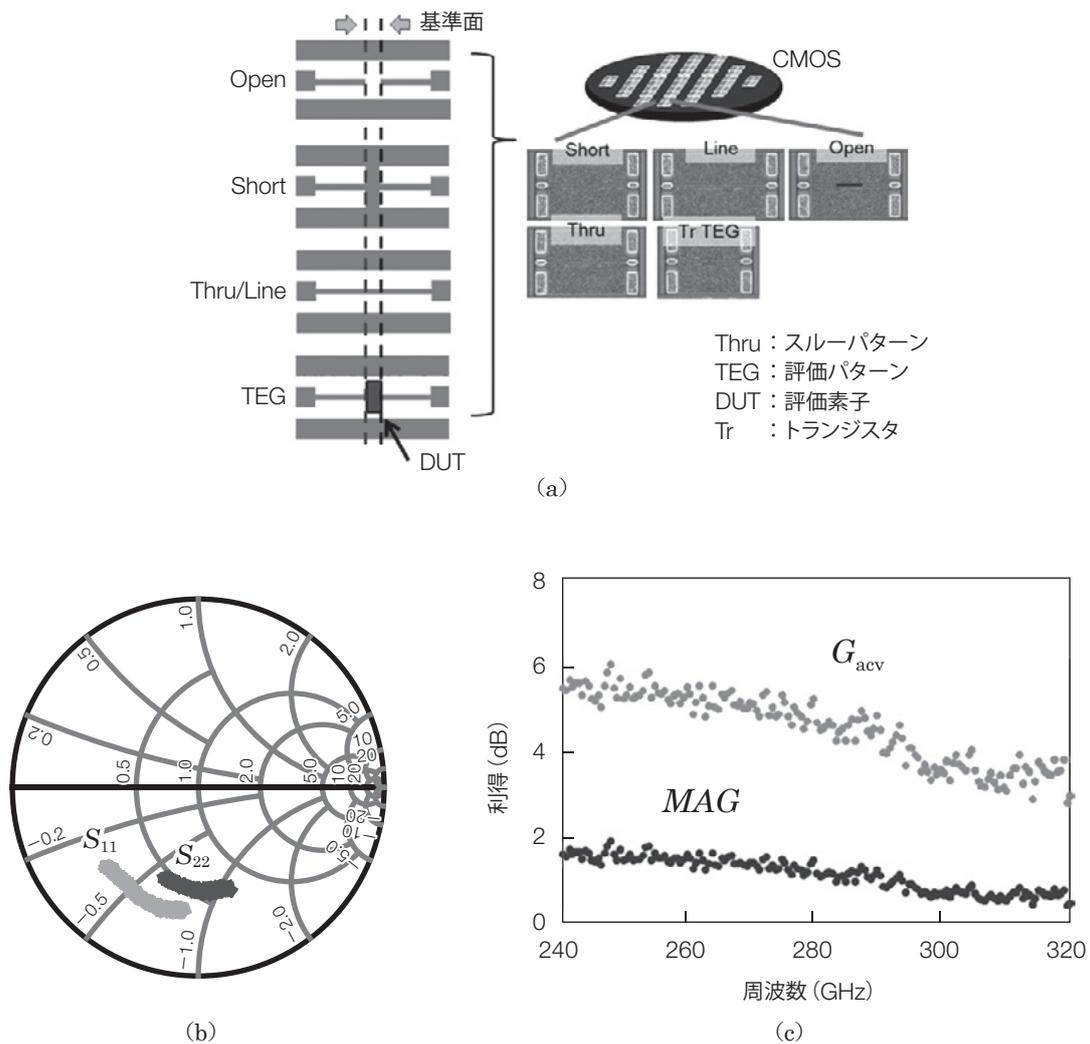


図-1 (a) CMOS上に形成した校正パターン (b) Sパラメーター評価結果 (c) 最大利得

ジスタモデルが必要である。筆者らは、一般的にCMOS回路設計で用いられるBSIM (Berkeley Short-channel IGFET Model) 4を基本としたモデルにコイル (L)、コンデンサ (C)、抵抗 (R) を外付けすることで、ミリ波帯の実測結果に合うモデルを作製した。図-2 (a) に、トランジスタの等価回路を示すとともに、MAGをプロットした。実線、破線はそれぞれ実測値、モデルに対応する。低周波から110 GHzにわたり高い精度でフィッティングできていることが分かる。本トランジスタを用いて、車載レーダーに用いる80 GHz帯の高出力増幅器 (PA) を設計した⁽⁴⁾

CMOSは、ソース、ドレイン端子が基板との間でpn接合容量を持つ。これは、基板へのRF (Radio Frequency) 信号の漏れ込みによるRF信号損失だ

けでなく、トランジスタの出力インピーダンスを下げるという不利益をもたらす。CMOSのミリ波PAを高出力化するためには、インピーダンスの低いCMOSトランジスタでいかに低損失なインピーダンス整合・合成回路を実現できるかが鍵となる。

PAの出力整合回路とスミスチャート上の軌跡を図-2 (b) に示す。本図では、整合回路はLCローパスフィルタ型を仮定し、50Ωの負荷からトランジスタのパワー整合点 (Γ_{opt}) に整合させるとした。ここでは単純化するため、整合損失は直列インダクタの寄生抵抗のみとした。なお、 Q_L はパッシブ整合デバイスのQ値であり、 Q_m は整合回路のQ値を意味する。このとき、出力整合回路の効率は以下に示す式 (4) となる。

$$\eta = Q_L / (Q_L + Q_m) \quad (4)$$

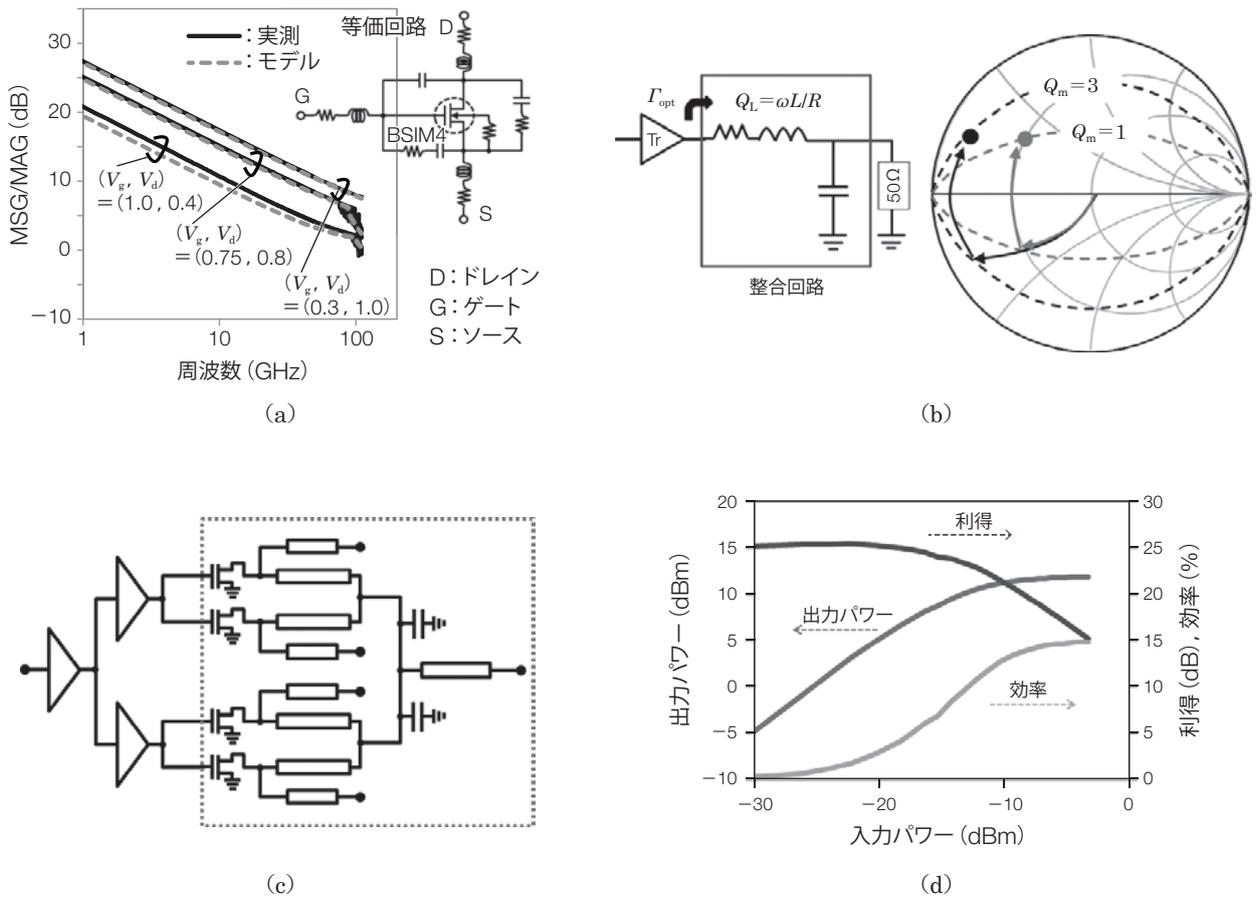


図-2 (a)等価回路と最大利得のフィッティング結果 (b)スミスチャート上軌跡 (c)PA回路図 (d)評価結果

つまり、整合損失を低減するには、パッシブデバイスの Q_L を高くし、回路の Q_m を低くすれば良い。PAのようにトランジスタのインピーダンスがスミスチャートの左端にあるような場合には、 Q_m はデバイスの出力インピーダンスの高低を表す。パッシブ Q_L を一定とするならば、トランジスタのゲート幅を大きくするほど Q_m が高まり、整合損失が増大する。パッシブ Q_L は、CMOSオンチップインダクタを想定すれば10～15程度である。この結果から、整合損失を1 dB程度に抑えようとした場合、回路の Q_m はせいぜい1～1.5程度であることが分かる。トランジスタのゲート幅と Q_m の関係は周波数によっても変わる。ミリ波帯では、トランジスタのドレイン-ソース間の容量によるインピーダンス低下が激しいため、増幅器1ユニットのゲート幅はせいぜい数10 μm 程度にしておくことが望ましい⁽⁵⁾。

80 GHz帯PAの出力整合回路図を図-2(c)に示す。10 mW級の出力を得るためにはゲート幅は100 μm

以上必要であるが、1ユニットではインピーダンスが下がり整合損失が増大する。そこで、ゲート幅40 μm を単位ユニットとして4合成することとした。これにより、80 GHzでの整合損失を1.5 dB以下に低減している。大信号評価結果を図-2(d)に示す。最大出力パワーとして11.9 dBm, 効率(PAE) 15%と良好な特性が得られた。

高速チャープ変調信号源

本章では、レーダーの心臓部となる低雑音信号源について述べる。一般に、車載レーダーでは周波数を三角波で変化させるFMCW (Frequency Modulated Continuous Wave) 方式を採用している。一方近年、物体を高精度に検知するために、周波数を高速パルス状に変調するFCM (Fast-Chirp Modulation) が採用されつつある。周波数は時間に対して線形に変化することが求められるため、PLL (Phase Locked Loop) により高精度かつ高速に周波数制御することが必要である。

受信信号のビート周波数を f_b 、周波数のチャープ速度を K_c 、光速を c とすると、検知ターゲット距離 R は、

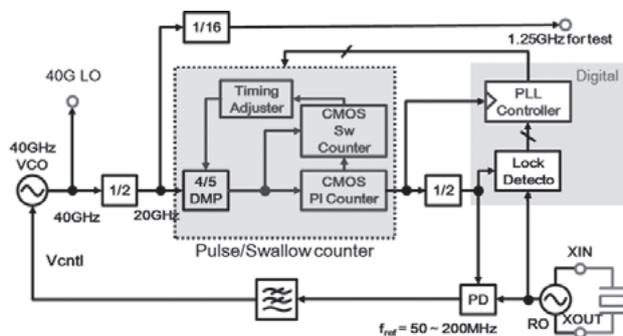
$$R = cf_b / 2K_c \quad (5)$$

と表される。一般のFMCWレーダーに比べて、FCMではチャープ速度が高速であるためドップラー周波数は無視できる。そのため、検知距離は式(2)の U によってのみ決まる。FMCW方式では f_b がターゲットの距離と速度の両方に影響するため、それらを計算するアルゴリズムが複雑になり、マルチターゲットの識別が困難であったが、FCMではその問題が生じない利点がある。⁽⁶⁾

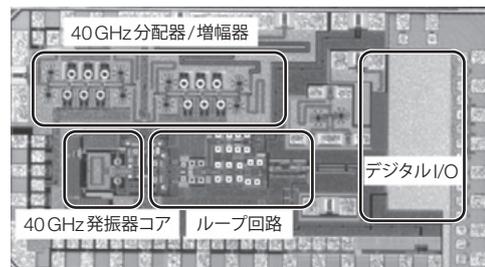
次に、FCMを実現するPLLアーキテクチャについて述べる。PLLのブロック図を図-3(a)に示す。VCO (Voltage Controlled Oscillator) の40 GHz出力は、送信器チップに含まれる2番倍器によって80 GHz帯へ変換される。高い分解能を確保するためにも、PLLの周波数変調には線形性が求められる。高速チャープでは周波数の変化が速いことから、フィードバックループの修正回数を

確保するためにも、PLLは高速なプログラマブルカウンタと高速変調用の周波数コード発生回路を搭載している。周波数コード発生回路は、クロックごとに33ビットのコードを出力し、最低周波数から最高周波数の範囲を広帯域にわたり高速で変調する。また、周波数変調の線形性を確保するためには、量子化雑音を減じる必要がある。そこで、信号処理部に3次デルタシグマ変調器を搭載しノイズシェーピングを行い、量子化雑音をループ帯域外に押し出す処理を施している。

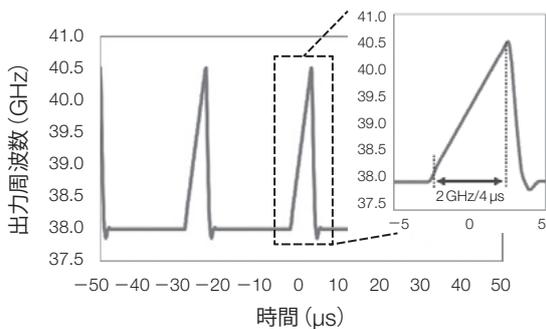
次に、高速プログラマブルカウンタの構成について述べる。パルススワロウ型回路は、図-3(a)の中央破線部で囲まれた領域に示すようにデュアルモデュラスプリスケアラ (DMP)、パルスカウンタ (PI Counter)、スワロウカウンタ (Sw Counter) で構成される。パルスカウンタ、スワロウカウンタはそれぞれが低速なプログラマブル分周器となっている。一般に、環境温度が高まると信号伝搬が遅延し、カウンタ動作が不安定になる。パルスカウンタとスワロウカウンタ



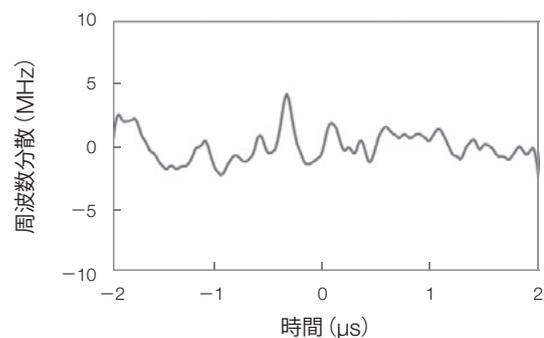
(a)



(b)



(c)



(d)

図-3 (a)PLLブロック図 (b)チップ写真 (c)PLL評価結果 (d)線形性評価結果

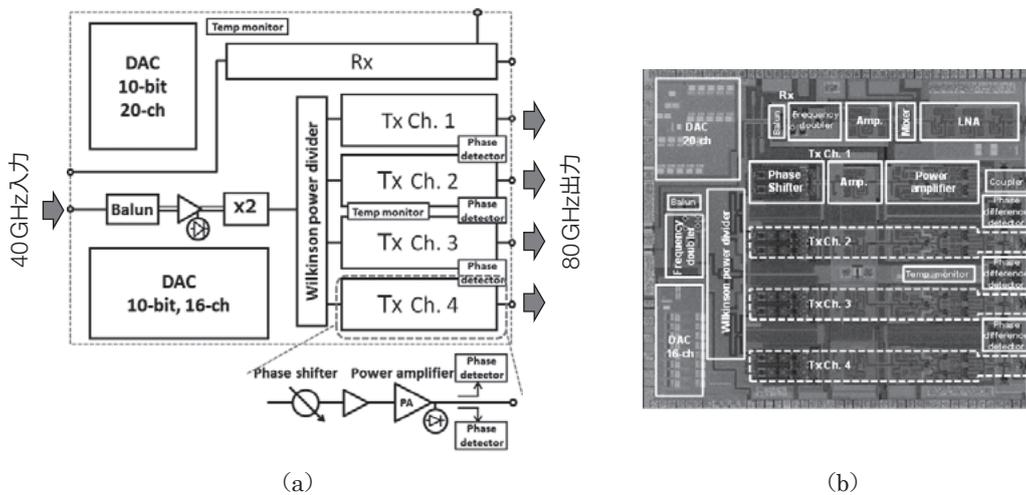


図-4 (a)アクティブフェーズドアレイ送信器ブロック図 (b)チップ写真

は、高速信号を伝搬させるパスがプリスケララの制御線だけで構成される。このため、その部分の遅延量を制御することで、高温環境になっても安定したカウンター動作が得られる。なお、プリスケララは電流モードスイッチ回路（CML）によるディレイフリップフロップで構成されている。これは、2/3デュアルモデュラスプリスケララを縦続接続したマルチモデュラス構成である。伝搬遅延を最小化するために、プリスケララの制御線部は全て高速動作可能なCMOSロジックで設計してある。

65 nm CMOSプロセステクノロジーを用いて試作したPLLのチップ写真を図-3 (b) に示す。40 GHzの出力端子が三つあり、基板内での引き回し損失を考慮した高出力端子と計測用の低出力端子を持つ。チップサイズは1.87 mm×1.39 mmである。出力周波数の時間変化波形を図-3 (c) に示す。周波数の変調特性として、0.48 GHz/ μ sの結果が得られている。また本チップでは、最高速度として0.96 GHz/ μ sが得られた。周波数の線形性として、理想値からのズレを図-3 (d) に示す。RMS (Root Mean Square) 誤差で1.21 MHzと極めて高い線形性が得られている。試作チップでは、高い線形性を広帯域に確保しつつ、世界最速となる0.96 GHz/ μ sの変調速度が得られた。

4chアクティブフェーズドアレイチップ

本章では、ミリ波ビームを絞って放射方向を電

子的にスキャンするアクティブフェーズドアレイに向けた4ch送信器について述べる。送信器のブロック図を図-4 (a) に示す。PLLから入力される40 GHzの信号を内部の2通倍器で80 GHzへ変換する。その後、4分配した80 GHzの信号は各チャンネルで移相器とPAを介して出力される。各チャンネルから出力されるミリ波信号の位相を正確に検知するために、チャンネル間に位相検知器 (Phase detector) が搭載されている。同じ周波数の信号が位相検知器に入力され掛け算されると、その出力は位相差に応じた直流電圧として出力される。つまり、位相検知器の電圧値からチャンネル間の位相差を見積もることができる。

チップ写真を図-4 (b) に示す。チップサイズは4.5 mm×4.2 mmで、消費電力は4chをフル稼働させた場合でも0.62 Wと低く抑えている。1chあたりの出力特性として、最大で7.6 dBmが得られており、4chを空間合成した場合に13.6 dBmの出力パワーが期待できる。チャンネル間の位相差を検知する位相検知器の出力特性を図-5に示す。位相差に対してサインカーブで直流電圧が変化する。10 mVの電圧差に対して約4度の位相差が検知できることから、車載レーダーにおけるビームステアリング機能の実現に必要な高精度位相検知が可能である。

む す び

本稿では、ぶつからない車の実現を目指したミ

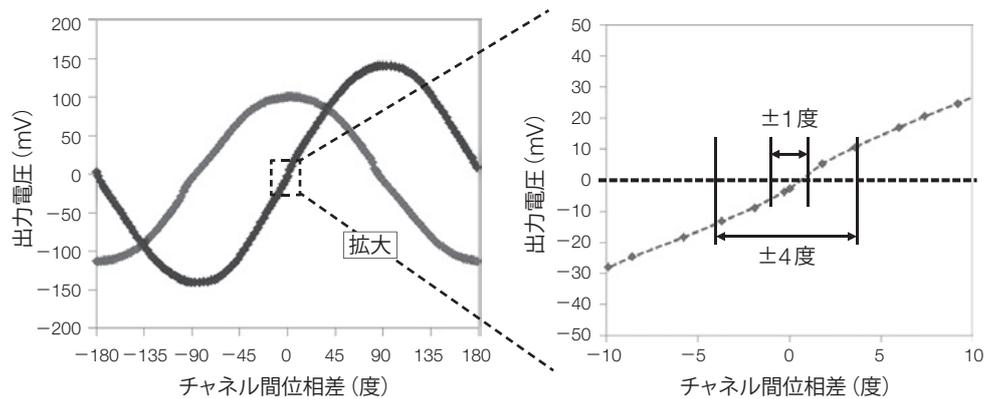


図-5 チャンネル間位相差検知器の出力結果(出力電圧vs位相差)

り波車載レーダーに向けたCMOSチップの開発成果について述べた。CMOS回路をミリ波帯で高い精度で設計するためのデバイス評価や特性抽出の技法、およびオンウェハ校正技術を利用した高精度デバイスモデルについて述べた。これらにより、パワーアンプなど、従来高い精度で設計することが困難であったミリ波回路においても、モデルと実測結果が高い精度で一致することが確認された。

本パワーアンプは、4chアクティブフェーズドアレイ向けの送信チップに適用され、位相検知や制御の基本動作が実証された。また、欧州で導入が進んでいるFCM方式に対応するPLLについても開発に成功しており、チャープ速度として世界最高速となる0.96 GHz/μsが得られた。以上の結果は、車載レーダーのCMOS化を加速するものと期待される。

参考文献

- (1) Y. Yagishita et al. : 265-GHz, 10-dB gain amplifier in 65-nm CMOS using on-wafer TRL calibration. Asia Pacific Micro. Conf. (APMC), Tech. Dig. 2015.
- (2) A. M. Mangan et al. : De-Embedding Transmission Line Measurements for Accurate Modeling of IC Designs. IEEE Trans. on Electron Devices, Vol.53, No.2 (February 2006).
- (3) D. F. Williams et al. : An Optimal Multiline TRL Calibration Algorithm. 2003 IEEE MTT-S Digest, TH3C-4.
- (4) I. Soga et al. : A 76-81 GHz High Efficiency Power

Amplifier for Phased Array Automotive Radar Applications. RFIT Tech. Dig. (2015).

- (5) 川野陽一ほか：シリコン・化合物 (III-V) 半導体トランジスタによるミリ波、サブミリ波回路の最新動向。マイクロウェーブ展 WS6-3 (2014).
- (6) H. Matsumura et al. : Millimeter-wave Linear Fast-chirp Pulse Generator in 65-nm CMOS Technology. European Micro. Conf. (EuMW) Tech. Dig (2016).

著者紹介



川野陽一 (かわの よういち)

デバイス&マテリアル研究所
デバイスイノベーションプロジェクト
超高周波回路に関する研究開発に従事。



松村宏志 (まつむら ひろし)

デバイス&マテリアル研究所
デバイスイノベーションプロジェクト
ミリ波無線システムの回路開発に従事。



曽我育生 (そが いくお)

デバイス&マテリアル研究所
デバイスイノベーションプロジェクト
高周波アナログ回路設計技術の開発に
従事。



八木下洋平 (やぎした ようへい)

デバイス&マテリアル研究所
デバイスイノベーションプロジェクト
化合物およびCMOS-RF回路の研究開
発に従事。