高性能サーバの小型・高密度化を 実現する3次元実装技術

3D Packaging Technology to Realize Miniaturization/High-Density and High-Performance Servers

- 北田秀樹
- 赤松俊也

● 石塚 剛 ● 作山誠樹

あらまし

LSIの微細加工技術が限界に達しつつあり、ムーアの法則に基づき微細化したLSIでは、 高速かつ低消費電力な高性能サーバ用CPU/メモリモジュールの性能を満たすことができ ない。そこで富士通研究所では、複数のデバイス間を最短で接続する3次元実装技術を開 発した。この技術は、将来の富士通のICTビジネスを支える高性能サーバの実現に向けた 革新的な次世代実装技術である。積層された上下のLSI間を最短距離で信号接続するシリ コン貫通ビア(TSV)技術、帯域幅をより拡大できる超多端子接合技術、および積層チッ プ間のPI/SI(Power Integrity/Signal Integrity)を考慮した伝送設計技術を統合すること で、3次元ロジックデバイスの動作を初めて実証した。また、TSVおよび再配線(RDL)を 最適に設計し、チップ間接続距離の大幅な短縮とデータ伝送量の増大を図ることに成功し、 25 Gbpsの高速伝送を確認した。更に、大電流が流れる微細なTSVとチップ上の接続端子 部に用いるはんだ材料とプロセスを開発し、200 Wクラスの安定な電源供給を実現した。

本稿では、ハイパフォーマンスプロセッサの実現に向けた3次元実装技術として重要な 要素技術開発について述べる。

Abstract

With LSI micro-fabrication technology reaching its scaling limits, miniaturizing LSIs based on Moore's Law is unable to satisfy the CPU/memory module performance for high-speed and low-power servers. Fujitsu Laboratories has developed a 3D packaging technology that connects between multiple devices in the shortest distance. This technology is a revolutionary next-generation packaging technology for high-performance servers to support Fujitsu's existing information and communications technology (ICT) business. We were the first to verify 3D logic device operation by integrating the following technologies: through silicon via (TSV) technologies, in which signals are connected in the shortest distance between a top and bottom stacked LSIs; super multi-pin connection technology for bandwidth expansion; and transmission design technologies considering power integrity/ signal integrity (PI/SI) between stacked chips. Further, by optimizing the design of TSV and a redistribution layer (RDL), we have been successful in greatly shortening the connection distance between chips and increasing data transmission volumes, and highspeed transmission of 25 Gbps has been confirmed. Additionally, we have developed solder materials and a process to be used in fine TSV in which large amounts of current flow and connection terminal sections on chips, achieving stable supply of 200-Watt-class power. In this paper, we will discuss the important key technologies in 3D packaging technology for realizing high-performance processors.

まえがき

LSIの微細化において、ムーアの法則に基づく集 積密度の向上はデバイスの物理限界と微細加工寸 法の限界に達しつつある。⁽¹⁾一方、実装工程ではシ ステムインパッケージ(SiP:System in Package) に代表されるように、様々な機能を持つ複数のデ バイスを一つのパッケージに集積する技術がモバ イル機器などを中心に使われ始めてきている。⁽²⁾ 更に最近では、LSIチップを上下に積層し、シリコ ン貫通ビア(TSV:Through Silicon Via)でより 短距離に接続することで、システム全体のパフォー マンスをより向上可能な3次元高集積化技術が注目 されている。⁽³⁾⁻⁽⁵⁾3次元積層技術は、スケーリング 則に基づいたLSIの性能や機能の更なる向上を、最 先端の微細化技術を用いることなく実現する技術 である。

ICTビジネスを支えるサーバやスーパーコン ピュータに向けた基盤技術の高性能化への貢献を 目的に,富士通は2013年度より国立研究開発法人 新エネルギー・産業技術総合開発機構(NEDO) の助成を受けている。この助成による次世代スマー トデバイス開発プロジェクトにおいて,多くの機 能を集積した,小型かつ低消費電力で高速処理が 可能なプローブプロセッサを開発してきた。

本稿では、ハイパフォーマンスプロセッサ実 現に向けた3次元実装要素技術として重要な、PI/ SI (Power Integrity/Signal Integrity) 設計技術、 TSVバックサイド技術、および高信頼性微細端子 形成技術の開発状況について述べる。

3次元プロセッサ基本構成

ハイパフォーマンスプロセッサの開発では, 消費 電力(200~300W)・発熱・端子数・チップ面積 のいずれにも厳しい仕様が要求されるため, 従来の 3次元実装から大幅な技術的飛躍が必要であった。

本プロジェクトで開発した3次元実装CPUモ ジュールの概略と,試作した3次元実装デバイスの 断面写真を図-1に示す。厚さ50µmのボトムチッ プに10µm径のTSVを形成し,40µmピッチのマイ クロバンプにより上下にチップを積層した。プロ セッサ積層の実機検証では電力性能を重視し,消 費電力200Wを目標に上下ノード間の短距離接続 を実現し,低消費電力化を図った。一方,3次元実 装技術を製品に適用するためには,正確な物理的・ 電気的パラメーターに基づいた設計技術が必要と なる。本プロジェクトの開発項目と開発目標値を 表-1に示す。従来技術を大幅に上回る仕様を達成す るため,以下の3点の要素技術の開発を目標とした。 (1) PI/SI設計技術

25 Gbpsの高速伝送と大電力供給を両立するTSV 配置設計技術である。本技術はTSVを経由する信 号配線や電源配線の設計ルールを確立し、それを 検証,解析する評価技術を開発する。

(2) TSVバックサイド技術

新規に採用するTSVとバックサイド(裏面)電 極の構造設計・プロセス技術である。5~10μm 径のTSVの形成に対応したデバイスウェハの薄化 とTSV・バックサイド電極構造のファブ製造を可 能にするプロセス技術を確立する。



図-1 開発した3次元実装CPUモジュールの概略図と断面写真

要素技術開発項目	従来技術	開発目標値
TSVバックサイドプロセス	>300 µm:23 mm□チップ	<100 µm:23 mm□チップ
C4許容電流	25 mA	>100 mA
大電流対応マイクロバンプ	<10 mA/端子:Sn-Agはんだ材料	>50 mA/端子:合金化接合材料
HPC向けダイ積層面積	100 mm^2	$>500~\mathrm{mm^2}$
微細接合端子数	15万端子	30万端子
チップ間TSV伝送性能	20 GHz	40 GHz

表-1 3次元LSI向け要素技術開発項目と従来および開発目標の比較

(3) 高信頼性微細端子形成技術

大電流・高放熱・高精度な積層要素技術である。 大電流に対応した微小端子のマイクロバンプ接合 と, I/O端子が20万端子以上のチップ同士を高精度 で積層させるプロセス技術を開発する。

PI/SI設計技術と伝送特性

ボトムチップ内を貫通するTSVは局所的な応力 分布の発生要因となり, MOSFET (Metal Oxide Semiconductor Field Effect Transistor)の特性や 回路特性に影響を及ぼす。^{(6),(7)} TSVに起因する応力 の影響を避けるため、トランジスタを配置できな いキープアウトゾーン (KOZ) を設ける必要があ り、構造解析シミュレーションや応力実測実験な どにより検討されている。⁽⁸⁾しかし、CMOS回路で はp型とn型では引っ張りや圧縮応力に対する電子 やホールの移動度変化の感度が異なるため、実際 の回路では正確なKOZの予測が困難である。した がって,実回路動作における高精度なKOZの予 測を目的に、TCAD (Technology CAD) とSPICE (Simulation Program with Integrated Circuit Emphasis)回路シミュレーションを統合した解析 手法を構築し、より現実的なKOZの予測技術を開 発した。(9)

pMOS, nMOSのドレイン電流(I_a) とリング オシレータ(ROSC: Ring Oscillator)の発振周 期からKOZを見積もった結果を図-2に示す。TSV 径を10 μ m, TSV端からの距離を2 ~ 25 μ mとし, 65 nmノードプレーナ型MOSFETの I_a 特性をシ ミュレーションした。TSVからの応力伝搬による トランジスタの移動度変動や V_a/I_a パラメーターを TCADで導出し,SPICE回路シミュレーションに 受け渡すことで実回路動作時のKOZを求めた。

pMOS, nMOSそれぞれのI_d変化率のTSV間距離



図-2 MOSFETのドレイン電流変化率とROSC回路発振 周波数評価によるTSV KOZの解析結果

依存性は、両者ともにTSV近傍で変化率は増加し、 その極性が異なっている。また、I_dが10%変化す る距離をKOZと定義すると、nMOSの方がTSV応 力の影響度が高く、KOZはTSV端より約10 µmと 見積もられる⁽⁸⁾また, ROSC回路(101段)をTSV 近傍に配置した場合, SPICE回路シミュレーショ ンの発振周期の変化(破線)から見積もられる KOZはTSV端から5µm以下となり、MOSトランジ スタ単体の場合より短い。これは、実回路のドラ イバー回路がnMOS, pMOS両方のトランジスタ で構成されており、インバータ動作速度が両者の 充放電特性のバランスで決まるためである。実際 の積層チップのROSC発振周期の実測値がシミュ レーション結果と良く一致していることから,正 確なKOZを回路設計に盛り込むことが可能と考え られる。応力伝搬と回路シミュレーションを統合 してKOZを見積もる手法がデバイス設計に有効で あることを示した。(10)

次に、PI設計では、200 Wを超える消費電力を

持つハイパフォーマンスプロセッサデバイスへの 安定な電源供給が課題である。3次元積層された チップ間をつなぐ貫通電極と,その電極端子の一 本一本が高電流密度に耐えられる構造を設計する ことが重要となる。大電流供給に対応するため, TSV-マイクロバンプを複数本束ねた電極構造と し,有機パッケージ側のC4バンプ(150 µmピッチ) とTSV-マイクロバンプ(40 µmピッチ)からなる マルチTSV電極構造を開発した。図-3(a)は,セ ルを4本束ねた構造の電源電流解析の結果を示して おり,電源セルの許容電流が従来の25 mA/端子に 対し一つのC4バンプあたり100 mAを超える許容電 流が得られ,ハイパフォーマンスプロセッサ向け デバイスへの電源安定供給を可能とした。

SIに関しては、TSVを介して上下チップ間で、 30 Gbps伝送を超える高速信号をロスなく伝える 必要がある。積層されたチップを介した信号伝搬 は、TSVやマイクロバンプの抵抗や容量が加わる。 5 μ m径、10 μ m径のTSV単体、およびTSV16段 チェーンの伝送損失(S_{21})を図-3 (b)に示す。 TSV単体の伝送損失は、12.9 GHzの信号伝送の場 合、5 μ m径で-0.2 dB、10 μ m径で $-0.3 \sim 0.5$ dB でありTSV単体では十分な高速伝送が可能である ことを明らかにした。これらの値は、3次元LSIに おける層間の信号伝送での使用に耐え得る、良好 な特性であると考えられる。⁽¹¹⁾

TSVバックサイドプロセス技術

ロジックデバイスウェハに対し、TSV形成から バックサイド電極を形成するまでのプロセスを開 発した。3次元実装では、上下チップ間の給電や 信号伝送のため、シリコン(Si)チップを貫通す るTSVやチップ間接合に必要なマイクロバンプ電 極、チップ裏面の再配線(RDL: Redistribution Layer)を形成する。3次元実装デバイスの製造では、 図-4(a)に示した以下の四つのTSV-バックサイ ド電極形成工程を含んだチップ積層までの一連の 工程が新たに追加される。

- (1) 下チップデバイスの裏面薄化工程
- (2) 下チップデバイスへのTSV-裏面配線工程



(a) 高電流対応バックサイドRDLの電源電極束ね構造の電流密度解析例



図-3 PI/SI設計技術とTSV伝送特性





(3)上下デバイスチップへのマイクロバンプ工程(4)デバイス積層工程,パッケージング工程

デバイス裏面薄化工程では、仮接着剤とサポー トウェハを使用し、ロジックデバイスをバックグ ラインディング法で厚さ50 µmまで研削する。こ のときの300 mm径ウェハの厚さ均一性(TTV: Total Thickness Variation)は2 µm以下の高精 度な制御が要求される。次に、薄化したウェハの 裏面からビアラスト方式を用いて10 µm径のTSV を形成し、更にRDLおよびマイクロバンプを形成 する。

TSVに用いる銅(Cu)とSi結晶との熱膨張係数 (CTE: Coefficient of Thermal Expansion)の差が 大きいため、TSV形成時に工程の不具合があると、 その後の温度サイクルに起因するコンタクト不良 が発生しやすい。これは、TSV-Cuが熱膨張する とデバイス側のCu/Low-k(低誘電率層間絶縁膜) 配線に圧縮応力が加わりやすくなるためである。⁽¹²⁾ 図-4(b)は、温度サイクル加速試験後のTSV- 配線間コンタクト抵抗の変化率を示しており,不 良ビアほど抵抗上昇率が高い。ビア下部のチタン (Ti)バリア密着層の被覆率が悪いと,熱膨張によ りTSV下に大きなせん断方向の変位が生じた際に, デバイス配線近傍の応力破壊を引き起こしている ことを物理断面解析と熱応力解析から明らかにし た。こうしてTSV形成時のビア形状やTiバリア密 着層の被覆率を改善することで,熱的信頼性の高 いTSVが得られた。^{(13),(14)}

TSVの加工しやすさと,RLC (Resistance Inductance Capacitance) 伝送ロスを少なくする ため,可能な限り低アスペクト比のビア貫通構造 が望ましい。一方,ビアラストプロセスの薄化ウェ ハプロセスでは,製造容易性・チップハンドリン グ性・電気特性の観点から50 µmが最適な厚さであ る。しかし,薄化したSiチップが23 mm□を超え る大きさになると,反りによる変形が問題となる。 図-4 (c) に示すように,薄化チップ特有の座屈変 形を伴い積層化が困難となるため,チップ表面側 のデバイス層と裏側のRDLの配線層を利用した変 形制御技術の開発が必要である。^{(15),(16)} 筆者らは,有 機系裏面材料を用いたRDLプロセスを開発し,デ バイス面と拮抗した膜応力を生じさせることに成 功した。これにより,従来の構造と比較して反り を1/6程度に低減でき,薄化デバイスの3次元積層 構造形成を容易にした。

微細端子接続技術

積層チップ間をより多くの接続端子でつなぐた めには、微細マイクロバンプ形成を用いた高精度 な積層技術が重要となる。特に、20 mm□を超え る大きなチップでは、チップ間のバンプ数は10万 個を超え、従来と比べて桁違いの超多端子接合と なる。このため、微細接続端子の接合位置精度を 正確に制御する高度な積層技術と、大電流に対応 し放熱性に優れたバンプ構造の開発が必要となる。 筆者らは、マイクロバンプの接合精度を向上させ るため、フラックスレスで還元雰囲気中でのリフ ロー処理を用いたチップ間接合技術を開発した。 マイクロバンプを使用した微細チップ接合部の断 面SEM写真と, 微細端子接合のセルフアライメン ト効果を利用して高位置精度を確保した結果の断 面写真,および積層フローを図-5(a)に示す。

積層チップ面積が23 mm□のサイズの積層チッ プに,20 μm径のマイクロバンプを40 μmピッチで 形成し,29万端子を超える超多端子接合が達成でき た。マイクロバンプは,Cuピラー上に錫(Sn)-2.3銀(Ag)を形成し上下チップを接合した。下 チップは10 μm径のTSVと80 μm径のC4バンプ (160 μmピッチ)を介して,有機パッケージ基板 と接合した。

開発した微細端子接合プロセスは,酸素を奪う性 質を持つガスを含んだ還元雰囲気中のリフロー工 程を採用することで,はんだ表面に形成された酸化 膜の除去効果と,Sn-Agはんだ材料の表面張力によ るセルフアライメント効果が得られる。20 mm□ 超の比較的大きなチップの端子接合が可能なプロ セスを構築でき,従来よりも1/10の位置ずれを達成 し高精度なマイクロバンプ接合を実現した。⁽¹⁷⁾



CuSn IMC合金 Cu_Sn Cu_Sn Cu_Sn₅ TF+y-T mase_Mg 5 µm Sum EPMAg 5 µm

(b) 金属間化合物(IMC)の断面EPMA分析像

図-5 微細端子接続技術と大面積チップ積層信頼性

大面積チップ積層信頼性

消費電力が大きいロジックデバイス回路を積層 する場合,上チップ側への大電流の電源供給に対 応できる微小端子接合が求められる。微小端子接 続部の高融点化を図る目的で,電流密度耐性の高 い金属間化合物(IMC:Intermetallic Compound) の生成と,エレクトロマイグレーション(EM)耐 性の向上について検討した。

マイクロバンプ合金化接合部の断面SEM写真と, 電子線マイクロアナライザ(EPMA)分析の結果 を図-5(b)に示す。マイクロバンプのIMC接合技 術として、Niバリアを用いないとCu₆Sn₅合金が, Niバリアを用いるとNi₃Sn₄合金が形成されること が知られている。EPMA分析像から、IMCがマイ クロバンプの接合領域に形成されているのが分か る。高い制御性で金属間化合物を形成できるバン プ接合の温度と時間を明らかにすることでIMC接 合技術を確立した。^{(18),(19)}

IMC接合したマイクロバンプのEMによる破断寿 命(故障率0.1%)を図-5(c)に示す。10年保証 寿命に対応する電流密度を比較すると,IMC接合 の場合には従来のSn-Agはんだ材料よりも4倍以上 の電流密度耐性が得られており,ハイパフォーマ ンスプロセッサ向けに対して有効であることを実 証した。これにより,200 Wクラス,1端子あたり 50 mA以上の電源供給にも耐えられるマイクロバ ンプ構造が得られた。更に,IMC接合形成される Cu₆Sn₅やNi₃Sn₄の合金の種類で,EM寿命が異な ることを明らかにした。接合温度と合金相変化の プロセス条件を制御することで,更なる高信頼化 が期待される。⁽²⁰⁾

むすび

本稿では、次世代のハイパフォーマンスプロ セッサの基盤技術となる3次元積層技術の開発に ついて述べた。ハイパフォーマンスプロセッサ向 けの大面積チップに対応したTSV形成技術を開発 し、反り変形や伝送特性低下の課題を克服して、 23 mm□の積層チップで40 GHzのTSV伝送特性を 得た。また、大電流対応の微細マイクロバンプ接 合構造を開発し、200 Wクラスの電源を供給した 場合でも10年保証が可能な3次元実装構造である ことを実証した。今回開発した要素技術を統合し, 65 nmプロセステクノロジーによるロジックLSI を用いた機能評価試験回路TEG(Test Element Group)で, 1.6 GHzの安定動作を確認した。本技 術は,高性能サーバ実現に向けた革新的な機能実 装技術として,今後富士通製品へ展開していく。

本研究は、国立研究開発法人新エネルギー・産 業技術総合開発機構(NEDO)の助成を受け「次 世代スマートデバイス開発プロジェクト」の一環 として実施して得られた成果によるものであり、 関係者各位に感謝の意を表します。

参考文献

- G. Declerck : A look into the future of nanoelectronics. Technical digest of symposium on VLSI, 2005, p.6-10.
- (2) P. Ramm et al. : 3D Integration technology : Status and application development. Proceedings of the ESSCIRC, 2010, p.9-16.
- (3) T. Ohba et al. : Thinned Wafer Multi-stack 3DI Technology. Microelectronic Eng. Vol.87, 2010, p.485-490.
- (4) N. Miyakawa et al. : A 3D Prototyping Chip based on a wafer-level Stacking Technology. Proc. of ASP-DAC, 2009, p.416-420.
- (5) A. Jourdain : Simultaneous Cu-Cu and Compliant Dielectric Bonding for 3D Stacking of ICs. IEEE Proc. of IITC, 2007, p.207-209.
- (6) M. Y. Tsai et al. : A Study of Overlaying Dielectric Layer and Its Local Geometry Effects on TSV-Induced KOZ in 3-D IC IEEE Transactions on electron device, 2014, p.3090-3095.
- (7) C. L. Yu et al. : TSV Process Optimization for Reduced Device Impact on 28 nm CMOS Symposium on VLSI Technology Digest of Technical Papers, 2011, p.138-139.
- (8)田代浩子ほか:65 nm MOSFET及びCMOSインバー タの電気特性に及ぼすTSVの応力の影響.第25回マ イクロエレクトロニクスシンポジウム論文集,2015, 2D4-3, p.351-354.
- (9)田代浩子ほか:TSVの応力の影響によるCMOS回路 レベルのKOZの抽出.第26回マイクロエレクトロニク スシンポジウム論文集,2016,2C3-4, p.303-306.

- (10) H. Kitada et al. : Study of MOSFET thermal stability with TSV in operation temperature using novel 3D-LSI stress analysis. IEEE International 3D Systems Integration Conference, 2016, to be published in November.
- (11) M. Sasaki et al. : Characteristics of transmission line with TSV in 3D-stacking LSI. 第25回マイクロ エレクトロニクスシンポジウム論文集, 2015, p.347-350.
- (12) H. Kitada et al. : Wafer level 3D integration by low temperature TSV process. Proc. of Materials for Advanced Metallization, 2013, p.207-208.
- (13) H. Kitada et al. : Thermal stress destruction analysis in low-k layer by via-last TSV structure. IEEE 65th ECTC, 2015, p.1840-1845.
- (14) H. Kitada et al. : Thermal Stress Reliability of Copper Through Silicon Via Interconnects for 3D Logic Devices. IEEE EPTC, 2016, to be published in December.
- (15) A. Dote et al. : Analyzing and modeling methods for warpages of thin and large dies with redistribution layer. Japanese Journal of Applied Physics, Vol.55, No.6S3, June 2016. p.06JC03.
- (16) A. Dote et al. : Characterization of Warpages and Layout-Dependent Local-Deformations for Large Die 3D Stacking. 2016 IEEE 66th Electronic Components and Technology Conference, p.1899-1904.
- (17) T. Akamatsu et al. : Study of Chip Stack Process and Electrical Properties for 3D-IC. Proc. IMAPS 11th International Conference and Exhibition on Device Packaging, 2015, p.2220-2223.
- (18) T. Akamatsu et al. : Study of Chip Stacking Process and Electrical Characteristic Evaluation of Cu pillar Joint Between Chips Including TSV. 2016 IEEE 66th Electronic Components and Technology Conference, p.1827-1833.
- (19) S. Tadaki et al. : Reliability Studies on Microjoints for 3D-Stacked Chip. Proc. 2015 International Conference on Electronics Packaging and iMAPS All Asia Conference, 2015, p.61-64.
- (20) 只木進二ほか:3次元LSI実装の微細マイクロバン プ接合状態と電流密度耐性.第26回マイクロエレクト

ロニクスシンポジウム論文集, 2016, 2C3-1, p.291-294.

著者紹介







赤松俊也 (あかまつ としや) フィールド・イノベーション本部 フィールド・イノベータ育成推進室 フィールド・イノベーションによる 業務革新コンサルティングに従事。



石塚 剛 (いしつか たけし) デバイス&マテリアル研究所 次世代実装プロジェクト 兼アドバンストシステム開発本部 次世代LSI実装開発室 半導体パッケージの実装技術の開発に 従事。



作山誠樹 (さくやま せいき)

デバイス&マテリアル研究所 次世代実装プロジェクト 兼アドバンストシステム開発本部 次世代LSI実装開発室 半導体パッケージの実装技術の開発に 従事。