

チップ間広帯域信号伝送を実現する 2.1次元有機パッケージ技術

2.1D Organic Package Technology to Realize Die-to-Die Connection for Wide-Band Signal Transmission

● 小山利徳

● 六川昭雄

● 清水規良

● 大井 淳

あらまし

半導体チップと有機基板を中継するシリコンインターポーザを用いて、ロジックチップの隣に広帯域メモリを配置した2.5次元(以下、2.5D)実装構造が注目されてきている。これは、メモリ帯域を広げて大容量信号伝送を行うために、パッケージ上でチップを接続する必要性が増してきたからである。更に、2.5D構造に対して、インターポーザ機能を有機基板に一体化した2.1次元(以下、2.1D)構造も提案されている。

本稿では、新光電気工業が開発した2.1D有機パッケージについて述べる。2.1D有機パッケージは2.5D構造の機能を有機基板を用いて実現するもので、有機パッケージ上に超高密度な多層配線層を形成するものである。筆者らは、従来型のビルドアップ型パッケージの表層に薄膜プロセスを適用することで、Line/Space=2/2 μm の配線密度を有する2.1D有機パッケージ(i-THOP: integrated-Thin film High density Organic Package)を実現した。同時に、狭ピッチフリップチップ実装のためのTCB(Thermo-Compression Bonding)技術を用いて、最小バンプピッチ40 μm のマルチチップ実装を実現した。また、作成した2.1D有機パッケージに評価チップを実装し、信頼性評価を実施するとともに、薄膜配線による信号伝送特性をシミュレーションし、実用上問題のないことを確認した。

Abstract

A 2.5D assembly structure has been attracting attention because it places wide-band memories next to a logic chip using a silicon interposer. Its purpose is to perform a large volume of signal transmissions by expanding the memory bandwidth; therefore, a die-to-die connection on a package has been required. Furthermore, in contrast to the 2.5D structure, a 2.1D structure that integrates interposer functionality in an organic substrate has been proposed. This paper describes the 2.1D organic package that is being developed by SHINKO ELECTRIC INDUSTRIES CO., LTD. This 2.1D package can be created just by adding the functions of an organic substrate to a 2.5D structure, and it was formed by creating a super-high-density multi-wiring layer on an organic package. We have produced a 2.1D organic package (i-THOP: integrated-Thin film High density Organic Package) with a wiring density of Line/Space=2/2 μm by applying a thin-film process to the surface layer of a conventional build-up package. At the same time, we achieved multi-chip assembly with a minimum bump pitch of 40 μm by using thermo-compression bonding (TCB) technology for a narrow-pitch flip-chip assembly. And we assembled a test chip on the created 2.1D package and evaluated its reliability. In addition, we simulated the signal transmission properties of the thin-film wiring, and confirmed that there is no practical issue.

ま え が き

半導体チップ（以下、チップ）は、ムーアの法則に従って微細化・高密度化が進み、ロジック半導体では一つのチップに複数の機能ブロックを集積したSoC（System on Chip）が主流となった。しかし、微細化が困難になると同時に、高集積化に伴うチップの大型化が問題となり、チップを分割してパッケージ上で接続するSiP（System in Package）の動きが出てきている^{(1),(2)}

一方、次世代メモリの規格であるWide I/Oで提案された広帯域メモリに関しては、ロジック半導体との3次元パッケージは実現していないが、貫通シリコンビア（TSV：Through Silicon Via）技術を利用した多段スタックメモリである高帯域幅メモリ（HBM：High Bandwidth Memory）として進化してきた。このHBMとCPU/GPUの組み合わせが、サーバ用CPUやネットワーク系およびグラフィック系デバイスの性能向上への有力な解決策となりつつある⁽³⁾

この組み合わせを実現するのが、インターポーザ（中継基板）を用いた2.5次元（以下、2.5D）実装構造である（図-1（a））。微細配線を形成したシリコンを基板とするインターポーザ（以下、シリコンインターポーザ）上でチップ間の信号接続を行い、TSVによりインターポーザと有機基板を接続する構造である。ここで用いられるシリコンインターポーザは、半導体プロセスを用いて製造されるため微細化は容易であるが、一方で大型化が難しく、コストが高くなるという問題がある。また、シリコンインターポーザは100 μm 程度と非常に薄いので、その面積が大きくなった場合には有機基板への実装が難しくなる⁽⁴⁾

そこで筆者らは、2.5D機能を有機パッケージに一体化させ、図-1（b）に示す構造の2.1次元（以下、2.1D）有機パッケージを開発した⁽⁵⁾。その特徴は以下のとおりである。

- (1) 有機パッケージと一体型とすることで、実装工程が1回で済み、部品調達などのサプライチェーンもシンプルになる。
- (2) ハンドリング（取り扱い）が容易である。
- (3) インターポーザ部の面積制約がない。
- (4) TSVやインターポーザ部による信号劣化がない。

2.1D有機パッケージは、パッケージ上に複数のチップを配置するいわゆるMCP（Multi Chip Package）であるが、従来のMCPと大きく異なる点は必要となる配線密度である。例えば、HBMはチップ側のバンプ（端子）の間隔（バンプピッチ）が55 μm で、そこから約2,000本の配線を引き出す必要がある。筆者らは、そのための配線ルールとしてLine/Space（L/S）=2/2 μm が必要であることを導き出した。そして、それを実現するために、従来とは異なる構造とプロセスを適用することとした。

本稿では、その構造とプロセスについて述べるとともに、チップ実装性とその信頼性評価結果、更に信号伝送品質について報告する。

構造と製造プロセス

2.1D有機パッケージは、既存のビルドアッププロセスにより製造される基板（図-1（b）のビルドアップ基板層）をベースとして、その片側に薄膜層と呼ばれる微細配線層を多層形成した構造である。薄膜層でチップ間信号接続機能を、ビルドアップ基板層でピッチ変換機能を分担し、パッケージ

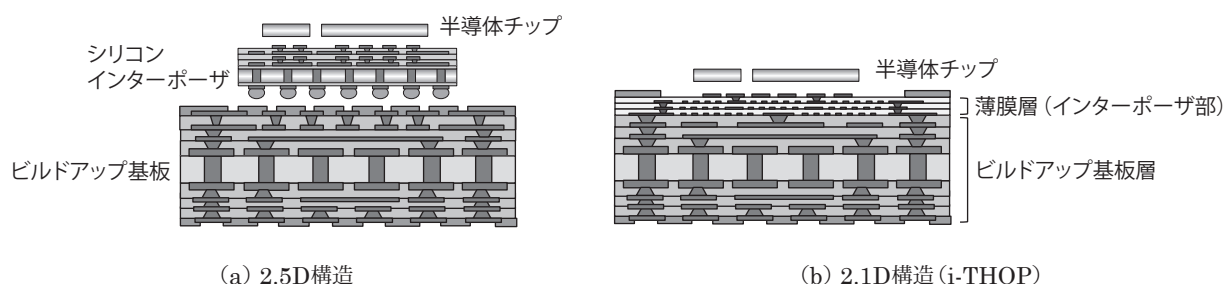


図-1 2.5D構造と2.1D構造

全体として2.5D機能を実現したものである。この構造を表現して、本2.1D有機パッケージを「i-THOP (integrated-Thin film High density Organic Package)」と命名した。

i-THOPの製造プロセスフローを図-2に示す。既存のビルドアッププロセスにより必要な層数が形成された基板をベースに、まず薄膜層を形成する面の銅配線層を化学機械研磨（CMP：Chemical Mechanical Polishing）法により平坦・平滑研磨する。次に、スパッタリング法により、配線形成用のTi/Cu（チタン/銅）シード層を成膜する。フォトリソグレイブにより配線パターンを形成後、電解銅めっきを行いシード層をエッチングする、いわゆるセミアディティブ法により配線形成を行う。その際の配線の厚さは2 μm である。

次に、配線層を多層化するために必要となる絶縁層を形成する。感光性絶縁材料を用い、層間接続用マイクロビア（層間で信号をやり取りするための微小な穴）をフォトリソグラフィプロセスを用いて開口する。このときの絶縁層の厚さは5 μm 、ビア径は10 μm であり、ビアが配線層に接続するランドの直径は25 μm である。更に、下層と同様にスパッタリング法でTi/Cuシード層を成膜し、セミアディティブ法を用いて配線を形成する。この工程を必要な回数だけ繰り返し、多層配線層を形成する。

薄膜層の最上層は、チップと接続されるフリップチップパッドのみが形成される。パッド径を25 μm とすることで、最小パッドピッチ40 μm を実現している。一般的なパッケージでは、最外層としてフリップチップパッド部のみを開口するソルダーレジスト膜を形成する。しかし、パッド径が小さくソルダーレジストの開口ができないため、i-THOPではフリップチップエリアにはソルダーレジスト膜は形成しない。また、後述する実装プロセスとの関係から、はんだバンプなどの形成も行わない。その後、必要な表面処理を施し、製造プロセスを完了する。

i-THOPの外観の一例を図-3に示す。同図（a）はパッケージ全体の外観で、パッケージサイズは45 mm角、中央に大型ロジックチップとその周囲にHBMを四つ配置し、ロジックとHBMの間を薄膜層で配線接続したデザインである。ベースとなるビルドアップ基板部分は、厚さ800 μm のコアと片側4層のビルドアップ層から成る。（b）は薄膜層部の断面、（c）はCMP面のL/S=3/3 μm 配線、（d）は感光性絶縁層上のL/S=2/2 μm 配線の外観である。なお、i-THOPにおける薄膜層のデザインルールは以下のとおりである。

- ・最小フリップチップパッドピッチ：40 μm
- ・最小線幅：L/S=2/2 μm （薄膜絶縁層上）
L/S=3/3 μm （ビルドアップ層上）

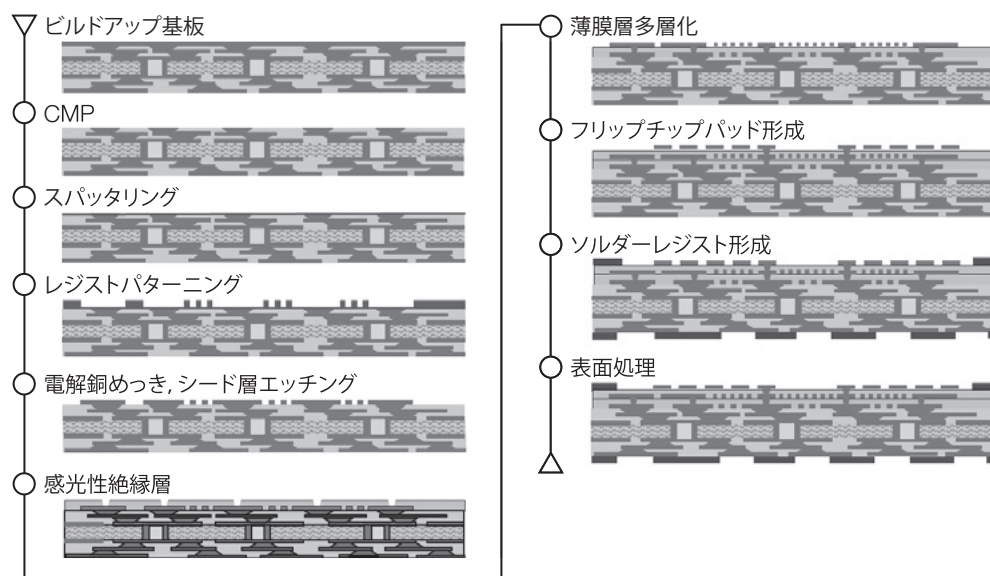


図-2 製造プロセスフロー

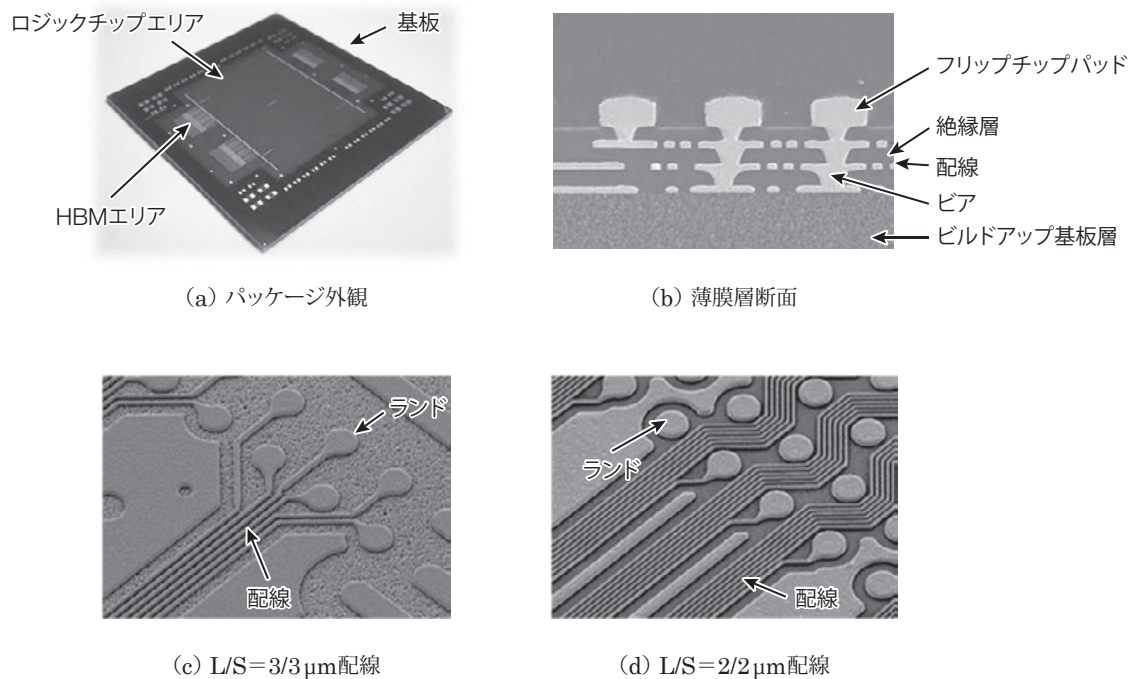


図-3 i-THOP 各部外観

- ・ビア径：10 μm
- ・ランド径：25 μm
- ・配線厚さ：2 μm
- ・絶縁層厚さ：5 μm

i-THOPは、従来の有機パッケージとは配線デザインおよび材料が異なるため、パッケージとしての信頼性を確認するために以下の試験を実施した。

(1) 絶縁信頼性：bias-HAST（高度加速寿命）試験（130℃，85%，印可電圧3.5 V，96時間）

配線間スペース2 μm および3 μm ，層間絶縁膜層厚さ5 μm のデザインについて，絶縁抵抗は $10^7\Omega$ 以上であり，十分な絶縁信頼性があることを確認した。

(2) 接続信頼性：Thermal Shock試験（-55℃ \leftrightarrow 125℃，1,000サイクル）

ビア径10 μm ，3段スタックのデザインについて，導通抵抗変化率は10%未満であり，十分な接続信頼性があることを確認した。

また，室温と260℃間の温度サイクル試験におけるパッケージ反り量をシャドウモアレ法で測定した。i-THOPはコア層に対して非対称構造であるが，反り量は対角45 mmのパッケージで80 μm 以下と非常に小さい結果が得られた。これは，非対称な構造である薄膜層形成によって生じる応力の影響が非常に小さいということを示している。

要素技術

i-THOPを実現する上で，ポイントとなる要素技術がいくつか存在する。以下に，その概要を説明する。

(1) CMP

ベースとなるビルドアップ基板上に薄膜層を形成するためには，何らかの平坦化工程が必要となる。平坦化のために絶縁層を形成する方法も考えられるが，そのために特殊な材料が必要となり，工程も複雑となる。そこで筆者らは，ビルドアップ基板の配線層をCMPにより平坦化するプロセスを採用した。これにより，表出したビルドアップ層のビアトップ部が，そのままビアランドとして機能することになる。

また，ビルドアップ層の樹脂上に微細配線を形成する工程において，一般にはその表面粗度が制約となる。i-THOPではCMPによる平坦化を採用したことにより，数百nmの表面粗度を20 nm以下まで平滑化できた。これにより，ビルドアップ層の樹脂上に，3 μm 幅の配線の安定形成を可能にしている。

(2) スパッタリング

樹脂上における微細な多層配線形成では，樹脂

にダメージを与えずに安定したメタライズ（表面の金属膜化）が必要となる。また、セミアディティブプロセスによる配線形成では、シード層の厚さやエッチング性能（レートや形状）が重要となる。これらの観点から、i-THOPではスパッタリング法を採用し、樹脂密着層としてTi、電解めっきシードとしてCuの2層構成とした。更に、その前処理プロセス（逆スパッタ工程）での導入ガスやスパッタリング条件を最適化することで、より安定した密着力が確保でき、微細な多層配線形成を可能にした。

(3) 絶縁材料

2.1D構造では、シリコンチップと有機基板の間で生じる熱膨張係数（CTE：Coefficient of Thermal Expansion）のミスマッチに起因する応力の発生が、信頼性を確保する上で大きな問題となる。i-THOPでは、特に薄膜層に用いる絶縁材料の特性に着目して材料選定を行った。CTEが60 ppm/°C程度と大きい材料では、このCTEのミスマッチにより3段スタックビアの部分において熱サイクルによる接続抵抗の変化が生じる。更に、材料のS-Sカーブ（Stress-Strain curve：応力-ひずみ曲線）からタフネス（靱性値）を試算することができ、i-THOPの薄膜絶縁層ではこの値が発生する応力に対して必要な機械特性であることが示唆された。これらのことから、より低CTEかつ高靱性な材料を選択することで、信頼性の高いパッケージを実現できた。

実装と信頼性評価

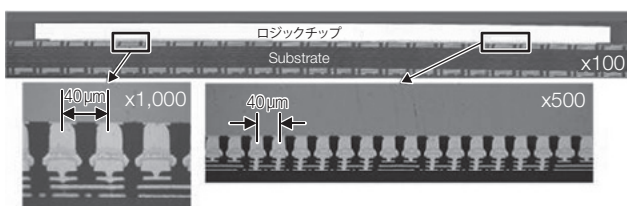
狭バンプピッチデザインのi-THOPでは、パッケージ側にプリソルダーバンプを形成する現在一般的なC4（Controlled Collapse Chip Connection）実装には対応できない。またC4実装工法でなくて

も、実装プロセスとしては生産性の高いマスリフロープロセスが一般的である。しかし、大型チップの狭ピッチ接続や複数チップのマスリフロープロセスへの適用は、パッケージの反りが影響するため不向きである。

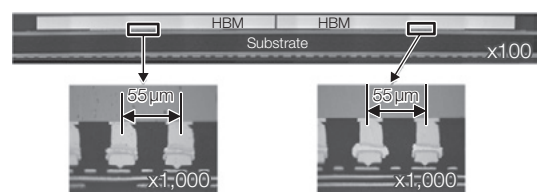
そこで筆者らは、狭ピッチ接続に適している熱圧着（TCB：Thermo-Compression Bonding）プロセスを検討し、選択した。TCBは、パッケージをステージに吸着させて実装するため、反りの影響を受けない。また、アンダーフィル工程については、非導電性ペースト（NCP：Non Conductive Paste）を用いた先入れプロセスがあるが、多ピンかつ大小複数チップを実装するには、ペーストの硬化とチップ接続を両立させるための十分なプロセスマージンを確保できない。そこで、チップアタッチ後にCUF（Capillary Underfill）による一括後入れ工程とすることで安定した接続を達成した⁽⁶⁾。

大型ロジックチップとHBM 4個の配置を想定した評価サンプルを用いて実装されたチップの断面写真を図-4に示す。同図（a）はロジックチップ部で、20 mmを超える大型チップ、バンプピッチは40 μm、同図（b）はHBM部で、バンプピッチは55 μmである。チップ側は、CuピラーにSn/Ag（すず/銀）はんだ構造を用い、i-THOP側の表面処理は無電解Ni/Pd/Au（ニッケル/パラジウム/金）、または水溶性プリフラックス（OSP：Organic Solderability Preservative）処理とした。OSP処理では、実装前にOSP膜の除去工程が必要になるが、どちらの表面処理の場合も各チップの全面にわたって、安定した接続ができていることが確認できた。

更に、デージーチェーンチップを実装し、適切な熱伝導材料（TIM：Thermal Interface Materials）



(a) ロジックチップ部



HBM 2か所の接続断面

(b) HBM部

図-4 チップ実装断面

を介してリッド形成したパッケージの信頼性評価を実施した結果、全ての項目に関して評価基準をパスすることを確認した。試験項目と評価基準を以下に示す。

(1) 試験項目

- ・プレコンディショニング：30℃，60%，96時間後，245℃リフロー 3回
- ・熱サイクル試験：-40℃⇔125℃，1,000サイクル
- ・加湿試験：110℃，85%，168時間
- ・高温放置試験：150℃，1,000時間

(2) 評価基準

- ・外観，超音波探傷装置（SAT：Scanning Acoustic Transmission），および断面の観察で異常がないこと
- ・絶縁抵抗： $10^7\Omega$ 以上
- ・導通抵抗変化率：10%未満

配線設計と信号伝送

一般にパッケージの配線設計では，入出力の抵

抗を整合させるインピーダンスマッチングを行い，配線幅などを決定する。しかし，i-THOPの薄膜層は，配線が2 μm と薄いことから，電気抵抗が大きくなり，インピーダンスマッチングの考え方では議論できない。

一方，2.1Dや2.5Dでは，チップ間を接続する配線本数が非常に多くなる。i-THOPのデザインルールでは，パッドピッチ40 μm の場合はパッド間に4本，HBMのようなパッドピッチ55 μm の場合は，パッド間に6本の配線が可能であり，これらを基準に薄膜層数が決まる。しかし，単純に配線を引き出しただけでは不十分であり，どのようなデザインをすれば安定した信号品質が得られるかが大きな問題となる。そこで，HBMからの配線デザインを例に，容量終端法を用いてクロストークノイズ（配線間の干渉）のシミュレーションを行った（図-5）。実際の配線デザインをモデル化し{同図（a）}，その断面構造{同図（b）}で示す各

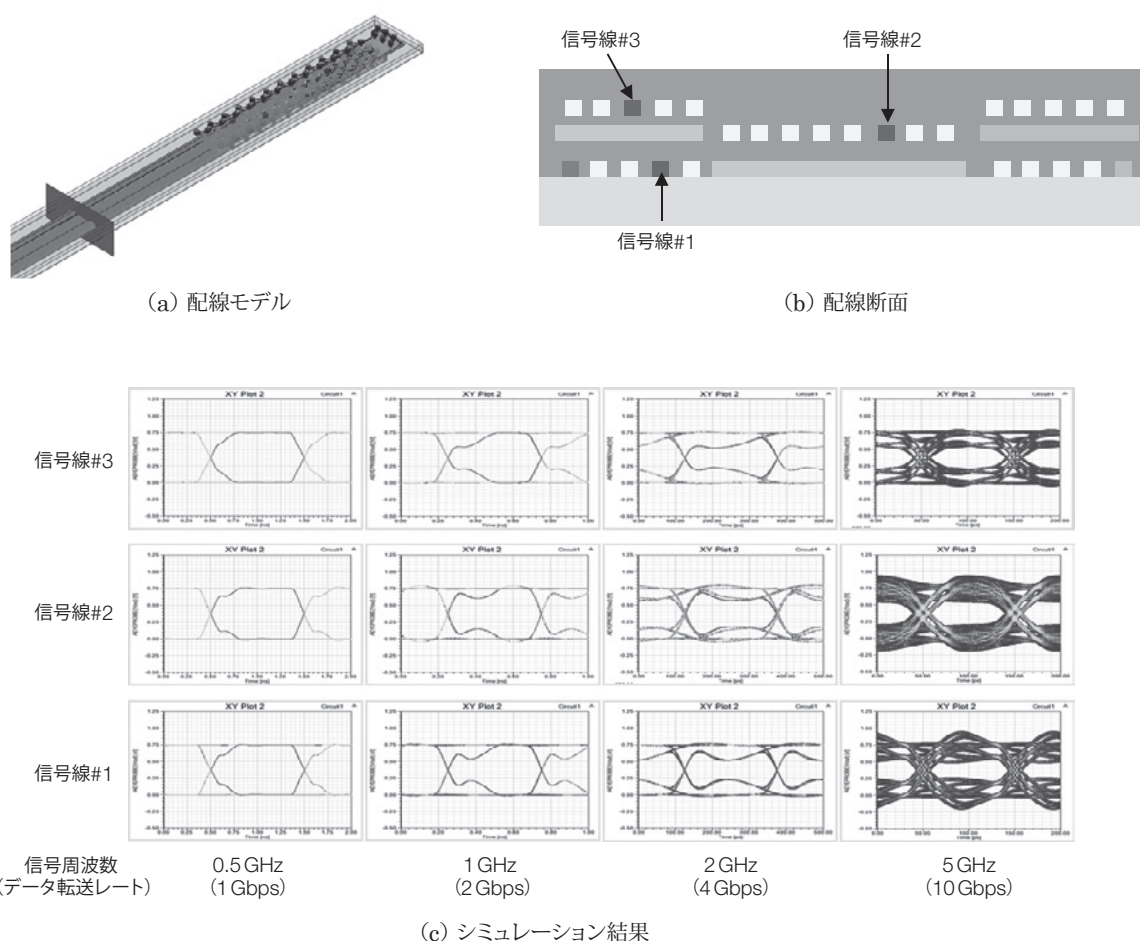


図-5 信号品質シミュレーション

信号線に関してアイパターンをシミュレーションによって評価した {同図 (c)}。HBMのデータ転送レートは2 Gbpsであるが、各信号線において十分なアイの開口が確認でき、信号品質としても問題ないことが推測できる。同様のシミュレーションを配線長に関する実施し、配線長6 mmまで安定したアイの開口が得られることを確認している。

む す び

新光電気工業は、HBM—ロジックに代表される、チップ間広帯域信号伝送を実現する2.1D構造の有機パッケージ-THOPを開発した。また、チップ実装プロセスを検証し、実装後の信頼性を確認した。更に、伝送信号品質についてシミュレーションし、十分な品質を達成できることを確認した。

$L/S=2/2\ \mu\text{m}$ の配線を有する2.1D構造の有機パッケージは、世界で初めての技術と認識している。本稿では、サーバなどを想定した大型パッケージについて述べたが、モバイル用途などの小型・薄型パッケージの開発も進めている。ベースのビルドアップ層構成を薄くすることで、総厚100 μm 程度の2.1Dパッケージも製造可能であり、IoT (Internet of Things) に向けた高機能モジュール技術としても期待できる。

今後、伝送信号品質の実測や実デバイスの実装評価を行い、実用化を進める。また、薄膜層のデザインルールについても、より微細化を進めていく。

参考文献

- (1) J. Lau et al. : Large Size Silicon Interposer and 3D IC Integration for System-in-Packaging (SiP). IMAPS 45th, p.1209-1214 (2012).
- (2) P. Dorsey : Xilinx stacked Silicon Interconnect Technology Delivers Breakthrough FPGA Capacity, Bandwidth, and Power Efficiency. Xilinx White paper. Virtex-7 FPGAs, WP380, October27, p.1-10 (2010).
- (3) C.C. Lee et al. : An Overview of the Development of a GPU with Integrated HBM on Silicon Interposer. IEEE 66th, p.1439-1444 (2016).
- (4) M.J. Wang et al. : TSV Technology for 2.5D IC Solution. ECTC 62nd, p.284-288 (2012).

- (5) N. Shimizu et al. : Development of Organic Multi Chip Packaging for High Performance Application. IMAPS 46th, p.414-419 (2013).
- (6) K. Oi et al. : Development of New 2.5D Package with Novel Integrated Organic Interposer Substrate with Ultra-fine Wiring and High Density Bumps. ECTC 64th, p.348-353 (2014).

著者紹介



小山利徳 (こやま としのり)

新光電気工業 (株)
PLP事業部
高密度パッケージ技術開発に従事。



六川昭雄 (ろくがわ あきお)

新光電気工業 (株)
PLP事業部
高密度パッケージ技術開発に従事。



清水規良 (しみず のりよし)

新光電気工業 (株)
PLP事業部
高密度パッケージ技術開発に従事。



大井 淳 (おおい きよし)

新光電気工業 (株)
開発統括部
高密度実装技術開発に従事。