

画像LSI向け半導体パッケージング技術

Packaging Technology for Imaging LSI

● 米田義之

● 中村公一

あらまし

半導体パッケージの主機能は、LSIチップ(半導体チップ)に形成された微細な電極パッドから電気信号を半導体パッケージの実装端子まで確実に伝えることにあるが、LSIの性能を確実に発揮させるためにLSIの特性や製品使用環境に合わせ、パッケージ構造を最適化することが重要になってきている。

画像LSIは大容量の画像データを高速に処理することが求められており、外部の大容量バッファメモリと高速で高品質なデータ通信が必要となる。これらの動作を確実に行うために半導体パッケージ構造に工夫を行っている。また画像LSIは、デジタルカメラや携帯電話・スマートフォンに代表されるモバイル機器に使用されており、軽薄短小を具現化するパッケージング技術や複数のLSIを混載したSiP(System in Package)構造など高密度な実装技術が採用されている。

本稿では、画像LSI向けの最新の半導体パッケージング技術について紹介する。

Abstract

The main function of a semiconductor package is to reliably transmit electric signals from minute electrode pads formed on an LSI chip (semiconductor chip) to the mounted terminals of the semiconductor package. To ensure a good LSI performance, it is becoming important to optimize the package structure according to the characteristics of the LSI and product use environment. Imaging LSIs must process a large amount of image data at high speeds, which makes it necessary to have a high-capacity external buffer memory and high-speed, high-quality data communication. Semiconductor package structures are becoming more elaborate so that such LSIs can reliably perform these operations. Imaging LSIs are used in mobile devices such as digital cameras, mobile phones and smartphones, and they adopt high-density mounting technologies including packaging technology to miniaturize them and give them a system in package (SiP) structure with mixed mounting of multiple LSIs. This paper presents advanced semiconductor packaging technologies used in semiconductor packages for imaging LSIs.

ま え が き

半導体パッケージの基本機能は、LSIチップ（半導体チップ）に形成された微細な電極パッドから電気信号を半導体パッケージの実装端子まで確実に伝えること、更に微細回路が形成されたぜい弱なシリコンチップを外部環境から保護することにある。

近年ではこの基本機能にとどまらず、搭載される電子機器の要求に合わせてパッケージ外形面での小型・薄型化、多端子・エリアアレイ化などが進み、またUSB3.0やPCI Express, DDR3など高速化するインタフェースに合わせた伝送特性への対応、LSIチップから発生する熱を効率的に逃がす放熱性など、機能面でも大きく進化している。

画像LSIは携帯機器用途や据置き機器用途で広範に使用されており、これに対応する半導体パッケージも多岐にわたっている。例えば、携帯機器に一般的に用いられているFBGA（Fine-pitch Ball Grid Array）では、図-1に示すように半導体チップはエポキシ樹脂で封止され、半導体チップ表面の電極パッド（Alパッド）は金属細線（Au線またはCu線）を使ってプリント基板（パッケージインターポーザ）と接続される。これによって電気信号はパッケージインターポーザを経由してボール状の実装端子（はんだボール）までつながる。半導体チップの電極パッドは最小40 μm 程度のピッチとなっているが、メインボードの最小端子ピッチは0.4 mmとなっている。この寸法差を埋めるため、ワイヤボンディングやパッケージインターポーザを

使用して拡張することも重要な役割の一つである。

本稿では、画像LSIに使用される半導体パッケージや実装技術について紹介する。

実装技術動向

画像LSIに使用されるパッケージの代表例を図-2に示す。いずれも表面実装タイプであり、半導体パッケージの下面に格子状に実装端子を配置し（エリアアレイ配置）、多ピン化や小型化に対応している。

次に、半導体パッケージのロードマップを図-3に示す。半導体パッケージの進化は、主に携帯電話・スマートフォンやデジタルカメラ・カムコーダなど携帯電子機器に対応した小型化や薄型化と、デジタルテレビやハードディスクレコーダなどのデジタル機器やデスクトップPCなど据置き型電子機器に向けた多端子化や信号伝送品質や放熱性の向上を目指すハイパフォーマンス化に大別される。更に両者の延長線上には、メインボード上の周辺回路の一部をパッケージに取り込んでサブシステムを構成する高集積化がある。これは画像LSIと周辺LSIや部品を同一パッケージ内に取り込み、個別パッケージで実装する場合に比べて優位な機能を提供することができる。SiP（System in Package）やモジュールがこれに該当し、製品の高機能化や小型化に貢献している。

携帯機器向けパッケージの開発動向

携帯電話・スマートフォン、デジタルカメラ・カムコーダなどの携帯機器は、高機能化が求めら

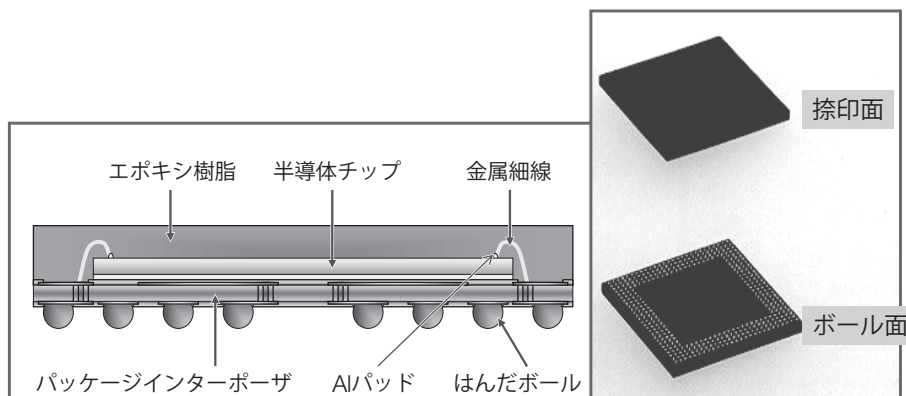


図-1 FBGA構造

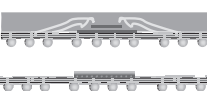
アプリケーション	タイプ	構造	特徴
携帯電話 スマートフォン	WL-CSP Bumped Die		～300ピン 最小サイズ（面積 高さ）
デジタルカメラ （ローエンド）	FBGA		～500ピン程度
デジタルカメラ （ハイエンド）	PoP SiP（FBGA）		メモリー体化（SiP）
デジタル 一眼レフカメラ	SiP（FBGA） PoP		メモリー容量最適化
カムコーダ	SiP（FBGA） PoP		上側パッケージは、 CoC構造となる場合もある
デジタルテレビ アミューズメント 機器	PBGA FCBGA		～1000ピン 高速処理 CoC 多ピン 高放熱

図-2 画像LSI向けパッケージ

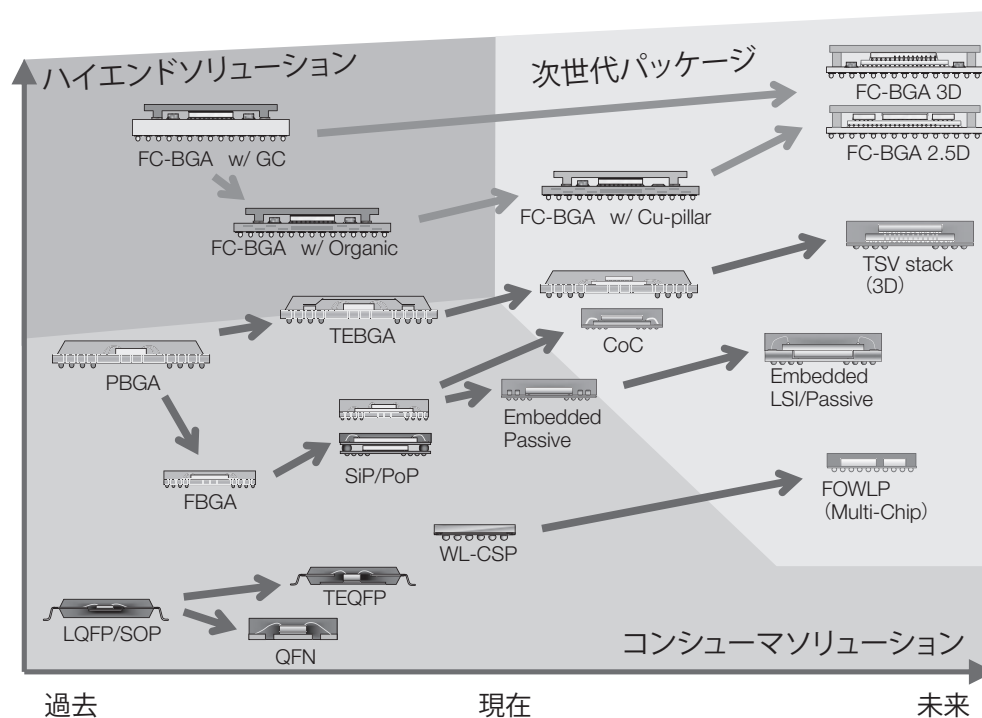


図-3 半導体パッケージのロードマップ

れる一方で小型化・軽量化も進み、限られた筐体内に必要な数の電子部品を搭載しなければならないという命題のため、半導体パッケージにも高度な実装技術が求められている。

携帯電話の小型化のため、1990年代半ばからフレキシブル基板（FPC：Flexible Printed Circuit）

を用いたBGA（Ball Grid Array）が開発され、実装面積や体積の縮小を実現してきた。現在では更に小型化が進み、パッケージインターポーザを用いたFBGAが主流となっている。携帯機器のメインボードも多層化やファイン化が進んでおり、これに合わせて半導体パッケージの端子ピッチも

0.4 mm，端子数では1000ピン程度の製品まで生産されてきている。

更なる電子機器の小型化は進み，実装面積低減のために高集積化も積極的に行われ，例えばフラッシュメモリやDRAMのメモリ同士，またロジックデバイスを中心としたメモリや受動部品の組合せなど，一つのパッケージ内に複数の半導体チップや受動部品を混載したSiPやモジュールの製品化も進んでいる。このように，多種多様なデバイスの組合せに対応した半導体チップの薄型化技術，インターコネクト技術（フリップチップ実装やワイヤボンディング），微細な配線に対応したパッケージインターポーザなど，各種要素技術が開発されている。

携帯機器向けパッケージの構造と機能

携帯機器においては，画像LSIは静止画や動画の処理エンジンとして，機器本体のメインボードやカメラモジュールに搭載されている。一般的に，小型・薄型化が必須であり，エリアアレイタイプのパッケージを使用することで実装面積低減が実現されている。このエリアアレイタイプの構造の中にも数種類の構造があり，LSIの回路規模やアプリケーションによってパッケージ構造が異なる。各種アプリケーション向けのパッケージ構造と機能について以下に説明する。

● 携帯電話・スマートフォン向け

携帯電話やスマートフォン向けには，前述のFBGAやWL-CSP（Wafer Level Chip Size Package），Bumped Dieが使用される。またFBGAでは積極的にSiP化が進められている。

WL-CSPは，ウエハレベルでパッケージングを進め，最後に個片化を行うため，外形がリアルチップサイズとなり最小のパッケージとなる（図-4）。

300ピン程度までのデバイスに採用されており，小型・軽量であることからモバイル機器に適している。WL-CSPは，半導体チップの電極パッドからCuめっきによる再配線で実装端子まで短距離で接続するため，配線のインダクタンスも低く，高速な信号を扱うデバイスにも適している。

● デジタルカメラ向け

デジタルカメラでは，画像LSI単体で使用する場合はFBGA，メモリを混載する場合はFBGAのSiP構造やPoP（Package on Package）構造が使用される。デジタルカメラは画像データの演算処理を高速に進めるため大容量のメモリが必要となる（図-5（a），（b））。チップ内にメモリ回路を混載するSoC（System-on-a-Chip）ではチップ面積が大きくなり，歩留まりの影響も少なくない。これを最適化するためにロジックデバイスとメモリをパッケージ内に混載する構造が採用されることが多い。PoP構造では，ロジックデバイスとメモリを別々にパッケージ化し，個別に試験を実施した上で両者を積層することで構成される（図-5（c））。二つのパッケージを積層することで一つのパッケージ分の実装面積を減らすことができる大きなメリットを有している。これに加え，画像LSIに対してアプリケーションに応じてメモリ容量を選択することが可能となる。同一の画像LSIでメモリ容量を変更し，多数のアプリケーションに展開するといったような使い方も可能となる。最近ではPoP構造用のメモリもメモリベンダから提供されており一般化している。

● カムコーダ向け

カムコーダはデジタルカメラと同じようにFBGA（single chip）やSiP構造，PoP構造が選択される場合が多い。デジタルカメラに比べて動画処理能力が要求されるため，信号数が多くパッケー

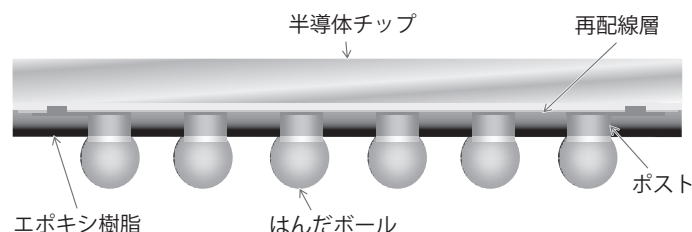


図-4 WL-CSPの構造

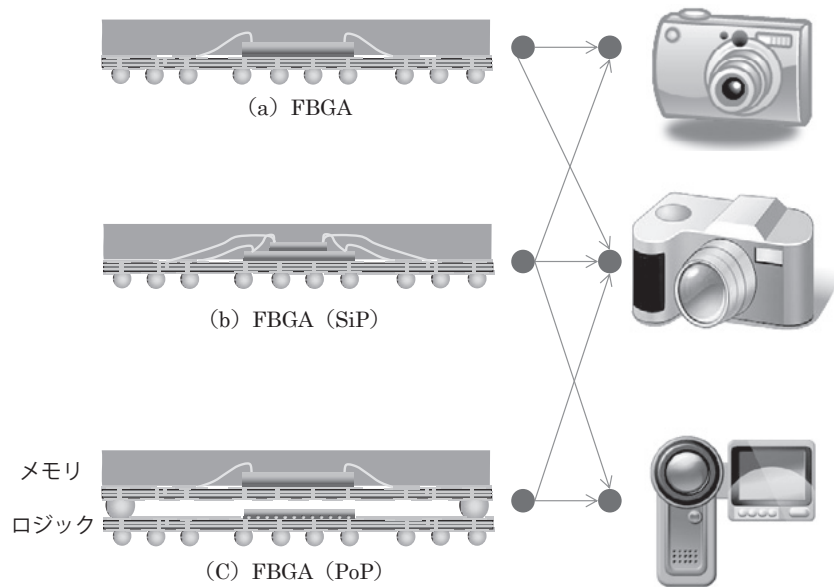


図-5 カメラ向けパッケージ

ジも多ピン化される傾向がある。またデータ処理のバッファとなるメモリ容量も大容量化、高速化の傾向にある。これに対応するため、メモリと画像LSI間のデータ転送レートを高くできるSiP構造が増えている。

ハイパフォーマンス機器向け実装技術

据置型機器向けとしては、セットトップボックス（STB）、デジタルテレビなどに代表されるように動画処理がメインの機器が多く、モバイル向けと比較して動画処理能力の高いLSIが使用される場合が多い。また、カーナビゲーション用のLSIは使用環境上、信頼性の高いパッケージが必要となる。これらのアプリケーションに対応するパッケージをハイパフォーマンス向けと位置付け、技術とその構造について以下に説明する。

デジタルテレビ、アミューズメント系の画像LSIは、携帯機器向けに比べ高速に動作し、消費電力も大きい。このためパッケージ設計に余裕のあるPBGA（Plastic Ball Grid Array）が使用される場合が多い。FBGAと比較して実装端子ピッチが広く、パッケージとしては大きくなるが放熱面において有利でカーナビゲーションやデジタルテレビ向けのLSIに使用されている。

更に放熱性や高速信号伝送が必要となるアプリケーションでは、FCBGA（Flip Chip BGA）が採

用されている。フリップチップ技術は、金属バンパを用いてLSIとパッケージインターポーザを極力短い距離で接続し、チップ内に多数の金属バンパを配置することができる方式であり、電源供給の安定性に優れている。また半導体チップからの発熱を分散し、冷却するための放熱機構（放熱フィン、ヒートパイプなど）を直接LSI背面に配置することができる。これらの組立技術と高速信号伝送設計技術を駆使したFCBGAは、1000ピン超の領域で使用されている。

最新パッケージ技術

近年、LSIの処理性能が向上する中で、半導体チップの入出力端子は多ピン化、微細化する傾向にあり、半導体チップとパッケージインターポーザのインターコネクトが微細になるため、断面積あたりに流れる電流量は増加する傾向にあり、これに対応する技術が求められている。

また、これまでと同様に今後も高速処理化、処理データ量は増加傾向にあると予測され、それらに対応するためのパッケージング技術も進歩している。

以下にこのパッケージング技術を紹介する。

● フリップチップ工法

一般的なパッケージでは、半導体チップとパッケージインターポーザをワイヤボンディング接続

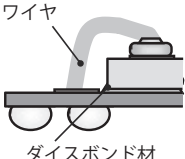
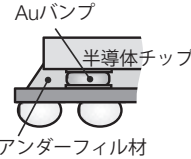
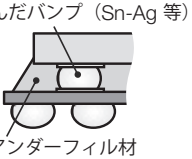
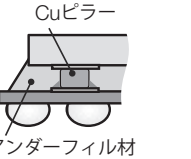
工法名	ワイヤボンディング	Auバンパ	はんだバンパ (C4)	Cuピラー
接合構造				
備考	超音波併用と熱圧接による相互接触金属拡散による金属接合	Auバンパでインターポーザと接続	はんだ溶融による金属接合	Cuピラー適応による多ピン化対応（開発中）
用途	全般	民生機器	民生/ハイエンド機器	民生/ハイエンド機器

図-6 フリップチップ接続技術比較

するが、パッケージの小型化のために、フリップチップ技術を用いたパッケージが増えている。このフリップチップ技術は接続する方法が各種あり、富士通セミコンダクターでも用途により数種類の工法を選択している（図-6）。

コンシューマ向け製品に使用されているのがAuバンパ接続方式である。この工法の特徴としては、製造時のスループットが高いこと、C4（Control Collapse Chip Connection）接続では不可能な狭ピッチ領域（45 μm ピッチ）も対応可能なことである。

ハイパフォーマンス向けには、C4工法で数千端子程度のバンパ接続を行っている。このC4工法はエリア状に配置されたはんだバンパを加熱溶融し、パッケージインターポーザと半導体チップを金属接合する工法である。バンパがエリア配置であるため、チップ中央部の回路に短配線で電源供給が可能なため高速、高性能なチップに対応可能である。

● Cuピラー・フリップチップ技術

ワイヤ以外の半導体チップとパッケージインターポーザの接続方式は、Auバンパ・はんだバンパなどが用いられてきた。しかし今後予想されるチップの高集積化によって接続端子数が増大し、対応パッドピッチが狭くなり、従来技術では安定的な接続を確保するのは難しい状況になりつつある。これを回避するための技術としてCuピラーを用いたフリップチップ技術がある。Cuピラーはチップの端子上にめっき工法を用いてCuの柱（ピラー）を形成し、パッケージインターポーザに接続する。Cuピラーをめっきで形成するため、微細ピッチにも対応可能で、更に材質がCuであること

からAu・はんだなどに比べて大電流対応が可能となる。また、Cuピラー方式は、はんだ供給量を抑えることができるため、ほかの方式に比べてバンパピッチの微細化が可能である。

今後高性能化する画像LSIにもこのCuピラーを用いたフリップチップ工法が積極的に採用されていくものと予測される。

● CoC(Chip on Chip)構造

今後、画像LSIに接続されるメモリとの伝送は高速化が要求される一方で、消費電力を下げる要求もあることから、インタフェースの消費電力を下げられるワイドバスメモリを接続するCoC技術が開発されている。既にJEDEC⁽¹⁾ではWide I/Oとして規格化されており、これを用いると画像LSIとメモリチップの間は1000バンパ程度の端子でフリップチップ接続され、広バンド幅を確保可能である。また伝送線路は短くドライバの駆動力を落とすことができるため、消費電力低減に貢献できる。

更に近い将来の技術として、TSV（Through Silicon Via）積層技術を用いた3次元実装技術が開発されている。これはメモリをTSV積層することで、プロセステクノロジーを変えずにメモリ容量を増大することが可能となる。

今後TSV技術とCoC技術を融合し、更なる高密度化を実現していく。

む す び

本稿では、画像向けLSIに使われている半導体パッケージング技術を紹介した。

半導体パッケージング技術は、LSIチップとお客様の製品をつなぐ重要な役割を持っている。お客様の使用環境をよく把握した上で最適なパッケー

ジ開発を進め、高性能で使いやすいデバイスとして提供することが富士通セミコンダクターの責務であると考えている。

ここ1～2年、携帯電話に代わりスマートフォンが急速に普及してきている。スマートフォンは高機能であるために実装面においても新たな課題が見えてきている。LSI以外のデバイスを混載する高集積化、デバイス高性能化に対応する高放熱化、

電池駆動時間を長くするための低消費電力化など、これらの課題をパッケージング技術で解決していきたいと考えている。

参考文献

(1) JEDEC.

<http://www.jedec.org/>

著者紹介



米田義之（よねだ よしゆき）

富士通セミコンダクター（株）
開発本部LSI実装統括部 所属
現在、次世代実装商品の開発に従事。



中村公一（なかむら こういち）

富士通セミコンダクター（株）
開発本部LSI実装統括部 所属
現在、次世代実装商品の開発に従事。