

チップ・パッケージ・プリント基板 協調設計手法

CHIP-PKG-PCB Co-Design Methodology

● 佐藤厚志 ● 木村吉志 ● 松村宗明

あらまし

画像LSIを搭載したデジタル機器は、グローバル市場での競争の激化から、性能向上、コストダウン、Time to Marketの短縮が勝ち残るための必須条件となってきた。一方で、画像LSIは大規模SoC(Sytem-on-a-Chip)化が進み、集積度の向上とともに、高速化、低電圧化によるシグナル/パワーインテグリティの顕在化など、設計が難しくなってきた。

富士通セミコンダクターでは、近年のSoC設計における四つの課題(シグナル/パワーインテグリティ問題、高密度設計、設計TATの短縮、コストダウン)に対処する設計手法としてチップ・パッケージ・プリント基板(CHIP-PKG-PCB)協調設計手法を立ち上げ、SoCならびにそれを搭載したデジタル機器の一発完動に貢献する成果をあげてきた。

本稿では、CHIP-PKG-PCB協調設計について、事例を交えながら上記四つの課題に関する取組みを紹介する。

Abstract

For digital devices integrating an imaging LSI, performance improvement, cost cutting and reduction of the time to market are essential conditions for surviving in the increasingly competitive global market. At the same time, more and more imaging LSIs are taking the form of large-scale system on a chip (SoC). It is becoming harder to design them as the degree of integration increases, and signal and power integrity issues are appearing due to their speed increase and voltage reduction. As a design methodology to address four challenges in recent SoC design (signal and power integrity issues, high-density design, reduction of design turnaround time [TAT] and cost cutting), Fujitsu Semiconductor has established chip-package-printed circuit board (CHIP-PKG-PCB) co-design methodology and made achievements contributing to first-shot full operation of SoCs and digital devices that integrate them. This paper presents our approach to the CHIP-PKG-PCB co-design for dealing with the four challenges above by giving case examples.

まえがき

スマートフォンやタブレット端末の普及とネットワークインフラの整備により、外出先でも高精細な画像・映像を視聴できるようになった。家庭においても薄型テレビの普及・地デジへの移行に伴って、情報量の多いハイビジョン映像の録画・視聴が行われている。また、自動車の分野においてもナビゲーションシステムやダッシュボードパネルへの様々な情報の表示、近年ではカメラ映像を解析して、衝突回避を図るようなシステムまで発表されている。

これらの分野では、膨大な画像・映像情報を高速に送受信し解析する必要がある、それを支えているのが各種の画像LSIである。画像LSIは様々な機能・高い演算性能が求められるため、集積度の高い微細加工プロセスを用いた大規模SoC (System-on-a-Chip) として設計されている。

SoCはこれまで、微細化を進めることで機能・性能の著しい向上を実現してきた。そのたびに、回路は高速化・大規模化し、増え続ける消費電力を抑えようと電源電圧を何度も下げてきた。近年は、SoCの高速化と低電圧化でノイズに対するマージンは小さくなってきており、設計がとてもしんどくなってきている。また、画像LSIはモバイル機器に搭載されることも多く、機器自体の小型化、バッテリー体積の確保のため、パッケージ、プリント基板をいかに小さく設計するかも重要になってきている。加えて、これらの機器はグローバル市場での競争の激化で、高い性能のものを安く、早く市場に投入することが勝ち残るための必須の条件になっている。

すなわち、近年、下記の四つの課題が顕在化してきたと言える。

- (1) シグナル/パワーインテグリティ問題
- (2) 高密度設計の実現 (軽・薄・短・小)
- (3) 設計TATの短縮
- (4) コストダウン

チップ・パッケージ・プリント基板 (CHIP-PKG-PCB) 協調設計は、上記課題を解決する設計手法として近年注目されているものである。CHIP-PKG-PCB協調設計とは、設計の初期段階からCHIP, PKG, PCB全体にまたがる設計のイメー

ジを可視化し、問題点の洗出しとそれに対する対処を行いながら、設計の確度を上げていく設計スタイルのことである。富士通セミコンダクターでは、2003年頃からこの設計スタイルを取り入れ、SoCならびにそれを搭載したデジタル機器の開発において成果をあげてきた⁽¹⁾

本稿では、CHIP-PKG-PCB協調設計の課題と解決事例、効果について解説する。

シグナル/パワーインテグリティ問題

富士通セミコンダクターでは、SoCの外部メモリとしてDDR-SDRAMが普及し始めた2002年頃、それまでただつなげば動いたはずの信号配線、電源配線は、その設計ではクロストークやIO部の同時スイッチングノイズが大きく、SoCの性能を達成できなくなってきた。信号波形が歪み、規格を満足できなかつたり、一定であるはずの電源電圧がSoC自身の動作や、外部からのノイズの回り込みによって変動し、回路の動作タイミングに意図しないずれが生じたりしていた。これらは、**図-1**に示す各種ノイズとなって現れ、設計現場を悩ませた。

● シグナルインテグリティ問題

クロストークノイズ (**図-1**) は、CHIP内IOバッファの配置位置、ドライブ能力や動作パターン、PKG内配線経路、PCB内配線経路など、CHIP, PKG, PCB全体にまたがって複数の設計パラメータが関係している。そのため、全体をモデル化して各設計パラメータをどのような値にすべきか検討するのが望ましい。

そこで著者らは、**図-2** (a) に示すような、設計初期段階から設計パラメータを検討できる高精度なシミュレーションモデルを開発している。**図-2** (b) はこのモデルを用いた解析例である。精度確認のために、PKG内にクロストークノイズ対策として、シールドパターンを入れたものと入れていないものの2種類を用意し、対策前後で実測と比較した。波形の黒い実線がシミュレーション結果である。どちらも実測とよく重なっており、クロストークノイズを精度良く表現できていることが分かる。このようなシミュレーションを設計初期のプロトタイプングの段階で行うことで、CHIP, PKG, PCBのどこのパラメータにどのような感度があるのかを洗い出すことができる。それにより

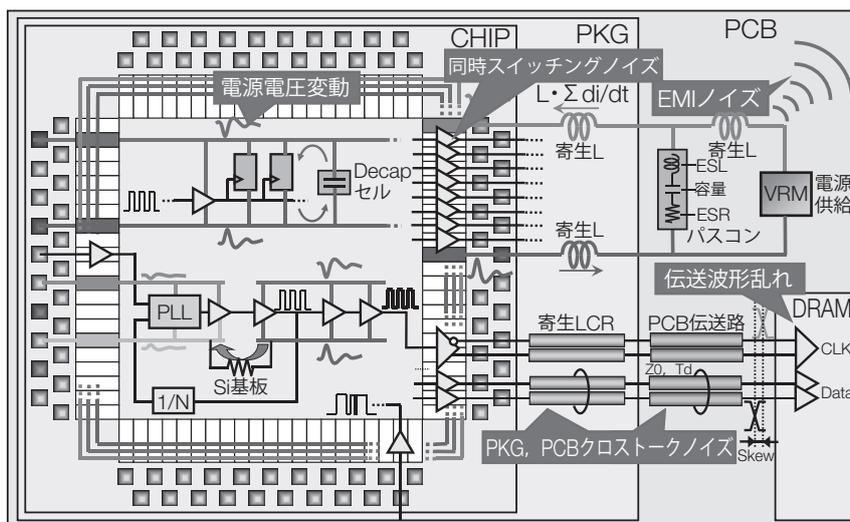


図-1 CHIP, PKG, PCBで発生するノイズ

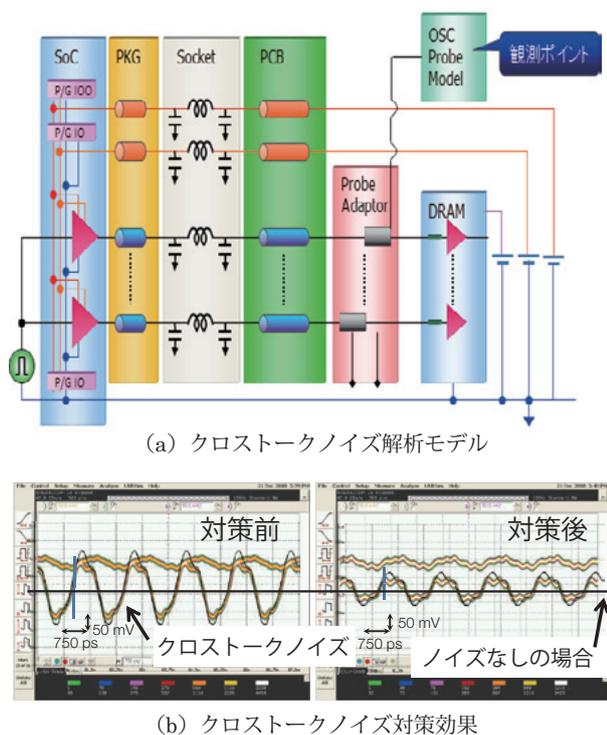


図-2 高精度シミュレーションモデルと解析例

詳細設計時の適切な設計制約を導出することができ、ノイズ低減や作り直しの手戻りを減らすといった効果が得られる。

● パワーインテグリティ問題

SoCの安定動作のためには電源インピーダンスを低くなるように設計するのが望ましい。しかし、実際には、CHIP, PKG, PCBの寄生LCRに起因

するインピーダンスの高い共振点があり、この共振周波数近傍の動作電流があると、しばしば大きなノイズとなって誤動作の原因となる。この共振が起こる周波数とその大きさは、CHIP, PKG, PCB全部を考慮しないと正しく見積もることができない。

そこで、著者らは、CHIP, PKG, PCB一体モデル化による電源のインピーダンス解析手法を開発した⁽²⁾ 図-3 (a)はその手法を用いた解析の精度確認結果である。

PCB上のパソコンの数を変えたものを用意し、シミュレーションと実測でその精度を確認した。パソコンの数の違いによるインピーダンスの変化を精度良く表現できていることが分かる。図-3 (b)は、その過渡解析結果である。インピーダンス解析における、パソコンの最適化の効果が過渡解析でも確認することができた。

高密度設計の実現

高密度設計による、PKG, PCBサイズ縮小のためには、LSIのパッドおよびPKGのボール配置をPCB上の部品配置や配線と整合させることが重要になる。ここを設計初期段階でしっかり考えておかないと、詳細設計時に配線の交差が多くなる。そうすると、交差のために配線層を変える部分にビアを置かなければならず、インピーダンス特性の悪化、PKGやPCBの配線総数の増加、配線エリ

アの面積増加などを招き、性能、コストの面で不利になる。

そこで、著者らは図-4 (a) に示すような、CHIP, PKG, PCB全体を見ながらLSIのパッド, PKGのボール配置を検討できる手法を開発した。この手法によりSoCから相手デバイスまでの配線経路全体を俯瞰できるため、最適なパッド, ボール配置が可能になった。図-4 (b) は、図-4 (a) で検討したCHIP, PKG, PCB全体のイメージに基づいて、PCBの特に性能要求が高い部分の検討をしている例である。全体を俯瞰してアサイン調整ができていたため、詳細配線の作成を容易に行うことができた。図-4 (c) は詳細配線完了後のもの

であるが、設計初期 {図-4 (a)} のイメージのとおりに実現できていることが分かる。

PKG内配線についても同時期に同様の検討を行い、PKGの配線性からくるボール配置の微調整とLSIのフロアプラン情報を取り入れながら全体の検討を行い、PKGのサイズ縮小を図っている。

設計TATの短縮

● 電磁界解析によるPKG電気特性抽出

シグナルインテグリティ問題、およびパワーインテグリティ問題に対処するためのCHIP, PKG, PCB一体解析には、高精度なPKG電気特性抽出が不可欠である。

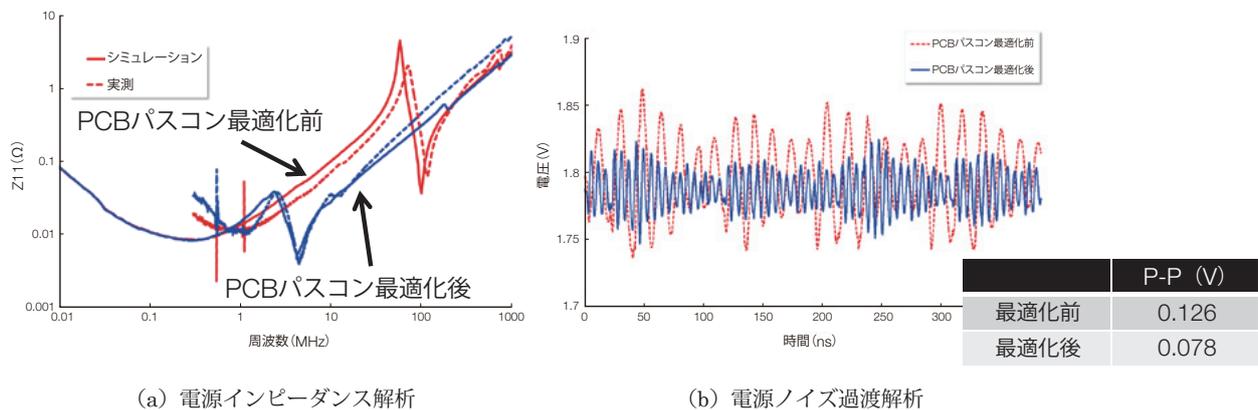


図-3 パワーインテグリティ解析

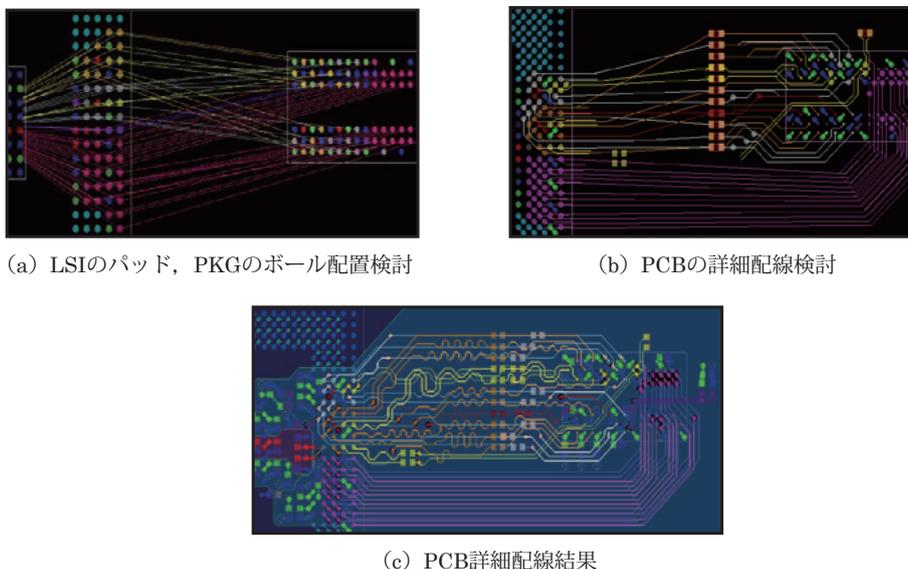


図-4 LSI, PKG, PCBを考慮した配置・配線検討

従来、高精度なモデルは、主にSパラメータモデルとして3次元の電磁界解析により抽出を行っているが、1回の解析時間が数十時間とTATがとても長かった。これが原因で、設計の初期段階においてたくさんの案を試せず、プロトタイピングのTATの点で課題があった。

そこで著者らは、ツールベンダとの密な協力のもと、電磁界解析ツールの置換え、計算機リソースの強化(1CPU→8CPU)、PKGおよびPCBのパターン取込みの自動化、電磁界解析における各種設定の自動化環境の立上げを行った。

PKG基板の解析例を図-5に示す。図-5(a)はPKG基板パターン、図-5(b)は抽出精度および抽出時間である。実測とよく一致していることに加えて、抽出に要した時間も従来の48hが今回1.7hと大幅に短縮できていることが分かる。これにより、設計初期段階において、TATが短くたくさんの案を試すことができ、詳細設計時の設計制約を最適なものにすることができるようになった⁽³⁾

● 同時スイッチングノイズ解析

DDR3などのメモリIFは、IO数が多いため、それらが同時にスイッチングしたときに生じる、いわゆる同時スイッチングノイズが問題になることがある。

同時スイッチングノイズの解析は前述の図-2(a)と同様のモデリングを行うが、スイッチングに関わるIOセルが70個程度と多い。近年は、DDR1, 2, 3と高速化していく中で、IOセルも多機能になり、例えばDDR3のIOについて、1セルあたりの素子数は、最も精度の高いトランジスタレベルの

SPICEネットリストの場合で数万にもなる。このため、同時スイッチングノイズの高精度なシミュレーション時間は、インタフェースの高速化に反比例して、どんどん伸びていく傾向にあった。

この問題に対し著者らは、IBISの最新バージョンである、IBIS5.0形式でのIOセルの精度チューニング手法、ならびにそれを用いた高精度かつ高速な同時スイッチングノイズ解析手法を立ち上げた⁽⁴⁾。精度は図-6(a)に示すとおり、トランジスタレベルのネットリストを用いた解析結果と、IBIS5.0を用いた場合の解析結果はよく一致していることが分かる。解析時間については、トランジスタレベルのものが17hかかるのに対し、IBIS5.0を用いた場合、わずか0.2hで終わることが確認できている。図-6(b)は、一般に広く流通しているIBIS4.2の形式でモデル化した結果である。IBIS4.2は同時スイッチングノイズの振舞いを表現できる仕様になっていないため、無理やり用いても、このように精度を確保できないことが分かる。

この技術もまた、設計初期段階におけるCHIP, PKG, PCB一体解析を駆使したプロトタイピングにおいて、短TATシミュレーションを可能にし、効率良く問題点を洗い出すことに貢献できている。

コストダウン

ここでは、CHIP-PKG-PCB協調設計における事例として、HDMIインタフェースのPKG, PCBのコストダウンについて紹介する。

画像LSIに広く使われているHDMIなどの高速伝送インタフェースについて、著者らは、上述のモ

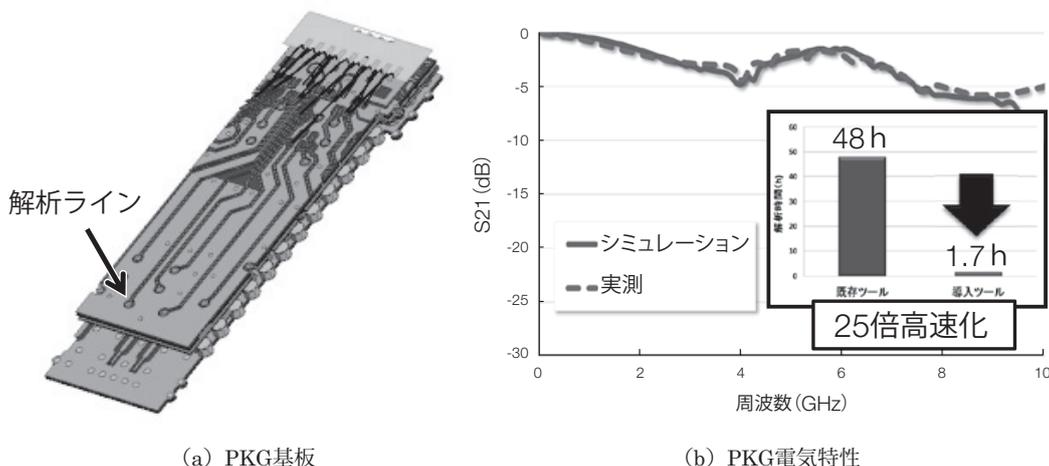


図-5 PKG基板の電磁界解析例

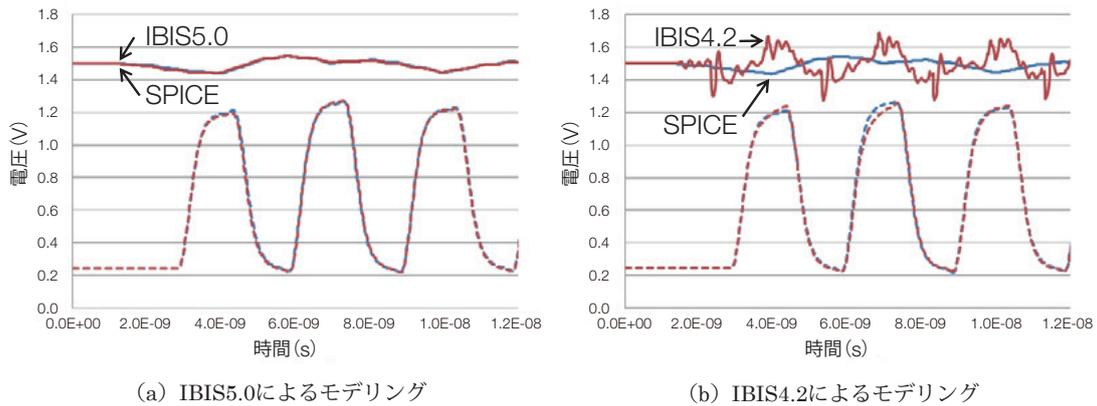


図-6 IBISのバージョンによる精度の違い

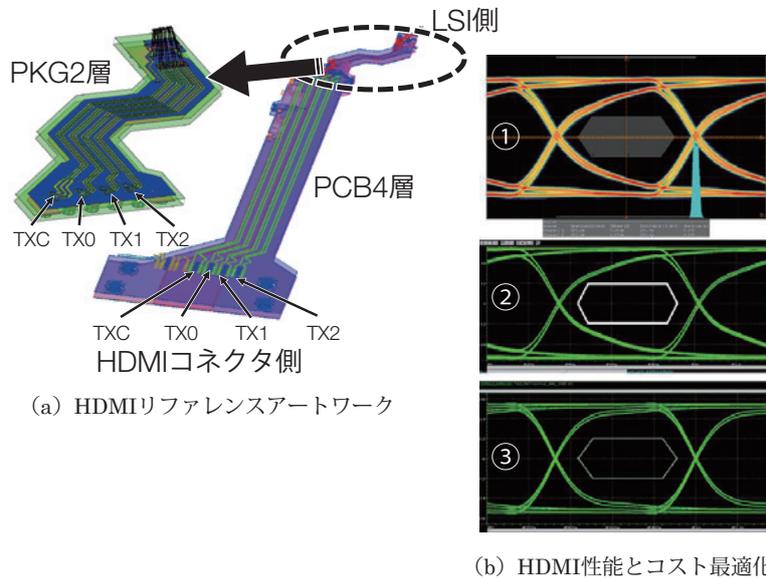


図-7 HDMI低コストリファレンスデザイン

デリング技術、解析技術などを駆使して、コストダウンのためのリファレンスデザイン作りを行っている。

図-7 (a) は、層数削減によるコストダウンを狙ったPKG2層、PCB4層のHDMIリファレンスアートワークである。

このアートワークのシミュレーションとテストチップの実測を比較した結果が図-7 (b) である。図中の①はテストチップの実測結果、②はテストチップについてのシミュレーション結果である。①と②を比較すると、シミュレーションが十分な精度を有していることが分かる。③は、そのシミュレーション手法を用いた、図-7 (a) のリファレン

スデザインの結果である。設計パラメータをチューニングすることで、PKG、PCBの層数削減というコストダウンと、eye^(注)の更なる開口というノイズ耐性向上を両立させることができた。

CHIP-PKG-PCB協調設計の運用

ここでは、CHIP-PKG-PCB協調設計技術を円滑に設計現場に適用し、効果をあげるための取組み

(注) 図-7 (b) の波形の形が目のように見えることからこれを一般的にeyeと呼ぶ。この目の形をした線が太いとノイズでふれたことになり、マージンが少なくなる。これをeyeが閉じると言う。eyeが開くとは、その逆で線が細くなり、マージンが増えることを指す。

について紹介する。

● コーディネータを配置

富士通セミコンダクターでは、CHIP-PKG-PCB協調設計を行う場合、専門部署から、コーディネータという協調設計の知識を持ったエンジニアを派遣している。コーディネータは、何を、いつまで、どこまでやるかについてお客様に提案し、開発完了までの設計マネジメントを担う。実際の設計では、新規開発か派生開発かなどもスケジュールや制約条件が異なるため、それに合わせた調整が成功のポイントとなる。

● CHIP-PKG-PCB協調設計デザインサービス

富士通セミコンダクターでは、CHIP-PKG-PCB協調設計技術を駆使した、お客様向けの有償デザインサービスを2004年から展開している。お客様のPCB条件に合わせたPCB部分のプロトタイピングや各種の解析を代行することで、お客様のPCB設計期間短縮や、一体解析を駆使することによるノイズ対策部品の削減などの効果を生んでおり、これまで多数のセットメーカーに採用いただいている。

む す び

本稿では、機能・性能の向上が著しい近年のSoC

の課題について、CHIP-PKG-PCB協調設計がその解決のために効果的であることを、いくつかの事例を交えながら紹介した。

今後、画像LSIは単一のSoCだけでなく、複数を3次元積層することで、その機能・性能を向上させようとしている動きもある。そこでもCHIP-PKG-PCB協調設計を適用し、高性能な製品を安く、早く市場に投入できるように貢献していきたい。

参考文献

- (1) T. Shiota et al. : A 51.2 GOPS 1.0 GB/s-DMA single-chip multi-processor integrating quadruple 8-way VLIW processors. ISSCC Dig. Tech. Papers, 2005, p.18-19, Feb 2005.
- (2) 本木浩之ほか：LSI安定動作のためのチップ・パッケージ・ボード協調設計の実用化検討。第26回JIEP春季講演大会，8A-20，Mar2012.
- (3) 岩井俊樹ほか：高速インターフェース搭載半導体パッケージにおける実測と電磁界解析シミュレーションの比較検討。第26回JIEP春季講演大会，7A-02，Mar2012.
- (4) S. Ohtani : DDR3 SI/PI Analysis Using IBIS5.0. IBIS Summit in Japan 2011, Nov 2011.

著者紹介



佐藤厚志 (さとう あつし)

富士通セミコンダクター（株）
設計共通技術統括部 所属
現在、CHIP-PKG-PCB協調設計手法の
開発に従事。



松村宗明 (まつむら もとあき)

富士通セミコンダクター（株）
設計共通技術統括部 所属
現在、CHIP-PKG-PCB協調設計手法の
開発に従事。



木村吉志 (きむら よしゆき)

富士通セミコンダクター（株）
設計共通技術統括部 所属
現在、CHIP-PKG-PCB協調設計手法の
開発に従事。