

先端テクノロジー向けLSI設計環境開発

LSI Design Flow Development for Advanced Technology

● 土屋 篤

あらまし

画像LSIを代表として、先端テクノロジーを採用するLSIはロジック3000万ゲート以上に達し、1億ゲート規模に迫る勢いである。これは90 nmプロセス世代と比較して、3～10倍のゲート規模に当たる。また40 nm/28 nmといった先端テクノロジーは、プロセス特性の複雑化や配線抵抗の急増が顕著になり、サインオフコーナーの増加やサインオフツールおよびレイアウトツールの高精度化は不可避となっている。更にプロセス要求であるマスクデザインルールも複雑化の一途をたどり、90 nmプロセスと比較して、28 nmプロセスは2倍のマスクデザインルールを必要とする。このようなデザインやテクノロジーからの要求の変化に対応するため、富士通セミコンダクターでは、リファレンスデザインフローと名付けたLSI設計環境に対して、新規機能の開発を行い、LSI設計への導入を進めている。これにより、先端テクノロジーを用いた大規模LSI開発の短TAT化を実現している。

本稿では、リファレンスデザインフローの先端テクノロジー向け開発の特徴と効果について解説する。

Abstract

LSIs that adopt advanced technologies, as represented by imaging LSIs, now contain 30 million or more logic gates and the scale is beginning to approach the level of 100 million gates. As compared with the 90 nm process generation, this is three to 10 times the number of gates. With advanced technologies such as 40 nm and 28 nm, the process characteristics become remarkably complex and wiring resistance rapidly increases, which unavoidably means that more sign-off corners and more accurate sign-off and layout tools are required. In addition, mask design rules, which are process requirements, are constantly increasing in complexity and the 28-nm process requires twice as many mask design rules as the 90-nm process. To address these changing needs in the areas of design and technology, Fujitsu Semiconductor is developing new features for the LSI design environment called Reference Design Flow for introduction into LSI design. This has reduced the turnaround time (TAT) of large-scale LSI development adopting advanced technologies. This paper describes the characteristics and effects of Reference Design Flow newly enhanced for advanced technologies.

まえがき

画像LSIはSoC (System-on-a-Chip) 化が進み、LSIの大規模化とそれに伴う先端テクノロジーへの移行が顕著である。一方グローバルな競争を勝ち抜くために、LSIの市場への製品投入期間はますます短縮される傾向にある。「LSIの大規模化」と「LSI設計期間の短縮」という相反する要求を同時に満足するために、富士通セミコンダクターではリファレンスデザインフローと名付けたLSI設計環境を開発し⁽¹⁾、マイコン、ASIC (Application Specific Integrated Circuit)、ASSP (Application Specific Standard Product) 設計に展開している。

本稿では、リファレンスデザインフローの中でも、特にレイアウト設計に着目し、40 nm/28 nmといった先端プロセス向けのLSI設計環境開発で必須となる「大規模LSI対応」「サインオフコーナー増大対応」「レイアウトツールの精度向上」「新マスクデザインルール対応」といった課題とその解決策、および効果を解説する。

大規模LSI対応

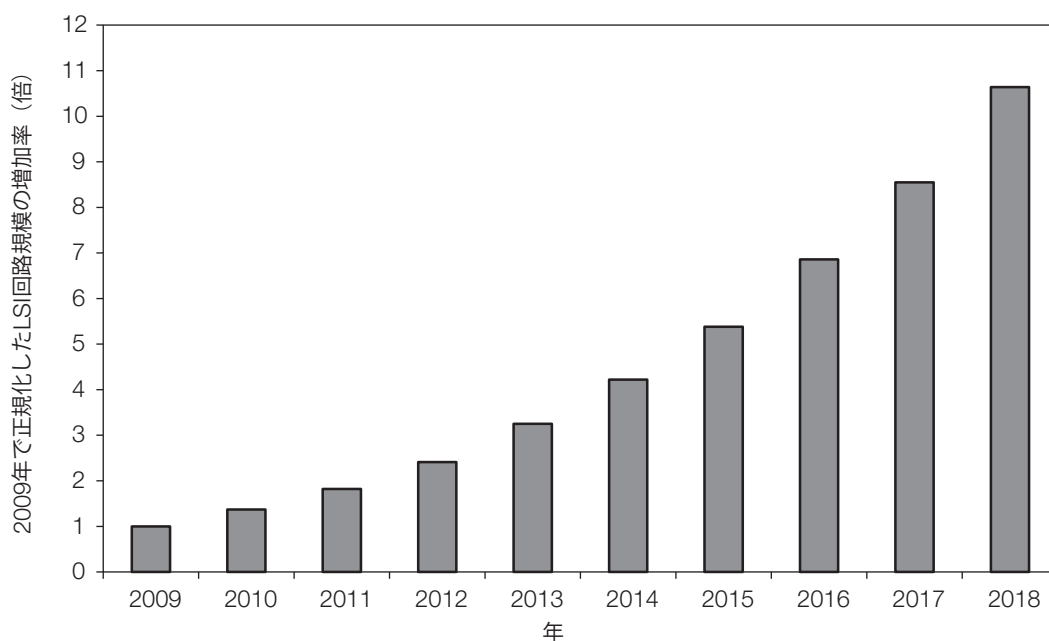
先端テクノロジーを採用するLSIはロジック3000万ゲート以上に達し、1億ゲート規模に迫る

勢いである。90 nmプロセス世代と比較して、3～10倍のゲート規模になっていることを意味する。ITRS (International Technology Roadmap for Semiconductors) は、図-1に示すように、LSI大規模化のトレンドは今後も継続するというロードマップを示している。⁽²⁾ そのためLSI設計環境開発にとって、大規模LSI対応は最優先課題となっている。

大規模LSIを短TAT (Turn Around Time) で設計するための手法はいくつかあり、その代表が階層設計である。階層設計を適用することで、レイアウト設計対象の回路規模を任意に制御することができ、スケジュールを満たすTATや使用計算機の搭載メモリ以内でレイアウト設計を完了できる。

しかし、階層設計を適用できないレイアウト処理も存在する。その一つがデザインランニングである。デザインランニングの概略処理フローを図-2に示す。デザインランニングはレイアウト設計の前半部に行われる処理で、次に示す工程を含む。

- ・IO配置
- ・階層ブロック配置
- ・マクロ&セル配置
- ・電源配線
- ・階層ブロックピン配置



Copyright 2009 International Technology Roadmap for Semiconductors

図-1 LSI大規模化のトレンド

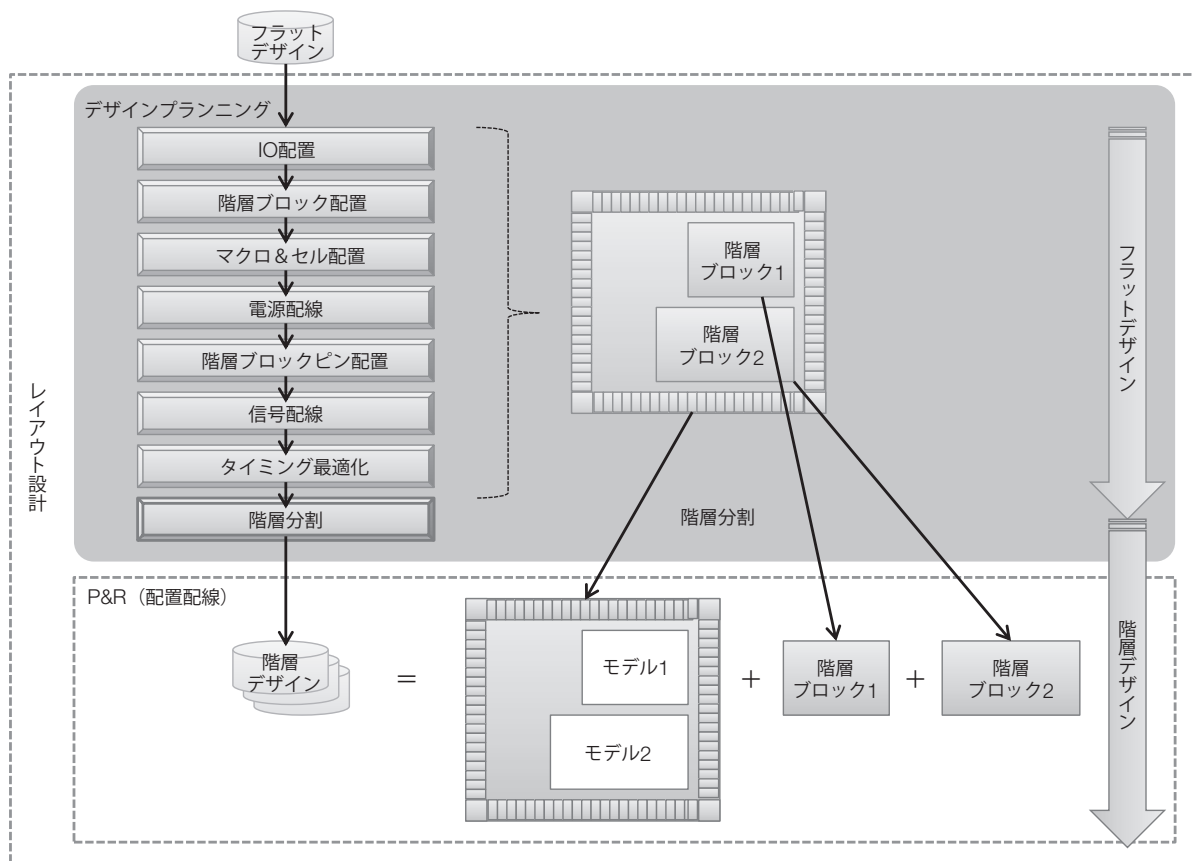


図-2 デザインプランニング概略処理フロー

- ・信号配線
- ・タイミング最適化
- ・階層分割

図に示すように、デザインプランニングの最終工程で階層分割が行われるため、デザインプランニング自身はフラットデザインでの処理が必須となる。そのため、精度を保ちながら、短TATでデザインプランニングを完了することがLSI設計環境開発の課題である。

リファレンスデザインフローは、以下に解説する3機能を新規導入することで、この課題を解決している。

(1) ネットリストリダクション機能の導入

まず第1施策として、ネットリストリダクション機能を導入している。本機能の概要は次のとおりである。

- ・デザインプランニングの処理内容に応じて、レイアウトツール自身が不要な回路情報をメモリ上から削除

- ・対象となるデザインプランニングを実行
- ・処理完了後、削除した回路情報を自動的に復元し、次のデザインプランニング工程を開始

本機能により、レイアウトツール自身が扱う回路規模を削減できるため、処理時間の短縮および使用メモリの低減が可能である。

(2) マクロ自動配置機能の導入

大規模LSIでは、メモリなどを含むマクロ数は数千個に達し、人手によるマクロ配置の限界を迎えている。そこで第2施策として、マクロ自動配置機能を導入している。これにより、デッドスペースが少なく、人手によるマクロ配置に限りなく近い結果を、短時間で生成可能である。一例であるが、人手で2日かかっていたマクロ配置を6時間で完了した実績がある。

(3) セル配置、信号配線およびタイミング最適化の高速処理エンジンの導入

デザインプランニングは、多くの時間を次に示すLSI実現性検証に費やす。

- ・設計対象チップサイズや配線層での配線収束性
- ・設計対象サインオフ条件でのタイミング収束性

この検証処理では、「セル配置」「信号配線」および「タイミング最適化」を繰り返す。そのため、第3施策として、これらの3処理に対し、高速処理エンジンを新規導入することで、LSI実現性検証時間を短縮している。

以上述べた機能を含むデザインプランニングを適用することで、ロジック1億1千万ゲート、10 000マクロを搭載する大規模LSIのデザインプランニングを48時間、77 Gバイトメモリで処理可能である。

大規模LSIを設計する上で、マルチCPU処理対応による短TAT化も非常に有効である。リファレンスデザインフローでも積極的にマルチCPU処理に対応している。レイアウト設計に関しても、ほぼ全ての処理がマルチCPU処理に対応しており、LSF (Load Sharing Facility) といったジョブ管理システムのもとでのマルチCPU処理もサポートする。

マルチCPU処理によるTAT削減の効果を図-3に示す。400万ゲート規模のレイアウト対象ブロックに対して、1CPUおよび4CPUでレイアウトした結

果である。処理工程によって、削減効果にばらつきはあるものの、18.8%～67.4%のTAT短縮を達成している。

サインオフコーナー増加対応

LSIのサインオフ条件は「プロセス」「温度」「電圧」の動作保証範囲の組合せで構成される。サインオフコーナーとは、その組合せの任意のポイントを表す。例えば、プロセススロー、高温、下限電圧のサインオフ条件をワーストコーナー、プロセスファスト、低温、上限電圧のサインオフ条件をベストコーナーのように定義する。

先端テクノロジーでは、プロセス特性が複雑になり、従来のプロセスでは考えられなかった低温条件で最も遅延が悪化するという特性が現れる。同様にVth (トランジスタのしきい値電圧) と温度の組合せに依存して、リーク電力が逆転するという特性も存在する。

このような先端のプロセス特性を網羅するために、従来のテクノロジーと比較して、先端テクノロジーではサインオフコーナー数が必然的に増加する。当然、サインオフコーナーが増加すれば、レイアウトで処理すべきコーナーも増加する。セッ

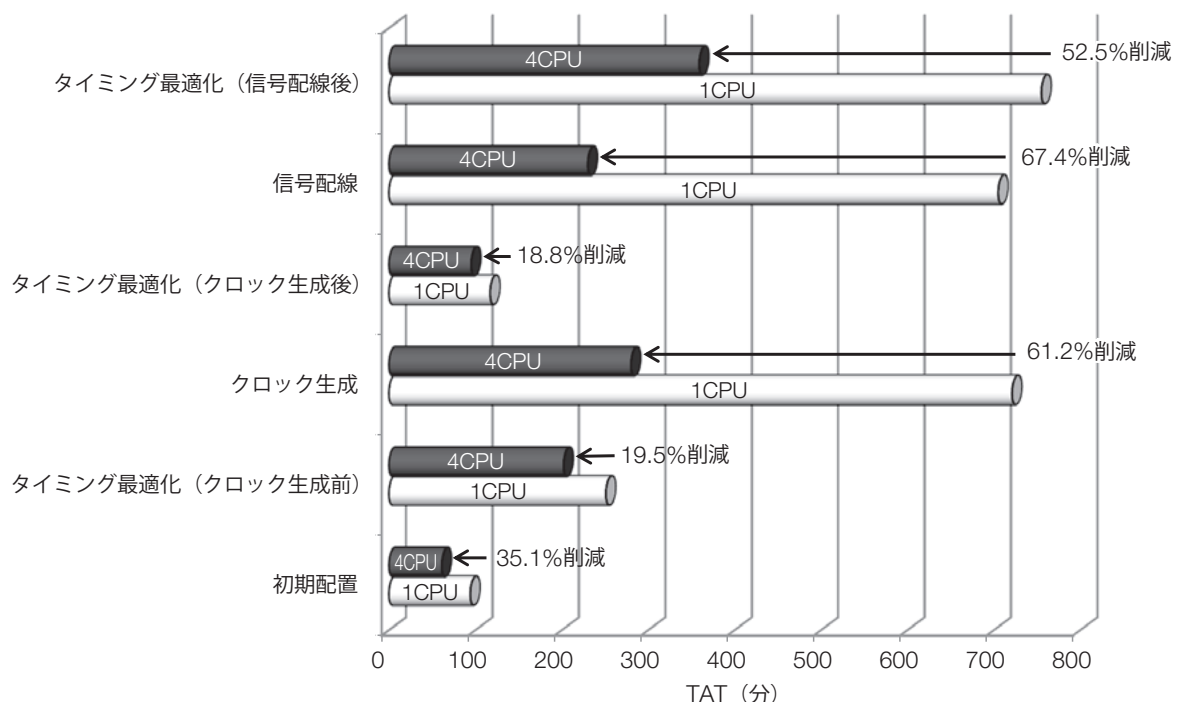


図-3 マルチCPU処理のTAT削減効果

トアップタイミング最適化に着目しても、複数コーナーの考慮が必要である。またリーク電力最適化のために、セットアップタイミング最適化向けのコーナーとは異なるパワーワーストコーナーの考慮も必要となる。レイアウト内容で異なる複数のコーナーを、高精度かつ短TATで対応することが、LSI設計環境開発の課題である。

リファレンスデザインフローは、以下に解説する2機能を新規導入することで、この課題を解決している。

(1) MCMM (Multi-Corner Multi-Mode) 機能の導入

従来から対応していたタイミングECO設計⁽¹⁾に加えて、第1施策として新たにレイアウト設計でもMCMM機能を導入している。MCMM機能の概要は次のとおりである。

- ・レイアウトツールに、複数のコーナー（必要に応じて複数のモードも指定可能）を設定
- ・設定された複数のコーナーを同時に考慮しながら、レイアウトを実行

従来、セットアップタイミング最適化をコーナー数だけ直列に処理するしかなく、もぐらたたき状態になるリスクがあった。本機能を新規導入することで、複数コーナーをまとめて処理できるため、手戻りなく短TATで処理を完了できる。

加えて、クロック生成は1コーナーのみ考慮という制限があった。このため未考慮コーナーでのクロックスキューが発生し、レイアウト収束性を阻害するケースが見られた。本機能導入後、クロック生成は複数コーナーを同時考慮可能となり、未考慮コーナーでクロックスキューが発生するという問題を解消している。

また本機能導入によって、セットアップタイミング計算とリーク電力計算で必要な複数コーナーを同時に考慮可能となった。このため、リーク電力最適化の精度が大幅に向上し、本最適化の普及に弾みをつけている。

以上、MCMM機能導入によるメリットを解説したが、デメリットも存在する。一般的に、レイアウトツールで考慮するコーナーに比例してTATが増加するため、これに対する対策もLSI設計環境開発の課題である。

(2) オートシナリオ^(注1) リダクション機能の導入

第2施策としてオートシナリオリダクション機能を新規導入している。本機能の概要は次のとおりである。

- ・レイアウト開始直前に、レイアウトツール自身が指定されたシナリオのタイミングを計算
- ・セットアップ最適化、クロック生成、リーク電力最適化などの処理内容に応じて、不要なシナリオを自動的にメモリから削除
- ・対象処理に必要なシナリオだけをメモリ上に置くことで、処理時間を短縮
- ・処理完了後、削除したシナリオを自動的に復元し、次のレイアウト工程を開始

本機能を導入することで、先端テクノロジーで必要となる複数コーナーをレイアウトツールに指定しても、スケジュールを満たすTATでレイアウトを完了できる。

オートシナリオリダクション機能のTAT削減効果を図-4に示す。400万ゲート規模のレイアウト対象ブロックに対して、本機能導入前後でレイアウトした結果である。処理工程によって、削減効果にばらつきはあるものの、21.4%～28.3%のTAT短縮を達成している。

レイアウトツールの精度向上

テクノロジーが進展していく中で、従来は無視可能であった次に示す要素が遅延解析に与える影響が増大し、新たな検証技術やサインオフ条件が必要となっている。

- (1) クロストーク遅延の増加
- (2) チップ内ばらつきの増加
- (3) 配線密度による配線抵抗および配線容量ばらつきの増加
- (4) 配線抵抗率の増加

リファレンスデザインフローでは、いち早く検証技術を立上げ、サインオフ条件の整備を完了している。

サインオフツールの対応が完了する一方で、レイアウトツールは次に示す理由により、上記の遅延解析誤差要因に対して、設計マージンという形

(注1) 任意のコーナーと任意のモードを組み合わせたものをシナリオと呼ぶ。なお、モードはLSIの動作を記述したタイミング制約に対応する。

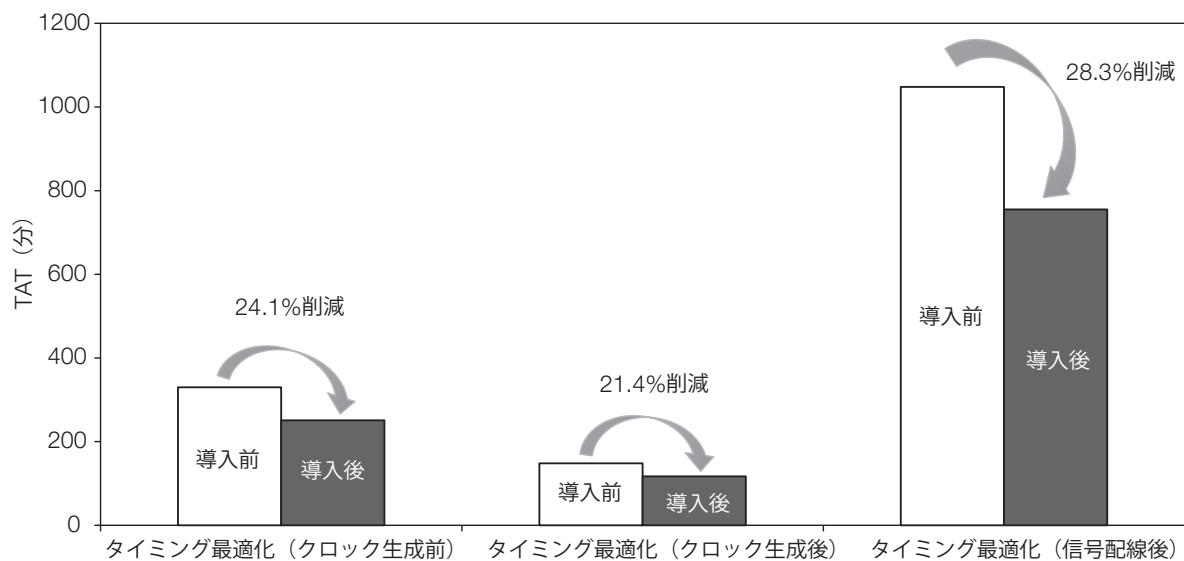


図-4 オートシナリオリダクション機能のTAT削減効果

式で対応せざるを得ないという課題があった。

- ・レイアウトツールの機能不足
 - ・機能を有していても、TAT面で実用に耐え得ない
- しかし、40 nm/28 nmといった先端テクノロジーにおいては、デザインの複雑さやプロセスのばらつき増大により、マージン設計のもとではレイアウト収束は不可能なレベルに達し、レイアウトツールの精度向上は急務となった。

そのため、リファレンスデザインフローでは、先端テクノロジー対応を進めるに当たり、レイアウトツールの新機能立上げ、エンハンス加速、新バージョンの積極導入を実施し、レイアウトツールの精度向上を実現した。具体的には、次に示す新規機能と新規ライブラリをレイアウト設計環境に導入している。

- (1) クロストーク考慮遅延計算エンジンの導入
- (2) OCV (On-Chip Variation) 計算エンジンの導入
- (3) 配線密度を考慮した配線抵抗および配線容量抽出エンジンの導入
- (4) CCS (Composite Current Source) ライブラリ^(注2)の導入

(注2) 従来、非線形遅延モデルであるNLDM (Non-Linear Delay Model) ライブラリが一般的であったが、配線抵抗の影響を精度良く扱えないという制限がある。そのため、先端テクノロジーでは、電流源モデルであるCCSライブラリが主流である。

以上の新規機能と新規ライブラリを導入することで、サインオフツールとレイアウトツールのコリレーションが向上し、従来のLSI設計環境で必須であった設計マージンを大幅に低減している。

28 nmテクノロジーにおけるサインオフツールとレイアウトツール間の遅延計算誤差を図-5に示す。コリレーションをとることが困難な28 nmテクノロジーにおいても、大多数のタイミングパスが±10 ps以内遅延計算誤差に収まっている。ほぼ設計マージンが不要なほど、レイアウトツールの精度が高いことを示している。

新マスクデザインルール対応

プロセスの微細化に伴い、先端テクノロジーでは従来のテクノロジーには存在しなかった新規マスクデザインルールへの対応が必須である。例えば90 nmプロセスと比較し、28 nmプロセスは2倍のマスクデザインルール数を必要とする。

その一方で、最先端テクノロジー立上げ時には、テクノロジーファイル^(注3)の仕様やレイアウトツールの機能が、新規マスクデザインルールの要求を満たせないことが多い。このような状況であっても、LSI設計のスケジュールを満足するよ

(注3) レイアウトツールやサインオフツールごとに、マスクデザインルールを表現したファイル。配置および配線用、配線抵抗および配線容量抽出用など複数のテクノロジーファイルが存在する。

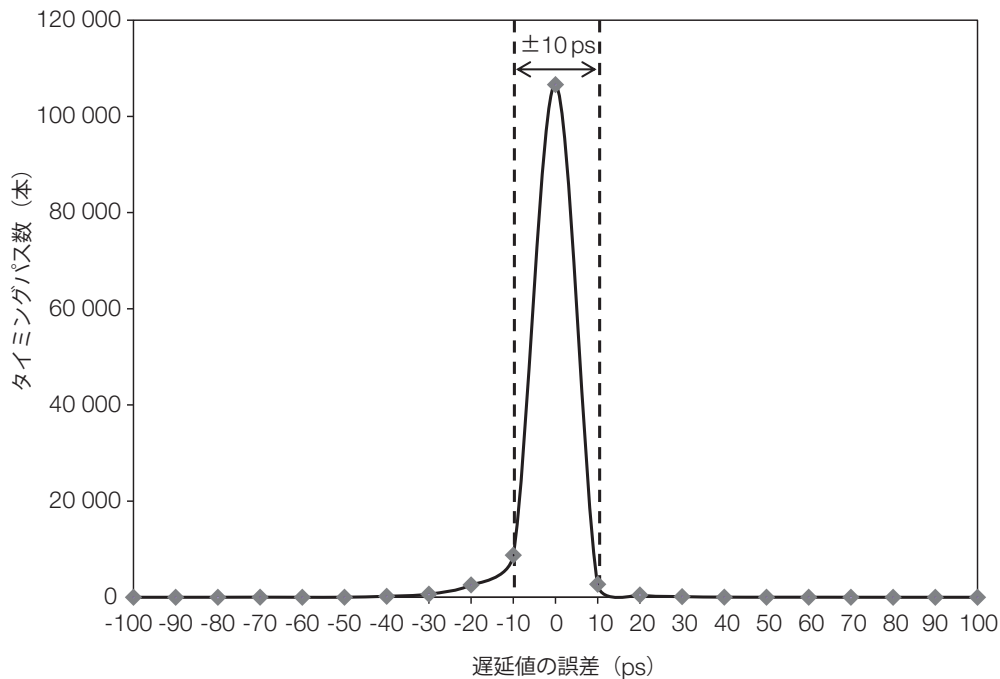


図-5 サインオフツールとレイアウトツール間の遅延計算誤差

うに、LSI設計環境を開発する必要がある。

リファレンスデザインフローは既存のテクノロジーファイル仕様やレイアウトツール機能の中で、新マスクデザインルールを満たすように、チューニングを施した配線系テクノロジーファイルを独自開発することで、本課題を解決している。更に40 nm/28 nmプロセス世代では、配線だけではなく配置に関しても、新規マスクデザインルールが存在するが、ワークアラウンドを駆使することで、新ルール対応を実現している。

ファブレスであっても、テクノロジーファイルを含めたLSI設計環境のチューニング技術は、差別化技術として不可欠である。

む す び

今回、先端テクノロジー向けのLSI設計環境開発で必須となる「大規模LSI対応」「サインオフコーナー増加対応」「レイアウトツールの精度向上」「新マスクデザインルール対応」といった課題を解説した。これらの課題を解決するために「ネットリストラクション機能」「マクロ自動配置機能」「セル配置、信号配線およびタイミング最適化の高速処理エンジン」「MCM機能」「オートシナリオリストラクション機能」「クロストーク考慮遅延計算エン

ジン」「OCV計算エンジン」「配線密度を考慮した配線抵抗および配線容量抽出エンジン」「CCSライブラリ」「配線系テクノロジーファイルの独自開発」などの新規機能を開発および導入することで、リファレンスデザインフローは40 nm/28 nmプロセスといった先端テクノロジーを用いた大規模LSI開発の短TAT化を実現している。

今後、本LSI設計環境は20 nmプロセス対応に向けた開発も予定している。

参考文献

- (1) 池田 裕：90 nm CMOS ASICリファレンスデザインフロー. *FUJITSU*, Vol.55, No.3, p.215-220(2004).
- (2) ITRS：INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS 2009 UPDATE, SYSTEM DRIVERS. *ITRS*, p.6-7 (2009).

著者紹介



土屋 篤 (つちや あつし)

富士通セミコンダクター（株）
開発本部設計共通技術統括部 所属
現在、物理設計環境の開発・サポートに従事。