

# 3次元LSI集積化技術

## 3D LSI Integration Technology

● 北田秀樹 ● 水島賢子 ● 中田義弘 ● 中村友二

### あらまし

ムーアの法則(スケーリング則)に基づいた従来のLSIの高性能化は、デバイス動作の物理限界のみならずチップ間的高速バス化や低消費電力化に対しても限界に近づきつつある。3次元高集積化技術(3DI)はLSIチップを積層し、上下のデバイス間をSi貫通ビア(TSV)で接続することで、従来のデバイスとは異なる機能と性能を実現できる画期的なデバイス製造方法として、近年活発に研究開発が行われている。

本稿では、富士通研究所が東京大学を中心としたWafer on Wafer(WOW)アライアンスに参画して開発中のウエハレベルの3次元積層技術に関し、デバイス薄化技術とバンプレスTSVプロセス技術について述べる。45 nm CMOSロジックLSIやFeRAMなどのデバイスウエハを10  $\mu\text{m}$ 以下まで薄化し積層する極薄化ウエハ転写技術、および形成温度が200°C以下の低温プロセスとデュアルダマシン法を採用したバンプレスTSV技術を開発し、高歩留まりと信頼性の高さを実証するとともに、高帯域かつ低消費電力である3次元LSIの実現性を明らかにした。

### Abstract

The conventional enhancement of LSIs based on Moore's Law is approaching its limits in terms of high-speed inter-chip buses and low power consumption as well as physical limits of device operation. Three-dimensional integration (3DI) has been actively researched recently as an innovative device manufacturing technique. The technology allows for functions and performances different from those offered by the existing devices. It achieves this by stacking LSI chips and connecting between the top and bottom devices with through-silicon vias (TSVs). This paper presents the wafer-level 3D stacking technology that Fujitsu Laboratories is developing by participating in the Wafer-on-Wafer (WOW) Alliance centered on the University of Tokyo. This paper focuses on device thinning and bump-less TSV process technologies. Fujitsu has helped develop various technologies. They include ultra-thin wafer transfer technology, in which device wafers such as 45 nm CMOS logic LSIs and FeRAMs are thinned to 10  $\mu\text{m}$  or less for stacking. Another example is bump-less TSV technology that uses a low-temperature process of up to 200°C and dual damascene method. High yield and reliability have been demonstrated and the feasibility of high-bandwidth and low-power-consumption 3D LSIs verified.

ま え が き

LSIの微細化限界が22 nmテクノロジー以降から見え始めてきた。ムーアの法則に基づくスケーリング則はデバイスの物理限界と、製造ばらつきによる加工寸法精度の限界に達しつつある。<sup>(1)</sup> デバイスの微細化は特に露光プロセスコストを増加させ、露光装置はLSI製造工程におけるコストの大半を占めている。

一方、実装工程ではシステムインパッケージ (SiP) に代表されるように、様々な機能を持つ複数のデバイスを一つのパッケージに集積する技術がモバイル機器などを中心に使われ始めている。最近ではLSIチップを上下に積層し、Si貫通ビア (TSV: Through-Silicon-Via) で接続することでシステムのパフォーマンスを向上させる、3次元高集積化技術 (3DI: 3 Dimensional Integration) の報告が活発化している。<sup>(2)-(4)</sup> 3DI技術は、スケーリング則に基づいたLSI性能・機能の更なる向上を、最先端の微細化技術を用いずに実現する技術である。

ワイヤーボンディングを用いたパッケージングレベルの3D集積化チップと異なり、TSVを用いた3DIはチップ間の相互接続特性の向上が期待されている。微細化やチップ面積の増大に伴うRC遅延が原因で起こる信号のレイテンシやタイミングエラー、または電圧降下などのチップ間信号伝達における諸問題はTSVにより相互接続距離を短くすることで解消される。大面積LSIの長距離伝送で必要なりピータ回路も不要となるためチップ面積増大の脅威を払拭する。高密度で短距離の相互接続配線では接続ピン数増加に伴うバンド幅の増大、そしてバス幅の増加によるオペレーションクロックの低減の恩恵を受けて、グリーンなシステムの実現化に向けた、さらに大幅な低消費電力デバイスが期待できる (図-1)。

2004年以降、様々な研究機関において3DIの研究が始まり、カメラモジュールのようなTSV接続数の小規模なLSIで実用化されているが、CPU-メモリモジュールなどの大規模TSVを用いた3DIはいまだ量産レベルに達していない。多種多様な3DI技術が提案される中、材料・プロセスや設計環境の標準化や、TSV接合の歩留まりの低さなど解決す

べき課題が多いためである。

富士通研究所ではこれらの課題に対し大規模TSVを用いた3DI技術の実用化に向け、東京大学を中心としたWafer on Wafer (WOW) アライアンスで、ウエハレベルの3DI技術を共同で開発している。本稿ではこれまで開発してきたウエハレベル3次元積層技術、バンプレスTSVプロセス、デバイス薄化技術、およびその信頼性について述べる。

ウエハレベル3次元積層技術

WOWの積層とTSVを用いた相互接続方法の工程を図-2に示す。積層には薄化ウエハを扱うためにガラス・ハンドル・ウエハを用いる方法を採用した。ガラスウエハと剥離可能な仮接着材料を用いて貼り合わせ、バックグラインドプロセス (BG) により薄化加工する。BGはウルトラポリグラインディング (UPG) と化学機械研磨 (CMP: Chemical Mechanical Polishing) 法を用いて10 μmの薄さまで薄化する。ボトム側のデバイスウエハに永久接着剤を用いてボンディングする。永久接着剤には有機系ボンド材料を用いた。積層する上下のウエハはアライメントマークを用いて接合するが、ミスアライメントは2 μm以下である。サポートガラスをデボンドする。その後、ドライエッチングによるTSV形成プロセスを行う。ウエハ積層プロセス後にドライエッチングと金属 (Cu) 充填しTSV形成を行うこの方法は、従来のチップ間バンプ接続を持つ方法と比較して歩留まりの向上が見込める唯一の積層方法であり「バンプレスTSV」と呼

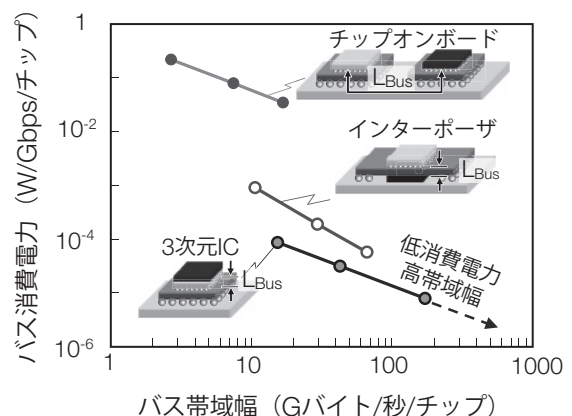


図-1 チップ間接続方式のバス幅とバス消費電力の比較  
Fig.1-Comparison of bus power and bus band width.

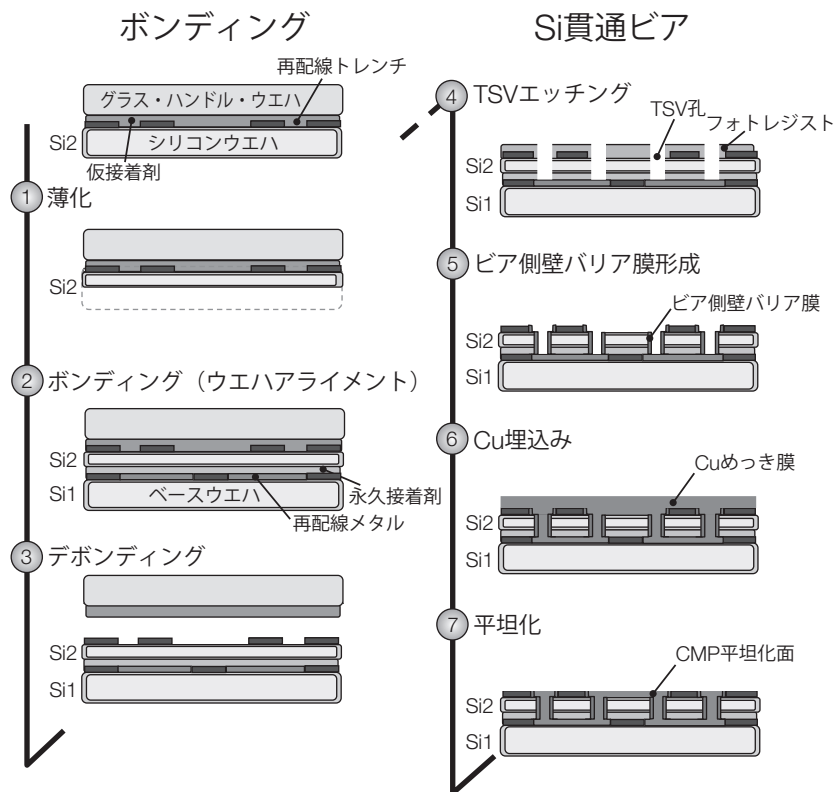


図-2 WOWプロセスフロー  
Fig.2-Wafer-on-Wafer (WOW) process flow.

ばれる。<sup>(5), (6)</sup>

### バンプレスTSVプロセス技術

バンプレス接続の利点は、バンプ高さを抑えることによる熱的な構造安定性の提供と、低抵抗コンタクトの形成である。LSIのCu配線のスケールに対して100万倍ものはるかに大きな体積のCuを使用するTSV構造ではビア近傍に、有機接着材料(52 ppm)とSi基板(2.6 ppm)、TSVを形成するCu(16.6 ppm)という大きな熱膨張係数(CTE: Coefficient of Thermal Expansion)のミスマッチと相まって、より大きな応力発生による周辺歪みを誘発し、デバイスパフォーマンスや信頼性、歩留まりなどに影響を与える。したがって、熱・構造的安定性の高いTSV構造を設計することは重要である。<sup>(7)</sup>

デバイス積層後にTSVプロセスを経て上下間を電氣的に接続するが、接合にバンプを使用しないバンプレスTSVプロセスの特徴は、ウエハ接着層の厚さがチップ間距離となるため、5 μm以下とい

う小さなチップ間ギャップが可能となり、多数積層した場合のパッケージングを薄くすることができる(図-3)。

今回、TSVとパッド・再配線層を同時に形成するデュアルダマシシ法を新たに開発した。そしてウエハレベルプロセスによるTSVエッチング、Cu充填、CMP平坦化に関して、従来の前工程ラインを活用することで、コスト的メリットも得られた。<sup>(8)</sup>このような特徴的なバンプレスプロセスと構造の利点を生かし、以下の3DI特性を向上できた。

- (1) チップ間ギャップがバンプ接続よりも1/8程度と小さいため多数積層したチップの総パッケージング厚さを薄くできる(同径電極比較)。例えば、薄化プロセスと合わせることで、3層積層したチップで195 μmであるバンプ積層に対してバンプレスでは55 μmと約1/3にすることが可能であり、モバイルフォンなどの極薄パッケージングにも有効である。
- (2) Cu-TSV接続がシームレスであるために従来のはんだ接合を使用したマイクロバンプと比べて

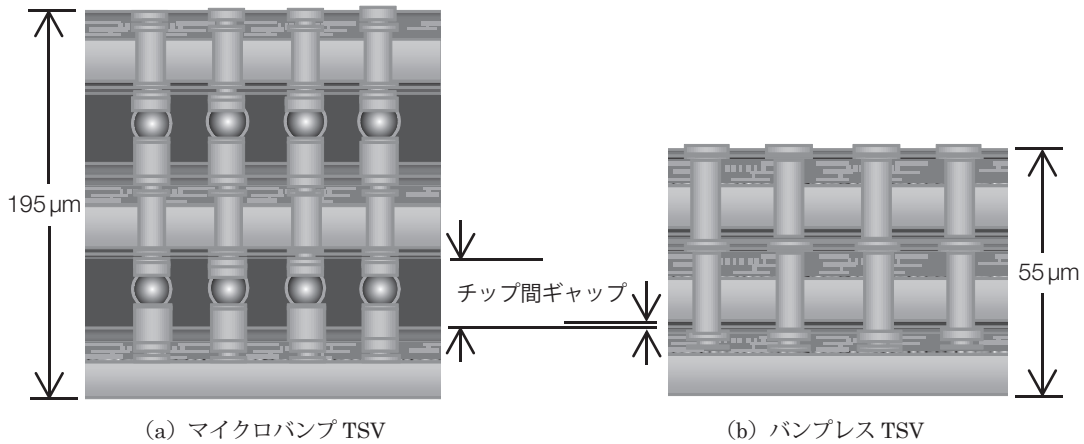


図-3 マイクロバンプTSVとバンプレスTSVのチップ間ギャップの比較  
Fig.3-Comparison of  $\mu$ -bump and bump-less TSV with Si-to-Si gap.

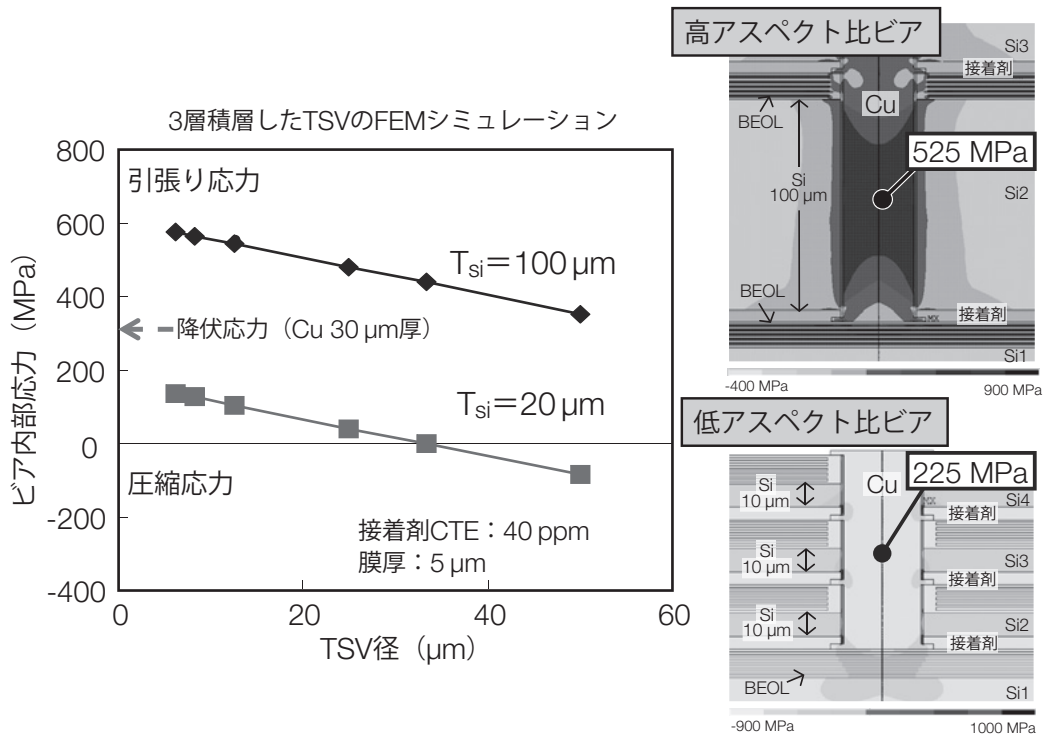


図-4 TSV内部残留応力のビアアスペクト比依存性  
Fig.4-Via aspect ratio dependence of TSV inside stress.

コンタクト抵抗が1/30と低い。コンタクト抵抗の低さは小径ビアデザインも可能となるため、同一抵抗値換算ではI/O面積が従来の7.8%に抑えられ設計的なメリットが得られる。

(3) Siの厚さが10  $\mu\text{m}$ 以下と極薄化したチップを使用することでTSVの深さを浅くでき、さらに、デュアルダマシン法による平坦化技術と合わせることで、エッチング加工とメタル埋込み工程に

おいて製造容易性と高いコスト的メリットの両方が達成できた。

(4) 低アスペクト比のCu-TSVは信頼性に影響を与えるビア内部の残留応力が低い。一般的な100  $\mu\text{m}$ 深さのビア中央の525 MPaのCu残留応力に対して10  $\mu\text{m}$ の浅いビアにすることで約半分以下の225 MPaと応力は小さく、周辺に与える影響が低く信頼性も高い(図-4)。

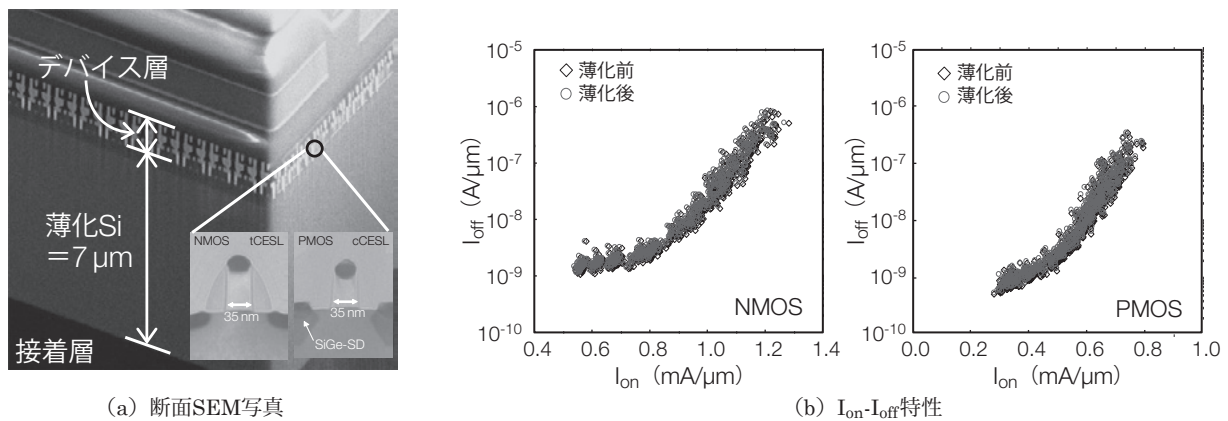


図-5 薄さ7  $\mu\text{m}$ まで薄化した45-nm世代の歪みトランジスタの断面SEM写真とNMOSとPMOSの $I_{\text{on}}$ - $I_{\text{off}}$ 特性  
 Fig.5-Cross-sectional SEM image of 45 nm-node strained Tr after being thinned down to 7  $\mu\text{m}$  and comparison of  $I_{\text{on}}$ - $I_{\text{off}}$  characteristics of NMOS and PMOS FETs.

- (5) ビア形成のタイミングがビラストプロセスであるため、プロセスの低温化（200℃以下）が可能である。低温化プロセスは有機材料の適用範囲が広がるとともに、Cu-TSVの熱・機械的変形を小さくすることが可能である。
- (6) バリア性の高い低温プラズマ化学気相成長（PE-CVD：Plasma-Enhanced Chemical Vapor Deposition）材料の適用と材料特性を制御することで、高いCu拡散防止性能を備えたTSVプロセス設計技術を構築した<sup>(9)</sup>

### デバイス薄化積層技術

デバイス特性のウエハ薄化の影響を45 nmノードのハイパフォーマンスCMOS技術の歪みトランジスタとNCS（ナノクリスタリングシリカ）ポーラスLow-k/Cu配線を搭載した300 mmウエハを用いて調べた<sup>(10)</sup> WOWプロセスを用いて725  $\mu\text{m}$ のSi基板をUPG技術を用いて7  $\mu\text{m}$ まで薄化した。薄化後のデバイスウエハは有機系接着剤を用いてSi基板にボンディングし、サポートガラスウエハはデボンドした {図-5 (a)}。薄化後のデバイス特性では、PMOS、NMOSともに薄化前後でのチャンネルのオン電流 ( $I_{\text{on}}$ )、オフ電流 ( $I_{\text{off}}$ ) に違いは見られていない {図-5 (b)}。PMOSのホール移動度がチャンネルの歪みに大きく影響されることが知られているが、極薄化プロセスにおいて機械的な歪みが誘発されていないことが分かる。また、ジャンクションリーク特性の変化や、機械的強度がSiO<sub>2</sub>より1/5と弱いCu/Low-k配線層の電気的特性の変化も薄化

プロセス前後では見られていない。

200 mm不揮発性メモリ（FeRAM）デバイスにおいても同様にBGとCMP処理後の9  $\mu\text{m}$ 薄化ウエハの特性評価も行った。メモリ素子の中で最も高いスイッチング速度を持っているFeRAMでも、強誘電体（PZT）のスイッチングチャージ特性に、薄化前後で特性の変化は見られなかった。ウエハプロセス中の吸湿や水素に影響を受けやすいPZTは、CMPプロセス中でも影響を受けていないことが明らかになった<sup>(11)</sup>

デバイス薄化特性の結果は、ウエハ積層工程である薄化、ボンディング、デボンディングの一連のプロセスにおいて、CMOSトランジスタやBEOL（Back End Of Line）配線特性、メモリ素子に影響を与えず、10  $\mu\text{m}$ 以下の極薄化転写貼合プロセスが可能であり、その後のTSVプロセスの製造容易性の高い低アスペクトビアプロセスの実現性を証明した。

### TSV構造の信頼性評価

10  $\mu\text{m}$ に薄化したウエハをBEOL配線ウエハ上に積層しTSVで接続した構造の断面FIB-SEM（Focused Ion Beam-Scanning Electron Microscope）像を図-6に示す。TSV径は12  $\mu\text{m}$ で冗長性と機能性を持たせるためにマルチビア構造を採用している。ボトムアップ成長と平坦化を両立させた電解めっき法（ECD：Electrochemical Deposition）でCuを埋め込み、平坦化は高速レートCu CMPを用いたデュアルダマシン法を採用し

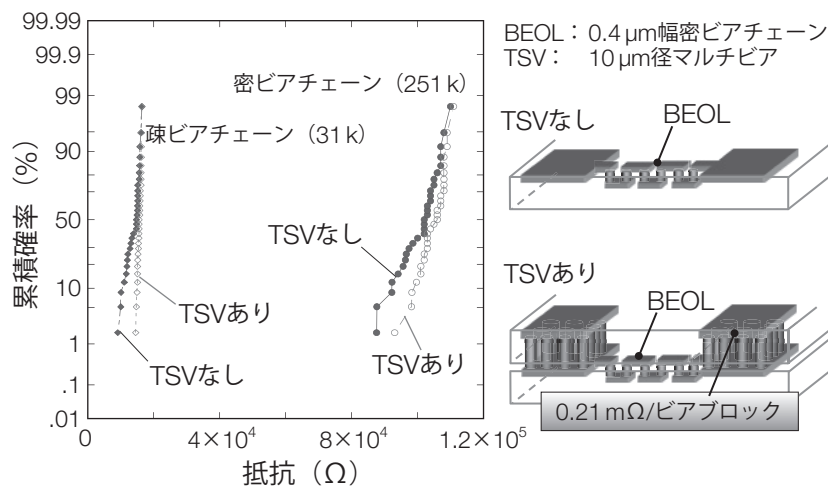


図-7 TSVプロセス前後でのCu-BEOLビアチェーン抵抗の歩留まり  
 Fig.7-Via chain resistance cumulative failure distribution of Cu BEOL interconnects with and without Cu-TSVs.

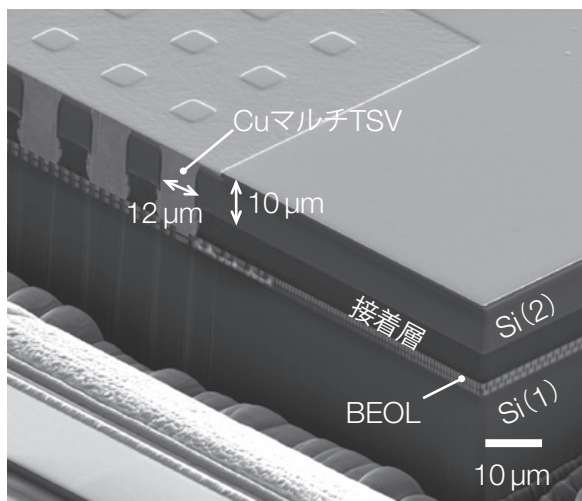


図-6 デバイス上に接続したマルチTSVの断面図  
 Fig.6-SEM image of bird's-eye view of TSVs connected with devices.

た<sup>(8)</sup> 絶縁膜バリアは150℃の低温PE-CVD法で形成し側壁膜厚は100 nmとした。比較的アスペクト比の小さなTSVはボイドもなく歩留まりの高さが分かる。TSVはパッド層を介してデバイス側の配線層と接続され、0.4 μmビアチェーンにつながっている。

図-7はTSV接続したBEOLビアチェーンの電気的特性評価結果である。電気的特性はビアチェーン規模が疎チェーン（31 000個ビア）と密チェーン（251 000個ビア）についてTSV工程の影響を調べた。TSV工程ありなしで電気抵抗に差が小さくウエハ面内の歩留まりも100%と良好であった。

信頼性試験であるサーマルサイクル（TC：-55～125℃，1000回）試験前後の抵抗変化においてもCu-TSVとBEOL配線の抵抗に変化は3%以下程度しか見られなかった。十分プロセス設計されたTSVのリーク電流特性は5 V印加の場合で $1 \times 10^{-10}$  A以下と低い特性が得られた。

良好な歩留まりとLSI動作が十分可能な良好なリーク特性，高い信頼性という結果はCu-TSVが周辺回路へ及ぼす影響がTSV工程前後で電氣的不良として現れておらず，本方法が3DIへ十分適用可能な完成度に達していることを表している。

む す び

富士通研究所は，東京大学を中心としたWOWアライアンスに参加し，ウエハレベルの3次元積層技術を開発した。極薄化積層プロセスではCMOSロジックやメモリデバイスの厚さを10 μmまで薄くする極薄化と積層技術，および形成温度200℃以下でバンプ不要のSi貫通ビア技術を開発し，高歩留りと信頼性の高さを実証するとともに，高帯域で，かつ低消費電力の3次元LSIの実現性を明らかにした。

参考文献

- (1) H. Kitada et al. : The influence of the size effect of copper interconnects on RC delay variability beyond 45nm technology. Proc. IITC, 2007, p.10-12.
- (2) A. Jourdain et al. : Simultaneous Cu-Cu and Compliant Dielectric Bonding for 3D Stacking of

- ICs. Proc. IITC, 2007, p.207-209.
- (3) F. Liu et al. : A 300-mm Wafer-Level Three-Dimensional Integration Scheme Using Tungsten Through-Silicon Via and Hybrid Cu-Adhesive Bonding. IEDM Tech. Dig., 2008, p.588-591.
- (4) N. Miyakawa : A 3D prototyping chip based on a wafer-level stacking technology. Proc. ASP-DAC, 2009, p.416-420.
- (5) N. Maeda et al. : Novel and production-worthy wafer-on-a-wafer (WOW) technology using self-aligned TSV (SALT) interconnect. Proc. Advanced Metallization Conf., 2008, p.91-92.
- (6) T. Ohba et al. : Thinned wafer multi-stack 3DI technology. Micro-electron. Eng. 87, 2010, p.485-490.
- (7) H. Kitada et al. : Stress sensitivity analysis on TSV structure of wafer-on-a-wafer (WOW) by the finite element method (FEM). Proc. IITC, 2009, p.107-109.
- (8) H. Kitada et al. : Planarization technology in the wafer level 3-dimensional integration. Proc. The Japan Society for Precision Engineering, Invited, 2009, p.295-296.
- (9) H. Kitada et al. : Development of low temperature dielectrics down to 150°C for multiple TSVs structure with Wafer-on-Wafer (WOW) technology. Proc. IITC, 2010, p.1-3.
- (10) Y. S. Kim et al. : Ultra Thinning 300-mm Wafer down to 7- $\mu$ m for 3D Wafer Integration on 45-nm Node CMOS using Strained Silicon and Cu/Low-k Interconnects. IEDM Tech. Dig., (2009) p.365-368.
- (11) N. Maeda et al. : Development of Sub 10- $\mu$ m Ultra-Thinning Technology using Device Wafers for 3D Manufacturing of Terabit Memory. VLSI Symp., 2010, p.105-106.

## 著者紹介



**北田秀樹** (きただ ひでき)

次世代ものづくり技術研究センター所属  
現在, 3次元集積化技術の研究開発に従事。



**中田義弘** (なかた よしひろ)

基盤技術研究所集積技術研究部 所属  
現在, 半導体関連材料の研究開発に従事。



**水島賢子** (みずしま よりこ)

次世代ものづくり技術研究センター所属  
現在, 3次元集積化技術の研究開発に従事。



**中村友二** (なかむら ともじ)

基盤技術研究所 所属  
現在, LSI多層配線技術および3次元集積化技術の研究開発に従事。