次世代スーパーコンピュータ向け SPARC64Ⅷfxプロセッサの電力削減手法

Power Reduction Techniques of SPARC64VIIIfx Processor for Fujitsu's Next-Generation Supercomputer

● 川辺幸仁　● 菅　竜二　● 山下英男　● 岡野　廣

あらまし

SPARC64Ⅷfxは，富士通が開発するSPARC64シリーズのプロセッサであり，次世代スーパーコンピュータに搭載されている。本プロセッサは，前世代に当たるUNIXサーバ用プロセッサSPARC64Ⅶに対してSIMD命令の追加やレジスタ拡張といったHPC向けの演算性能強化が施された8コア，周波数2 GHzのプロセッサである。128 GFLOPSという高いピーク性能でありながら，水冷冷却方式を採用することなどによるリーク電力削減や，ゲートレベル電力解析フローによる電力解析値を基に無駄な電力を削減することにより，チップ電力58 Wという低い消費電力を達成した。これはSPARC64Ⅶと比較して電力あたり6倍という高い電力性能比になる。

本稿では，まずSPARC64Ⅷfxプロセッサの消費電力対策に用いた電力解析フローおよび本チップで適用したリーク電力・ダイナミック電力の削減手法について紹介する。つぎにコア部・チップ全体の最終的な電力解析結果，および電力測定結果について説明する。

Abstract

SPARC64VIIIfx is a processor chip in the SPARC64 series and is intended for use in Fujitsu's next-generation supercomputer. SPARC64VIIIfx has eight processor cores operating at 2 GHz clock frequency. Compared with the previous-generation SPARC64 processor, SPARC64VII for Unix servers, the performance of the processor cores has been enhanced with HPC extensions (which include SIMD instruction support and register extensions). SPARC64VIIIfx has achieved a power consumption as low as 58 W with a peak performance of 128 GFLOPS by employing a method of reducing leak power such as water cooling and with various dynamic power reduction techniques using power analysis results by gate-level power analysis flow. The achieved performance per watt is six times larger than the previous processor chip, SPARC64VII. This paper will introduce SPARC64VIIIfx power analysis flow and some of the leakage power and dynamic power reduction techniques applied in the SPARC64VIIIfx design. It will go on to show power analysis results at the chip and core level and measured power consumptions of a sample chip, and make a comparison with the power analysis results.

ま え が き

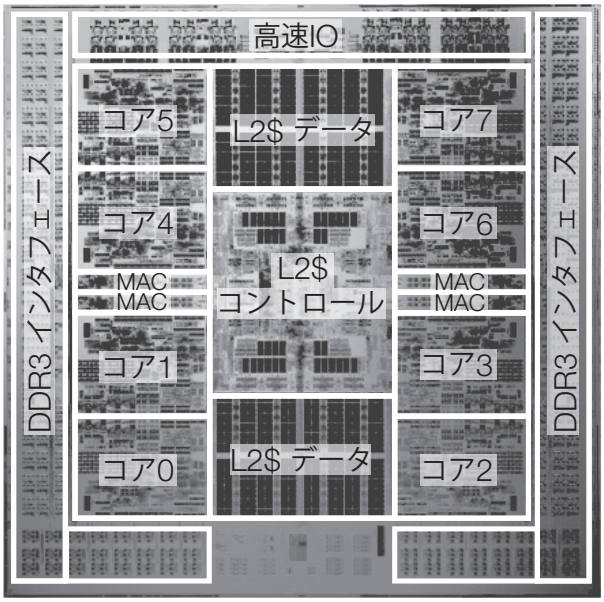
現在，製造業，気象，天文など様々な分野でコンピュータシミュレーションが用いられており，超高性能な計算機であるスーパーコンピュータの重要性が増している。スーパーコンピュータの性能は年々向上し，数年前からペタFLOPS級のものが出てきている。しかし，それに伴い計算に要する消費電力も増加している。GREEN500リスト[1]から分かるとおり，スーパーコンピュータのシステム消費電力はメガワットのオーダに達しており，ペタスケールや将来のエクサスケールの計算機システムにとって，給電設備や電気代などの電力コストの削減や高密度実装のための熱対策などの観点で消費電力の削減は必須である。このため，スーパーコンピュータの主要な電力消費要因であるプロセッサにおいても性能向上と同時に消費電力削減が今後ますます重要となる。

本稿では，著者らが開発した富士通の次世代スーパーコンピュータ用プロセッサSPARC64Ⅷfx[2]の電力解析方法および電力削減方法について説明する。

SPARC64Ⅷfxの概略

SPARC64Ⅷfxのチップイメージを**図-1**に，チップ諸元を**表-1**に示す。本チップは，設計のベースとなっているSPARC64シリーズ[3]の前世代チップであるUNIXサーバ向けプロセッサSPARC64Ⅶに対して，SIMD（Single Instruction Multiple Data）命令の追加，科学演算向けの命令拡張，浮動小数点レジスタの32エントリから256エントリへの大幅な容量増加といったHPC（High Performance Computing）向けの演算機能拡張やコア数の増強（4→8）を行っている。[2] クロック周波数は2 GHz，ピーク性能は128 GFLOPSである。

これに対して，チップ全体の消費電力がピーク動作時に58 W（@TYP，30℃）以下という設計制約があり，これは既存プロセッサSPARC64Ⅶに対して電力あたり6倍の性能を実現するという厳しい消費電力目標であった。



$：キャッシュ

図-1　SPARC64Ⅷfxチップイメージ
Fig.1-SPARC64Ⅷfx chip image.

消費電力解析フロー

前世代のSPARC64Ⅶのチップ設計では消費電力解析は機能モジュール単位の平均動作率を用いて電力解析を行っていたため，機能モジュール単位の消費電力は把握できたが個々のセル・マクロの消費電力が把握できていなかった。本チップでは，より徹底した消費電力削減を行うためにゲートレベルの電力解析フローを導入した（**図-2**）。[4] 設計ではこの電力解析の結果から得られるセル・マクロ単位の消費電力情報を基に消費電力対策箇所の絞り込み，電力対策の実施，電力削減効果の確認などを行ってきた。

電力解析に用いる動作率情報は論理エミュレー

表-1　SPARC64Ⅷfx チップ諸元

アーキテクチャ	SPARC-V9/HPC-ACE拡張 SIMD命令 256エントリFPR
	8コア
	32 KバイトL1I$，32 KバイトL1D$
	6 MB共有L2$
	動作周波数　2 GHz
ピーク性能	演算性能　128 GFLOPS
	メモリスループット　64 Gバイト/秒
そのほか	FSL 45 nm CMOS
	22.7 mm×22.6 mm
	760 Mトランジスタ
	信号ピン数1271

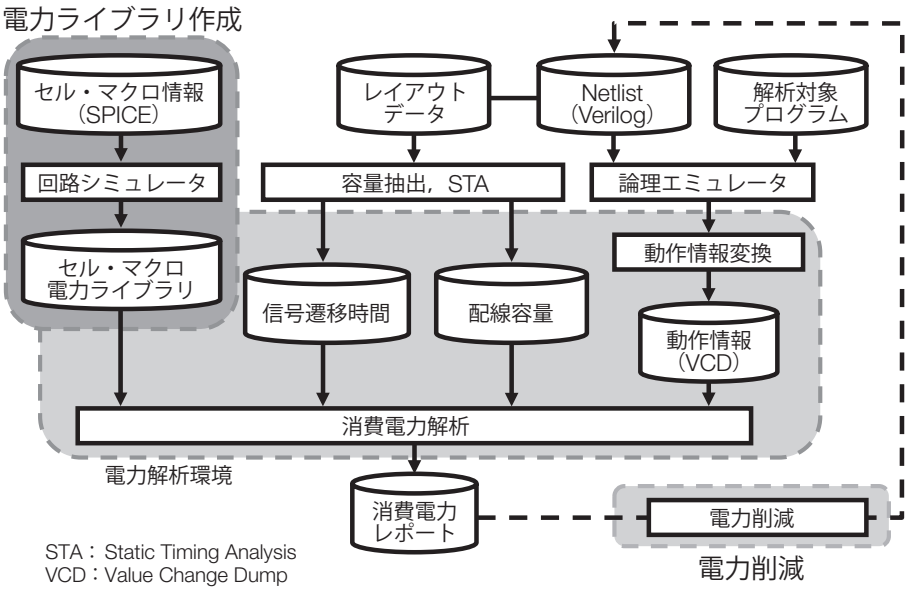


図-2　消費電力解析フロー
Fig.2-Power analysis flow.

タ上でサイクルベースの論理シミュレーションによって取得したクロックサイクル単位の動作情報を用いている。動作情報としてチップ内の全ネットおよびセル端子の動作率を取得しており，生成する動作情報のファイルサイズや電力解析時間の増大を抑えるため，論理シミュレーション期間全体の中から演算器の使用率がピーク値で安定している3000サイクル程度の区間をいくつか選び，その期間に絞って詳細な動作情報を取得して電力解析を行った。

つぎに，電力ライブラリについて説明する。電力ライブラリとは，回路要素であるセル・マクロといった個々の素子の消費電力に関する情報を定義したファイルであり，ゲートレベルの電力解析ではこの電力ライブラリに定義された情報を基にセル・マクロの消費電力を計算する。本チップの電力解析で用いるセル・マクロのうち，スタンダードセル，IOセル，およびRAMマクロについては回路シミュレーションを基に電力ライブラリを作成した。また，本チップはRTL設計ではなくゲートレベル設計であったため，高速化などの目的でカスタムマクロの種類が非常に多く，これら大量のカスタムマクロに対してすべて高精細な電力ライブラリを作成するのは現実的ではなかった。このため，カスタムマクロについては物量による電力見積りをベースとした簡易ライブラリを作成した。電力値としてはトランジスタ種類ごとの総トランジスタ幅を基に見積もったリーク電力およびダイナミック電力を用い，ダイナミック電力はマクロの端子にスイッチング電力として割り振ることでライブラリ化した。順序回路のマクロについては総トランジスタ幅のうちの一定の割合をラッチとみなしてその分の電力をそのマクロのクロック端子の動作時電力として割り当てている。

レジスタファイルマクロについては当初はほかのカスタムマクロと同様の電力ライブラリ生成を行っていたが，電力解析の結果得られたマクロ単体の消費電力値がほかのカスタムマクロと比べて非常に大きかったため，RAMマクロと同様に回路シミュレーションで得られた電力値を基に高精度な電力ライブラリを作成した。

また，本チップはゲートレベル設計のため，多入力AND，多入力OR，多入力AND-ORといった多段のCMOSで構成された比較的複雑な構造のセルが多数ある。このようなセルではセル内部の入力端子がつながる回路が消費する電力と，出力端子側の回路が消費する電力を分けて考えた。入力側の回路が動作したときの消費電力をその回路がつながる入力端子に定義し，出力側回路の消費電力を出力端子に定義するように電力ライブラリ化

することにより，出力遷移を伴わないセル動作でも電力が過小見積りとならないようにした。

設計時にはチップ全体の電力解析を継続的に行い，それに基づいて各機能ブロックへの電力目標値の設定・達成度の確認・見直しを行った。機能ブロック設計側では，設定された目標値に向けてマイクロアーキテクチャのレベルの改善からセル・マクロレベルの改善までμW ～ mWオーダの電力削減を積み重ねていった。

消費電力削減方法

LSIの消費電力は大きく分けて回路が動作していないときでも流れ続ける漏れ電流によって消費されるリーク電力と，回路が動作することによって消費されるダイナミック電力がある。本章では，リーク電力とダイナミック電力について，その削減方法を紹介する。

● リーク電力

本チップでは，リーク電力を削減するためにチップの冷却に水冷方式を用いた。これによりプロセッサの動作温度は30℃以下に保たれる。水冷による電力削減の効果は，例えば動作温度（接合温度）が85℃の場合と30℃の場合を比較すると，チップ全体で7 Wの電力削減効果（Typicalプロセス条件）となる。

さらに，設計で主として使用するトランジスタとして，標準的なトランジスタよりチャネル長が15％長いものを使用することによりリーク電力を削減している。この長チャネルトランジスタは標準のトランジスタよりリーク電力が数分の1程度であり，チップの全論理セルのうち91.5％がこの長チャネルトランジスタを使用している。残りは，高速セルとして標準のチャネル長のセルを0.1％使用し，さらに長チャネルトランジスタよりリーク電力が小さいHigh-Vthトランジスタを用いたセルをホールド対策バッファなどの用途で8.4％程度使用している。

これにより，本チップでは周波数に与える影響を最低限に抑えた条件でリーク電力が大幅に削減され，消費電力対策としてダイナミック電力の削減に注力することができた。

SPARC64Ⅷfxでは最大電力評価用プログラムとしてTOP500ランキング[(5)]で用いられる数値計算ベンチマークLINPACKの主要演算部分を模擬したプログラムを用い，設計では本プログラム実行時の消費電力を削減するように電力対策を行った。このプログラムはチップ内に32個あるFMA（Floating Multiply-and-Add）演算器で倍精度浮動小数点乗加算命令をほぼ100％実行する。つぎに，本チップで行った無駄なダイナミック電力の削減方法についていくつか紹介する。

● ダイナミック電力

今回，分岐予測回路に新しくsingle-loop entry bufferという機構を取り入れた。分岐予測テーブルから読み出した情報をこのバッファに格納し，同一の演算ループが連続して実行される場合のように同一アドレスの“Taken”な分岐命令が連続したときに，つぎの命令のアドレスを分岐予測テーブルではなくこの小規模なバッファから読み出すというものである。これにより，このような演算ループで分岐予測テーブルのRAMアクセスが減少し，本プログラム実行時の消費電力をチップ全体で890 mW削減した。

L1キャッシュでは2サイクルアクセスのpipelined-RAMを使用している。もともとこれらのRAMは2サイクル連続してアクセスがなかった場合しかクロックを止められなかったが，RAMマクロの仕様変更を行い，新たにパイプラインステージごとのクロック抑止機能を追加することでRAMを使わないサイクルでの不要なクロック動作をより細かく抑止した。これにより16サイクルあたり5サイクル分の電力削減となり，チップ全体で540 mW削減した。

また，浮動小数点レジスタ（FPR）についても無駄な読出し電力の削減を行った。演算に使用するデータを演算器に供給する際，もとの回路では演算データがFPR以外からバイパスされて演算器に供給される場合でもFPRの読出しアドレスが変化し，無駄にFPRが動作していた。バイパス時にFPRのアドレス供給元のラッチのクロックを抑止することによりFPRの無駄な動作を抑止し，これにより消費電力を1.4 W削減した。

このほか，チップ全体でクロックゲーティングなどによる無駄動作の削減を徹底し，遅延制約を超えない範囲で大きなセルをより小さなセルに置き換えるセルサイズ調整ツールの使用なども行った。

消費電力解析結果

本解析フローによるコア内の各機能ユニットの設計初期および最終的な消費電力解析の結果を**図-3**に示す。設計初期のコア部の消費電力は約6 Wであったが，最終的な消費電力は4.4 Wまで削減されている。回路要素ごとの削減内容では，前章で挙げた電力削減方法などによりレジスタファイルやRAMマクロの消費電力が削減されており，さらにクロックゲーティングなどによる全体的に無駄な消費電力の削減により，クロック電力やロジック部の消費電力も減少している。

チップ全体の最終的な電力解析結果は設計目標であった58 W以下を達成した。全消費電力のうち，

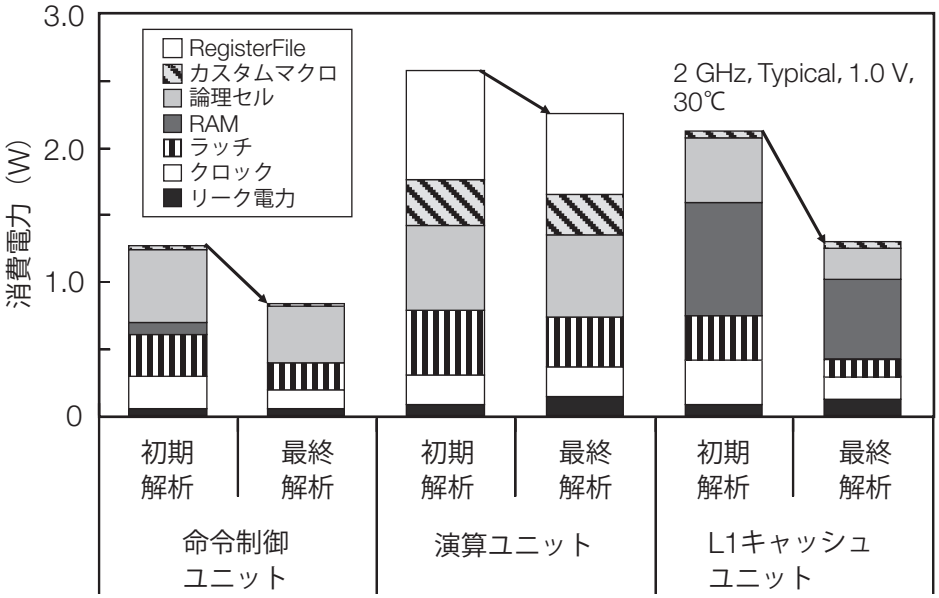


図-3　コア部消費電力解析結果
Fig.3-Power analysis result of processor core.

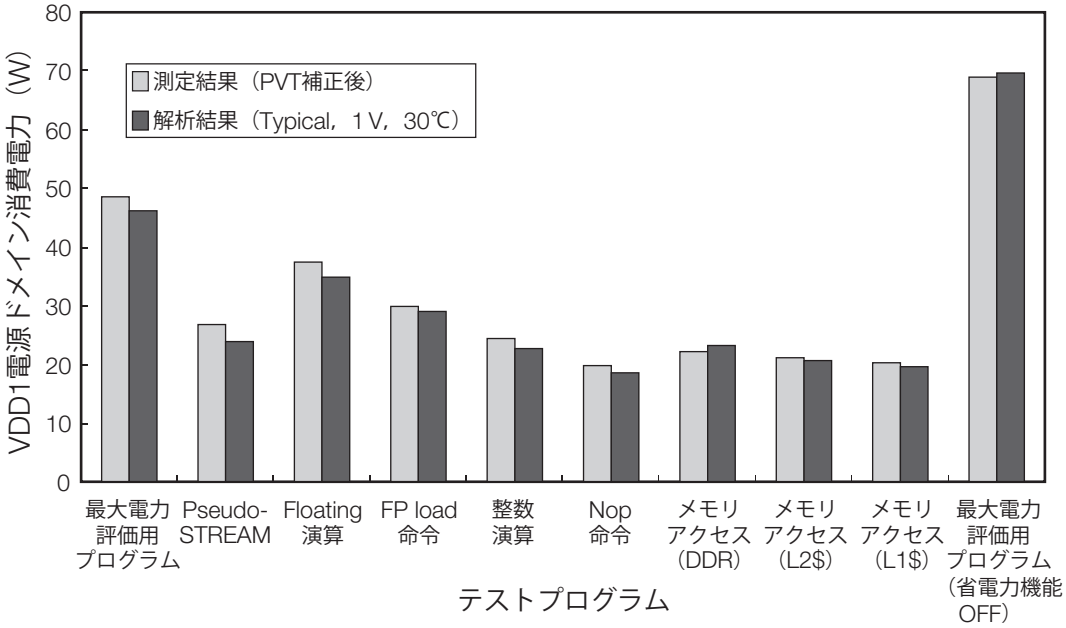


図-4　電力測定結果（サンプルチップ）と解析値の比較
Fig.4-Comparison between power measurement and power analysis results.

リーク電力はチップ全体の10％程度となっている。

電力解析はTypicalプロセス条件で行っているが，製造されたチップのばらつきに応じてチップごとに印加電圧を調整する方式（ASV：Adaptive Supply Voltage）[6]を適用することにより，スーパーコンピュータシステム全体の平均チップ消費電力も58 W以下となる。

消費電力測定結果

図-4は，プロセッサの消費電力のうちチップ内部の論理に供給されている電源ドメイン（VDD1＝1.0 V）の消費電力について，テストボードにおいて様々なプログラムをサンプルチップで実行した際の消費電力と，それに対応する電力解析結果とを比較したものである。電力測定値は測定条件を電力解析条件と合わせるように温度・プロセスの補正を行っている。チップの最大消費電力58 Wのうち，図-4に載せたVDD1の消費電力は48 W程度である。なお，一番右のグラフは最大電力評価用プログラムでチップの設定によりクロックゲーティングなどの電力抑止機能の一部を無効にした場合の電力であり，参考値として載せている。

図-4から分かるように，電力解析値は電力測定結果と非常によく合っている。

む　す　び

本稿では，次世代スーパーコンピュータ用プロセッサSPARC64Ⅷfxの電力解析および電力削減手法について紹介した。

水冷方式などによるリーク電力の削減，および高精度な電力解析に基づく様々な消費電力の削減により，SPARC64Ⅷfxプロセッサはピーク性能128 GFLOPSという高い演算性能を持ちながら最大電力消費プログラムでのチップ電力58 Wという低消費電力を達成した。

参考文献

(1) THE GREEN500：Ranking the World's Most ENERGY-EFFICIENT SUPERCOMPUTERS. http://www.green500.org/

(2) T. Maruyama：SPARC64™ VIIIfx：Fujitsu's New Generation Octo Core Processor for PETA Scale Computing. HotChips21，August 25，2009.

(3) 丸山拓巳ほか：SPARC64プロセッサの過去・現在・未来．*FUJITSU*，Vol.61，No.6，p.526-530（2010）.

(4) H. Okano et al.：Fine Grained Power Analysis and Low-Power Techniques of a 128GFLOPS/58W SPARC64™ VIIIfx Processor for Peta-scale Computing. Symposium on VLSI Circuits，June 18，2010.

(5) TOP500 SUPERCOMPUTER SITES. http://www.top500.org/

(6) H. Okano et al.：Supply Voltage Adjustment Technique for Low Power Consumption and its Application to SOCs with Multiple Threshold Voltage CMOS. Digest of Technical Papers. 2006 Symposium on VLSI Circuits，p.208-209（2006）.

著者紹介

川辺幸仁（かわべ　ゆきひと）
プラットフォームテクノロジー研究所
デザインソリューション研究部 所属
現在，LSI設計早期の消費電力見積り関連の研究に従事。

山下英男（やました　ひでお）
エンタープライズサーバ事業本部プロセッサ開発統括部 所属
現在，プロセッサの開発に従事。

菅　竜二（かん　りゅうじ）
エンタープライズサーバ事業本部プロセッサ開発統括部 所属
現在，CPUの演算器部分の設計に従事。

岡野　廣（おかの　ひろし）
プラットフォームテクノロジー研究所
デザインソリューション研究部 所属
現在，主に集積回路の低消費電力化技術の研究開発に従事。