サーバ向け高速伝送技術

High-Speed Interconnect Technology for Servers

あらまし

富士通は、大容量のデータを高速で伝送するという顧客のニーズに応えるべく、サーバ 向けの高速伝送技術開発に取り組んでいる。高速伝送技術はそれを支える高速送受信回路と 高速信号伝送路により構成されており、それらを最適に組み合わせることで目標性能を達成 している。

本稿では、高速送受信回路開発への取組み方法として送受信回路の構成を説明する。また、実際の回路を評価する目的の試作チップでは伝送レートが20 Gbpsクラスの伝送波形も 観測されており、本結果についての紹介を行う。さらに、高速信号伝送路については、信号 を安定に伝播させるためにシミュレーション精度向上の取組みを紹介する。全体での精度向 上を図るためには、伝送路を構成する各部品を精度良く評価してシミュレーションモデルへ 反映させることがポイントとなってくる。

Abstract

We are developing high-speed interconnect technology for servers to meet customers' needs for transmitting huge amounts of data as quickly as possible. High-speed interconnect technology consists of high-speed I/O circuits and high-speed printed circuit boards (PCBs), and these technologies are optimized to achieve the target performance. This paper explains the architecture of I/O circuits that are part of efforts to develop high-speed transmission circuits. It also introduces the results of testing a prototype chip that was built to evaluate 20 Gbps transmission. It goes on to explain efforts for improving simulation accuracy so that high-speed signals can be sent stably. For accurate simulations, we think it is important to accurately evaluate each part that makes up the transmission line and reflect the results in a simulation model.



安達裕幸(あたち ひろゆき) エンタブライズサーバ事業本部テク ノロジ開発統括部所属 現在、サーバにおける高速伝送技術 開発に従事。



山田 順(やまだ じゅん)
エンタプライズサーバ事業本部テク
ノロジ開発統括部 所属
現在、サーバにおける高速伝送技術
開発、主に送受信回路開発に従事。



水谷康志 (みずたに やすし)

エンタプライズサーバ事業本部テク ノロジ開発統括部所属 現在,サーバにおける高速伝送技術 開発,主に高速伝送基板の開発に 従事。 ⊭

特

まえがき

サーバにはプロセッサを中心に複数のLSIが搭載 されており、これら複数のLSI間を数Gbpsのス ピードで信号伝送している。伝送レートは2年で2倍 程度の勢いで進み、高速伝送技術が競合他社との大 きな差別化要因になっている。

高速伝送を実現するには、最新の半導体テクノロ ジで開発された各LSIに搭載される送受信回路と、 その信号を伝送させる高性能基板の高速化が必要で ある。著者らはこれら送受信回路開発ならびに基板 の仕様決定を行い、それらを最適に組み合わせるこ とで目標性能を達成させ顧客に提供している。また、 高速伝送を実現するとともに安定動作も重要な開発 要件であり、開発時に考慮すべき項目である。

本稿では、高速伝送技術を支える最新の高速送受 信回路の開発動向,ならびに基板上での高速伝送に 必要となる安定動作に関する技術開発について述 べる。

高速送受信回路

● 技術的課題

従来のサーバではシステム内部の高速信号伝送は 1 Gbpsクラスの信号を並列に多数配置するパラレ ル型インタフェースと呼ばれる方式が用いられてい た。ここ数年,サーバ向けCPUの性能向上に伴い, CPUチップ全体の総信号スループット向上が求め られている。しかし,既存の信号伝送回路は, Single-Endと呼ばれる1本で1ビット分の伝送を行 う回路方式を採用しており,とくに多数の信号が同 時変化する場合のノイズの影響により高速化が難し かった。

そのため,著者らは次世代の高性能かつ高信頼性 サーバ用途に最適化した10~20 Gbpsのバックプ レーン伝送対応高速送受信回路技術開発に取り組ん でおり,信号の高速化を目的として今回新規に差動 シリアル型インタフェースを採用した。差動信号伝 送は,1ビットあたり2本の信号線を必要とするが, Single-End伝送と比較してノイズ発生が少なく, 外来ノイズの影響を除去できる特性を持っており, 高速化に適している利点がある。ただし,信号波形 復元や高精度タイミング制御の観点で,高度なアナ ログ回路設計技術が要求される点が課題である。 また、この高速送受信回路については高集積化が 必要なCPUに搭載することが必須であり、回路設 計時期に特性が変動しやすい最先端半導体製造プロ セスを使って開発しなければならない点も課題と なる。

さらに、近年の環境負荷低減意識の高まりに呼応 して、低消費電力化および省スペース化も開発目標 に設定している。チップ上の省スペース化を実現す ることにより、多数の送受信回路を半導体チップに 搭載可能となるメリットもあり、結果的に総信号ス ループットを増強し、システム性能の向上にも寄与 できる。しかし、最先端半導体デバイスはリーク電 力が大きいため、低消費電力化が難しく、またアナ ログ回路部分の省スペース化も難しいことが判明し ている。

上記の新規採用技術や開発目標に付随する技術的 課題を解決する目的で、シミュレーションやテスト チップ開発・評価を通じて回路構成の最適化に取り 組んでいる。

また,高信頼性サーバ搭載の要件を満足する目的 で,高速送受信回路の内部の要所にα線耐性ラッ チを適用するとともにパリティエラー検出回路を新 たに追加する方針としている。

● 適用技術

高速送受信回路の構成を図-1に示す。左側のTX (送信側回路)からボード配線などの伝送路を経由 して右側のRX(受信側回路)に対して差動伝送方 式を用いて信号を伝送する。シリアライザは、チッ プ内部の比較的低速なクロックで駆動されるパラレ ルデータを高速なクロックで駆動されるシリアル データに変換する回路である。FFE(Feed Forward Equalizer)は、伝送路における高周波信 号の損失を補償する(あらかじめ高周波を強調した 信号を生成する)回路であり、その信号を差動出力 回路で伝送路に対して出力する。伝送路には通常, 直流成分を除去するためのキャパシタが直列に接続 される。伝送路を経由してRXに与えられた信号は, 差動入力回路に内蔵された LE (Linear Equalizer)で、減衰した高周波成分を増幅して信 号品質を向上させる。その後段でDFE(Decision Feedback Equalizer) と呼ばれる回路に印加する。 DFEは、過去の信号の論理情報に基づいて、現在 の論理判定閾値を変更することにより信号品質を



図-1 高速送受信回路構成 Fig.1-Block diagram of high-speed transceiver circuit.

向上する回路であり,高周波損失が大きい伝送路を 信号伝送する場合に効果を発揮する。RX内部のLE とDFEについては、イコライザ制御回路が自動的 に最適値を設定する機構になっている(1) DFEで受 信した論理データはデシリアライザを通して比較的 低速なパラレルデータに変換して、チップ内部回路 に出力する。DFE部でデータ受信するタイミング は、PLL(Phase Locked Loop) で発生した高速ク ロックをDCC (Duty Cycle Corrector) で立上りと 立下りの両方のクロックエッジ関係を調整した後, PI (Phase Interpolator) でクロックエッジ位相を 精密に調整することで高精度のデータストローブが 可能となる。PIの位相設定はデータエッジの情報 をCDR (Clock Data Recovery) でデジタル的に フィルタリングして自動的にデータ有効窓の中央に クロック位相を調整する機構になっている。

テストチップの概要を図-2に示す。本テストチッ プは要素回路全体を評価する目的で設計した。

図・2のテストチップの送信側から出力された波形 の実測結果を図-3に示す。目標である10~20 Gbps で良好な波形品質が得られており、また信号受信側 の動作確認も実施し、要素技術として完成に近づい ていると判断している。

これまでに複数のテストチップを開発しており, その評価結果を踏まえてシミュレーションモデルの 精度向上を図るなど,実物とシミュレーションの両 面から技術開発を推進している。

今後は製品化に向けての詳細設計に取り組むとと もに,将来的な性能向上のための先行技術開発も取 組みを開始する。



図-2 テストチップ概要 Fig.2-Outline of test chip.

高速信号伝送路

● 伝送路とプリント基板の特性

伝送路で発生する信号の減衰や反射ノイズによる 信号波形の劣化が、高速伝送を実現する際の阻害要 因となる。とくにバックプレーン伝送においては、 プリント基板の配線が長く、伝送路が複数のプリン ト基板にまたがって構成されることから、これらの 影響は大きくなる。図-4は、プリント基板内25 cm の伝送路と、バックプレーンを含んだ3枚のプリン ト基板によって構成された合計65 cmの伝送路にお ける通過特性(S21)の実測結果である。10 GHz における伝送損失を比較すると、前者が-7 dB、後 者が-28 dBであるが、これは送信回路から出力した



印加データ: PRBS31 (Pseudo Random Bit Sequence 31)

図-3 テストチップ出力波形 Fig.3-Waveform of test chip's output.



信号の大きさ(振幅)が受信回路に到達するとそれ ぞれ19.95%,0.16%になることを意味しており, バックプレーン伝送における高速伝送の難度が高い ことが分かる。

伝送路を通過する際に発生する電気信号の減衰は, 信号導体の表皮効果による導体損と,絶縁材の誘電 正接($\tan \delta$)による誘電損と呼ばれる現象が原因 となって発生する。導体損は信号導体表面粗さの低 減,誘電損は $\tan \delta$ の小さい材料(低誘電材)を使 うことで改善する。図-5は、プリント基板材料の違 いによる伝送路通過特性(S21)の実測結果である。 Sample#Aは、標準的な表面粗さの導体と誘電材, Sample#Bは、表面粗さを低減させた導体と低誘電 材を使用している。それぞれ、プリント基板の配線 幅や配線長は同じであるが、伝送損失には大きな違 いがある。

伝送路で発生する反射ノイズは、伝送路を構成す る要素間の接続部(ビアや部品のフットプリント) における特性インピーダンスの不整合(乱れ)が原 因となって生じる。このため、反射ノイズの影響を 低減するインピーダンスマッチングを取ったプリン



図-5 プリント基板材料特性の比較 Fig.5-Comparison of PCB material characteristics.

ト基板のデザイン(実装設計)が重要となる。図-6 は伝送路を構成する表面実装コネクタ部品のフット プリント形状最適化によるインピーダンスマッチン グの実施例である。GNDパッド形状とGNDビアの 配置を変更してインピーダンスマッチングを取るこ とで伝送波形品質が大きく改善される。

● 実測・検証・評価

これら伝送路で発生する現象を正確に検証するた めには,試作による伝送路特性の実測取得が有効で あるが,サーバのプリント基板上には1000本以上 の配線が存在するため,すべての伝送路を試作評価 することは不可能であり,シミュレーションを用い た検証が必須となる。以下に伝送路の特性評価の取 組みについて紹介する。

シミュレーションをベースにした伝送路の検証を 行うためには、シミュレーションと実測結果が高い 精度で一致する必要がある。このとき、伝送路全体 の特性を実測で抽出した結果とシミュレーション結 果を合わせこむことは本質ではない。伝送路はプリ ント基板の配線や、コネクタ、ビアなど複数の要素 で構成されるため、両者が一致しない場合、どちら

サーバ向け高速伝送技術

に問題があるのか,どの伝送路構成要素において誤 差が出ているのかも判断できない。また,仮に一致 しても,伝送路の条件が異なると誤差が無視できな くなる可能性がある。よって,伝送路の特性評価を 行うために最も大切なことは,伝送路全体の特性で はなく,伝送路構成要素個々の特性を正確に抽出し, 検証することである。図-7,図-8において実測精度 の確認を行うとともに,この過程で任意の伝送路を 評価する手法の有効性について証明する。

図-7は、ベクトルネットワークアナライザを用い てそれぞれ同じプリント基板配線の伝送路特性をS パラメータとして実測抽出し、Sパラメータをモデ ルに使った伝送シミュレーションの信号波形である。 図-7(a)は伝送路全体の特性を抽出したもので、 図-7(b)は伝送路構成要素個々を個別に抽出して から足し合わせたものであるが、両者は高い精度で





図-8 測定系の影響 Fig.8-Effect of measurement system.

一致している。これは、伝送路構成要素個々を正確 に測定できていることと、伝送路構成要素個々を組 み合わせて任意の伝送路が検証できることを証明し ている。

このように伝送路構成要素個々を個別に実測抽出 する場合,例えば、ビアのような小さい伝送路構成 要素においては、測定結果に含まれる測定系の影響 が無視できず、精度を悪化させる。よって、測定系 の影響をリジェクトするキャリブレーション技術が 本評価手法の成立に必須となる⁽²⁾図-7(b)は既に 測定系の影響をリジェクトしたものであるが、測定 系の影響をリジェクトする前の結果を図-8に示す。 本結果からキャリブレーション技術の重要性が確認 できる。

高い精度の実測結果と測定した伝送路の断面観察 結果などを電磁界シミュレーションにフィードバッ クすることで、精度の高い伝送路モデルを生成する ことも可能となる。これによって、試作評価では限 界がある物理的な製造ばらつき評価や網羅的な伝送 路条件の組合せ評価が加速する。

これらの検証技術を使って実施した伝送シミュ レーション波形と,測定器から実際に信号を伝送さ せた実測波形を重ねて表示したものを図-9に示す。 シミュレーション結果は電源ノイズや測定器内の発 振器が持つジッタ成分を含んでいないが,両者の波 形は綺麗に重なっており,高い精度で一致している ことが確認できる。

以上の取組みによって,20 Gbps伝送における伝 送路の検証手法は確立した。これらの取組みは高速 信号伝送路の特性を限界まで引き出すための技術で あると言える。

伝送路特性の正確な検証は、プリント基板の設計



図-9 シミュレーションと実測の伝送波形比較 Fig.9-Comparison between simulated and measured transmission waveforms.

だけでなく,送受信回路の試作や設計検証にも貢献 する。20 Gbps+伝送においては,さらに微小な伝 送路構成要素の影響も無視できなくなると考えられ, 測定精度およびシミュレーション精度向上の取組み を継続している。



本稿ではサーバ向け高速伝送技術について説明した。

サーバの性能向上要求は今後も増え続け,ますま す高速伝送のための技術開発は重要になると考えら れる。

現状は、電気信号による伝送が主流であるが、シ リコンフォトニクスの進歩によりLSIから光信号が 出てきて、基板の中を光信号が走り回る光サーバの 時代もそう遠くないとも言われている。これらの先 行技術を見据えながら、今後も高速化に向けた技術 開発に取り組み、サーバの性能向上要求を支えてい くとともに、安定動作は重要な案件であり、並行し て取り組んで顧客への価値提供を図っていきたい。

参考文献

- Y. Hidaka et al. : A 4-Channel 10.3 Gb/s Backplane Transceiver Macro with 35 dB Equalizer and Sign-Based Zero-Forcing Adaptive Control. ISSCC2009, 10-5, February 2009.
- (2) 水谷大輔:プリント配線基板材料の評価・解析技
 術. *FUJITSU*, Vol.61, No.1, p.52-57 (2010).