

高性能プロセッサのクロック設計技術

Clock Design Technology for High-Performance Processors

あらまし

サーバに搭載される高性能プロセッサにおいて、高周波クロック信号をチップ全体に分配するための設計技術を紹介する。クロック同期方式では、プロセッサ内のすべての同期式順序回路に、同じタイミングでクロック信号が到達するように設計しなければならない。クロック周波数の高速化、チップサイズの増大、低抵抗配線の使用により、チップ内配線のインダクタンスの影響が無視できなくなっているため、設計時にはインダクタンスを十分考慮する必要がある。本技術は、クロックのスキューやクロストークノイズを抑えるための回路設計技術、またその技術を実際のチップ内に実現するCAD技術から構成される。さらに、実際に設計したクロック回路をシミュレーションして、クロック伝送におけるインダクタンスの影響を設計段階で電氣的に解析することができ、プロセッサの高性能化に貢献している。

Abstract

This paper introduces technology used in designing high-performance processors installed in servers so that they can distribute high-frequency clock signals among the whole chip. Clock synchronization systems must be designed so that clock signals can reach all synchronous sequential circuits in the processor at the same time. The influence of interconnect inductance cannot be ignored because clock frequencies have been getting higher, chip sizes have been getting larger, and low-resistance interconnects have appeared. Therefore, it is necessary to give sufficient consideration to inductance when designing such systems. The technology introduced in this paper uses both circuit design techniques to suppress clock skew and crosstalk noise, and CAD techniques which employ these techniques in an actual chip. The influence of inductance in clock transmission can be analyzed electrically by simulating actually designed clock circuits at the design stage, and this can help lead to higher performance processors.



石坂欣也 (いしざか きんや)
エンタプライズサーバ事業本部テク
ノロジ開発統括部 所属
現在、高性能プロセッサ向けテク
ノロジの開発に従事。



小松裕成 (こまつ ひろあき)
エンタプライズサーバ事業本部テク
ノロジ開発統括部 所属
現在、プロセッサ用LSI実装CADシ
ステムの開発に従事。

トランスペアレントタイプのラッチを使用している。このタイプはクロックがアクティブの状態を入力データが常に出力へ転送されるので、レーシング（ラッチの出力データが確定する前に、前段から伝播される入力データが変化してしまい、その結果次段に誤ったデータを出力してしまうこと）の発生に注意しなければならない。そのため、Duty 50%の信号ではなく、より狭いパルス幅（数十psオーダ）の信号をクロックとして、ラッチに入力している。ただし、パルス幅が狭いことにより、チップのばらつきによってはパルスが消滅しラッチが動作しないおそれがあるので、パルス幅を広げる機能を実装し、障害の調査や回避が可能な手段を確保している。

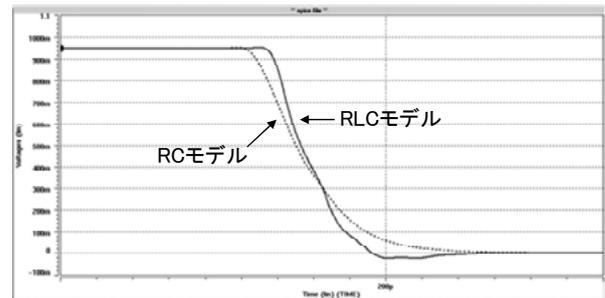
省電力対応としては、出力信号のEnable機能を実装したクロック分配バッファが用意されている。このバッファを用いて、動作しない領域への不要なクロック供給を遮断することで、アクティブ電力を削減している。

クロック信号配線のインダクタンス効果

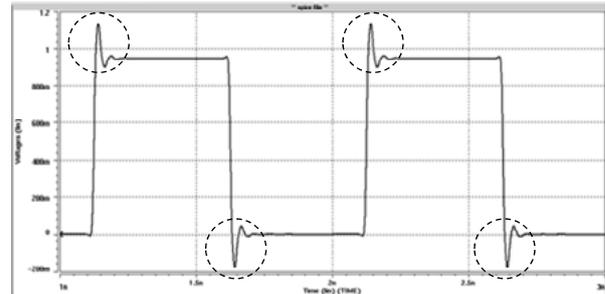
クロック信号は、一般データ信号に比べ、駆動能力の大きいバッファ、および幅広で厚みのある低抵抗の上層配線を用いて、高周波の長距離伝送を行う。そのため、インダクタンスの影響を無視できない。図-2 (a) は同じ配線に対してインダクタンスを考慮したRLCモデルと考慮しないRCモデルでシミュレーションを行った結果である。インダクタンス効果により、波形がより急峻になっていることが分かる。

また、インピーダンスの不整合により、オーバーシュート/アンダーシュート {図-2 (b)} や段差発生 {図-2 (c)} といった、波形異常が起こる場合がある。

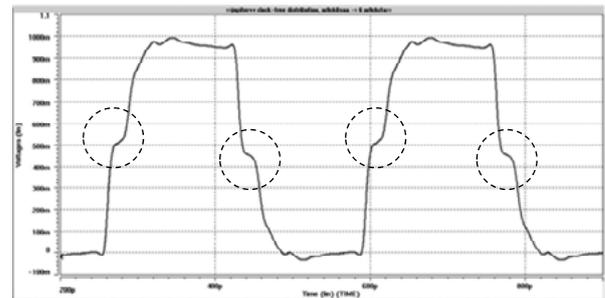
こういったインダクタンス効果は、回路設計時点できちんと把握しておかないと、実際のプロセッサで障害につながる可能性がある。インダクタンス効果を正確に扱うために、クロックパスのディレイ計算では、RLC配線モデルを使用したSPICE相当の回路シミュレーションによってディレイを算出している。これと同時に波形チェックも行っており、波形が異常であると判断した場合は、クロック配線経路やバッファの配置位置、バッファの駆動能力を変



(a) RLCモデルとRCモデルの波形の違い



(b) オーバーシュート/アンダーシュートの発生



(c) 波形異常（段差）の発生

図-2 インダクタンス効果
Fig.2-Inductance effect.

更することで、正常な波形が得られるよう修正を行っている。

ノイズを抑えるための配線形状

クロック配線のインダクタンスが大きいと、周囲の配線に与える誘導性のクロストークノイズが大きくなる。また、クロック配線と周囲の配線の容量結合によるクロストークノイズにも注意しなければならない。これらの影響をできるだけ小さく抑えるため、クロック配線の近傍に専用電源配線でシールドを張り、ノイズを低減する対策を取っている (図-3)。

クロック信号配線の周囲には何本ものシールド電源配線が平行に配置されているが、これらはクロック信号電流の帰還電流路としての働きを持つ。シールド電源配線をクロック信号配線のできるだけ近くに配置することで、ループインダクタンスを小さく

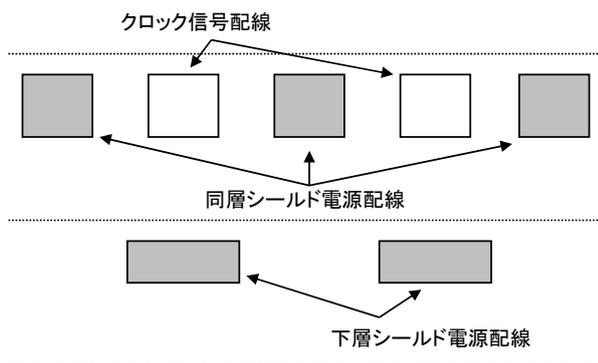


図-3 クロック配線の断面図
Fig.3-Cross-sectional view of clock wiring.

している。さらに、クロック配線を細かく分割しストライプ状にすることで、より多くの帰還電流路を設けることができ、ループインダクタンスがより小さくなる。この結果、誘導性のクロストークノイズが減少する⁽¹⁾

また、シールド電源配線が存在することで、クロック配線と一般データ配線との容量結合が小さくなるので、容量性のクロストークノイズも減少する。

さらに、クロック配線の周囲がシールド電源配線によって堅ろうに囲まれているので、配線のインダクタンスと容量の抽出が容易となるメリットがある。

CADサポート（配線機能）

先端テクノロジーを使ったプロセッサ設計では、ラッチへ供給されるクロックの最終分配の出力ネットは自動配線を適用する。しかし、クロックスキューなどタイミング上の制約がある最終分配出力ネットより前のクリティカルなクロック分配ネットに対しては、制約を守るための設計者の意図が反映しやすいよう会話型配線エディタを使って、マニュアルによる配線を行っている^{(2),(3)}

シールドを挟んだクロック配線を引くとき、配線層を変えて配線する場合は、図-4に示すように、分割された配線やシールド配線それぞれでビアを取る非常に複雑な形状になる。この複雑に分割された状態で配線作業を行うとすると、初期配線のみならず、その後の修正作業にも多大な時間が必要となる。この配線の編集作業を容易にするために、「1本化配線」「下層シールド配線の連動配線」の二つの機能を実現した。

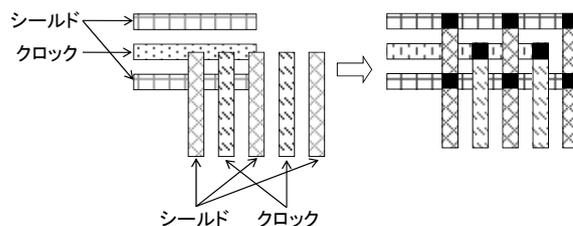


図-4 分割配線とその配線層乗換え
Fig.4-Divided wiring and wiring layer crossover.

(1) 1本化配線

1本化配線は、複数の配線を1本の仮想的な配線で代表させる手法である。同一層の複数の配線全体を包含する幅を持つ仮想的な配線幅を定義する。配線作業は、会話型配線エディタを使って1本化の状態で行う {図-5 (a)}。この配線作業が完了後、専用のツールを実行して、分割ルールに従って1本化配線から実体となる分割配線を作り出す {図-5 (b)}。CADデータベース上では、一つのネットに対して実体となる分割配線と仮想的な1本化配線の2種類のデータを持ち、データ上区別することができるようにした。また、仮想配線の幅を一般配線に使用する配線幅には存在しない幅とすることで、幅のみの情報で元のクロック配線が分かるようになっている。定義した仮想配線を実配線と同じように扱うことにより、同層で分割された配線を連動して操作することが可能になり、一般配線の編集と同じ作業性が提供できる。副次的な効果として、1本化により描画する図形が減り、視認性向上も実現できた。

(2) 下層シールド配線の連動配線

つぎに、作業性の向上と作業ミスの削減のために、下層シールド電源配線を持つクロック配線では、上層クロック配線に連動して下層シールド電源配線を発生させた。また、編集時には信号であるクロック配線とみなし、ビア接続やチェック時には電源配線とみなせるように、電源と区別した専用のシールド配線種別を定義した。これは、データをグループ化して扱いやすくするためである。

なお、上述した1本化配線では、スペーシングなどのデザインルールチェックを一般配線と同様に扱うと想定外の線幅により過剰なチェックを行ってしまう問題が発生する。そのため、チェックを行うときは実体となる分割配線の情報を取得することによ

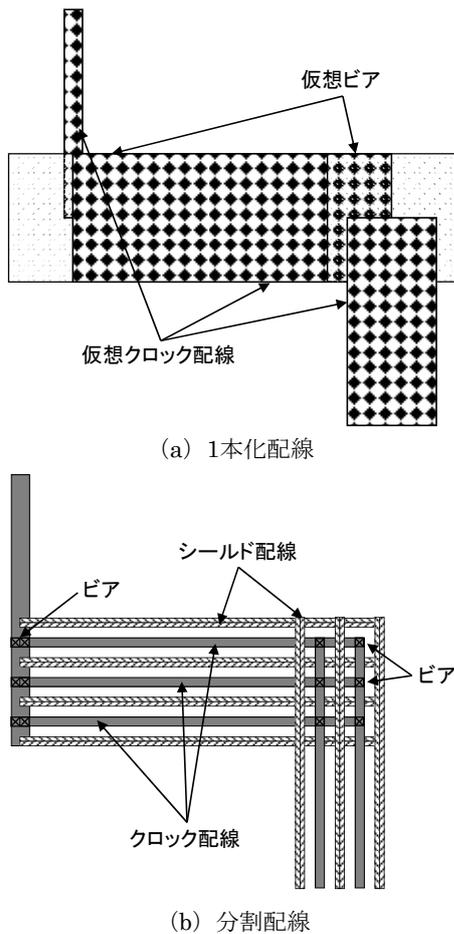


図-5 配線表現例

Fig.5-Example of wiring representation.

り解決した。仮想と実体の2種類の配線データをCADツールの処理内容に応じてどちらか一方を取り出せるように、統一したデータアクセス関数を使用することで実現し、CADプログラム側で分割操作を意識することなく処理できるようにした。仮想配線内に含まれるシールド電源配線が電源と接続されると仮想配線と電源との間でショートが発生するように見えるが、実体を見たチェック結果のみの表示や実体の配線情報を表示することにより、設計者が混乱しないように表現方法にも工夫を加えている。

CADサポート（ディレイ計算）

従来のクロック配線において、分割配線がなく実体も1本の配線であった場合には一つのネットの配線パターンの中に閉ループは発生しなかった。しかし、分割配線の場合は、配線層を変えるためにビアが打たれ、この部分で閉ループ箇所が発生する。そのため、一般的に使われているElmoreディレイモ

デルのような簡易的手法で配線ディレイを計算することができない。また、インダクタンス効果を考慮したディレイ計算を精度良く行うためには、SPICEシミュレーションに代表される波形を基にした解析からディレイ計算を行わなければならない。

一方、プロセッサの設計では、より正確なタイミング解析を行うために平坦化のために挿入されるダミーメタルと呼ばれるものや上層での配線の有無などを考慮する必要があるため、チップ全体での解析を行っている。チップ全体を扱うために、処理に要する時間、すなわちTAT (Turn-Around-Time) の長さは設計作業での重要な関心事である。言い換えると、チップ全体解析を行うには回路規模とTATが増大するという問題がある。

そこで、全体のタイミング解析精度を確保し、TATを短縮するために、クロック分配回路についてのみSPICE相当のディレイ計算を行うことにした。解析は、以下の四つの手順を実行することで進める。

- (1) 容量抽出結果からSPICEネットリストを生成
- (2) 段数・接続関係に着目した回路分割
- (3) 高速かつ高精度なSPICE互換ツールによる回路シミュレーションの実行
- (4) 解析結果のフィードバック

手順 (2) の回路分割は、クロック源となるPLLからラッチを駆動する最終段のチョッパまでのツリー構造を段数方向に三つのグループに分割し、第1グループから順に評価を行う。第2、第3グループにはツリー構造の開始点となる入力に複数存在する。これらの入力端子ごとに更に分割し、回路シミュレーションを並列に実行する。また、待ち行列を用いたシミュレーション実行管理システムを構築することにより、多数の回路シミュレーションを効率良く実行できるようにした。以上のような手法により、回路規模縮小と並列化による解析時間の短縮を実現した。

さらに、回路シミュレーション実行後の波形情報からオーバーシュート/アンダーシュート、段付き波形などの好ましくない波形形状を自動でチェックするシステムも構築した。大量のクロック波形データの目視チェックを自動化することで大幅な工数削減、ミス低減が実現できた。

む す び

本稿では、サーバ向け高性能・高速プロセッサで用いるクロック設計技術について、クロックのスキューやノイズを抑えるための回路技術や測定技術、実際のチップ内に実現するCAD技術について概要を紹介した。高クロック化を実現してきた技術の更なる進展と省電力化のための高クロック制御技術の開発を進めることで、プロセッサの高性能化に貢献し、サーバの競争力向上のための源泉となるよう努めたい。

参考文献

- (1) C.チェンほか：LSI配線の解析と合成．培風館，2003.
- (2) N. Ito et al. : A physical design methodology for 1.3 GHz SPARC64 microprocessor . International Conference on Computer Design, 2003, p.204-210.
- (3) 伊藤則之ほか：2.16 GHz SPARC64マイクロプロセッサ設計用タイミング・レイアウト設計手法．DA シンポジウム2005, p.255-260, 2005.