

# SPARC64プロセッサの過去・現在・未来

## Past, Present, and Future of SPARC64 Processors

### あらまし

SPARC64は、富士通が開発しているSPARC-V9アーキテクチャプロセッサのシリーズ名である。本プロセッサシリーズは1990年代から初代プロセッサの開発が始まり、2010年現在もなお新世代プロセッサの開発が継続的に行われている。初代のSPARC64プロセッサの周波数は118 MHz、トランジスタ数はわずか2千万個強であった。一方、最新のSPARC64 VIIIfxでは周波数が2 GHz、トランジスタ数が7億個以上に達している。

本稿では、時代のニーズに合わせて変革を遂げてきたSPARC64プロセッサの開発の歴史を振り返り、各世代の強化の変遷をたどる。

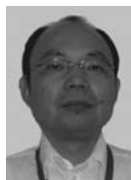
### Abstract

SPARC64 is the name of the series of SPARC-V9 architecture processors that Fujitsu has developed. The development of the first SPARC64 started in the 1990s, and the development of the latest generation is actively on going as of 2010. The processor frequency of the first SPARC64 was as little as 118 MHz and it had only 20 million transistors, while the processor frequency of the latest SPARC64 VIIIfx is 2 GHz and it has more than 700 million transistors. The SPARC64 series has evolved to meet the needs of a new era. This paper describes the history of the SPARC64 processor development, and the enhanced points of the each generation.



丸山拓巳  
(まるやま たくみ)

次世代テクニカルコンピュータ開発本部  
LSI開発統括部 所属  
現在、プロセッサの開発に従事。



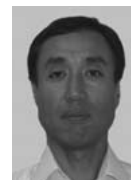
本車田 強  
(もとくるまだ つよし)

次世代テクニカルコンピュータ開発本部  
LSI開発統括部 所属  
現在、CPUコアの開発に従事。



森田國樹  
(もりた くにき)

次世代テクニカルコンピュータ開発本部  
LSI開発統括部 所属  
現在、二次キャッシュ制御部の開発に従事。



青木直純  
(あおき なおずみ)

次世代テクニカルコンピュータ開発本部  
LSI開発統括部 所属  
現在、システムアーキテクチャの開発に従事。

まえがき

SPARC64は、富士通が開発しているSPARC-V9アーキテクチャプロセッサのシリーズ名である。SPARC64プロセッサは1990年代から初代の開発が始まり、2010年現在もなお新世代の開発が継続的に行われている(図-1)。

1990年代前半は、SPARC以外にも様々なRISCプロセッサが台頭していた。しかし、現在ハイエンドプロセッサ用として生き残っているRISCプロセッサアーキテクチャは、SPARCとPOWERの二つにしか過ぎない。あるプロセッサは性能競争に破れ、別のあるプロセッサはその技術的先進性を高く評価されつつもマーケットで生き残ることができなかった。SPARCとPOWERはいずれもプロセッサ専業ベンダではなく、サーバベンダがプロセッサの開発を担ってきた。これは、プロセッサの優劣がプロセッサ単体ではなく、システムやOSといったサーバを構成するほかの要素と組み合わせて初めて決定されることを示唆している。

本稿では、SPARC64プロセッサ開発の歴史を振

り返り、各世代の強化の変遷をたどっていく。

SPARC64, SPARC64 II

SPARC64プロセッサは、富士通の米国子会社であったHAL Computer Systems(以下、HAL社)が開発したSPARC64<sup>(1)</sup>に端を発する。本プロセッサは出荷当時最先端を行くスーパースカラ、アウトオブオーダー方式を採用していたが、より重要なことはSPARC-V9命令セットアーキテクチャ<sup>(2)</sup>を確立させたことである。

SPARCアーキテクチャは、SPARC Internationalと呼ばれる非営利独立団体で維持されている。SPARC-V9は、本団体のArchitecture Committeeと呼ばれる委員会で協議・決定されたが、その多くはHAL社のメンバであった。

SPARC-V8に対して、SPARC-V9では64ビット化によるアドレス空間の増大、マルチプロセッサ対応、そして信頼性の向上といったサーバ用プロセッサに必須の要件を拡張している。

SPARC64, SPARC64 IIはサーバではなくワークステーション用のプロセッサとして使用されたが、

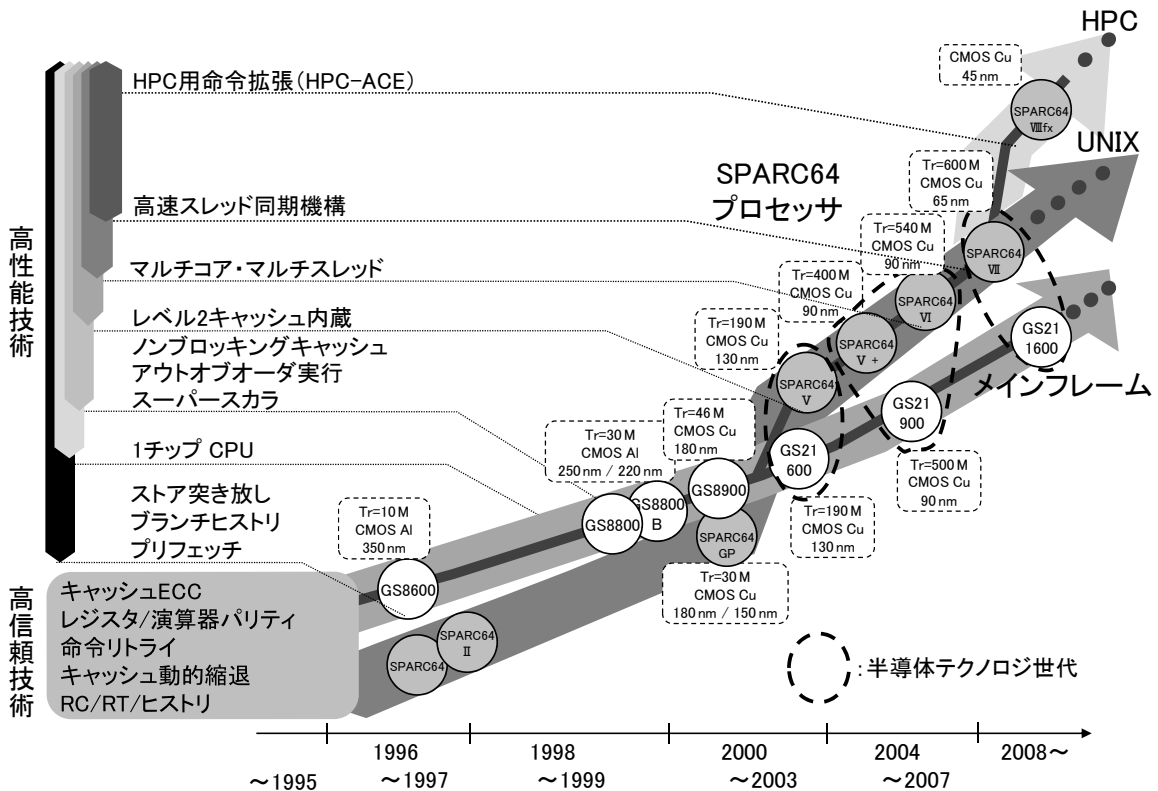


図-1 富士通のプロセッサ開発の歴史  
Fig.1-Development history of Fujitsu's processors.

SPARC-V9命令セットアーキテクチャにより、SPARCプロセッサをサーバとして使用する礎が築かれたと言える。

SPARC64は0.4  $\mu\text{m}$  CMOS (Complementary Metal Oxide Semiconductor) 半導体で開発され、周波数は118 MHzであった。CPUコアチップ1個、キャッシュチップ4個、およびMMUチップ1個を同一基板上に集約したMCM (Multi Chip Module) 構成をとっている。SPARC64 II では0.35  $\mu\text{m}$  CMOS半導体を用い、161 MHzにまで高速化された。

### SPARC64 GP

SPARC64 GPは前期型 (0.24  $\mu\text{m}$  CMOS半導体) がHAL社によって開発され、後期型 (0.15  $\mu\text{m}$  CMOS半導体) は富士通によって開発された<sup>3)</sup> SPARC64 GPはSPARC64の基本パイプライン構成を踏襲しつつシングルチップ化し、また大容量の外部レベル2キャッシュおよびマルチプロセッサ機能の追加を行ってサーバ用プロセッサとしての特徴を持たせた。キャッシュとバスインタフェースは二重化およびパリティなしECC (Error Check and Correct) による1ビットエラー訂正機構を備えており、当時のほかのUNIXプロセッサと比較して高い信頼性を確保していた。

SPARC64 GPは、富士通UNIXサーバであるGRANPOWER、そしてPRIMEPOWERのプロセッサとして使用された。PRIMEPOWER 2000では、SAP-SD2階層ベンチマークにおいて、当時の世界最高性能 (7800 users) を達成した。周波数は当初の250 MHzから、最終的には810 MHzにまで高速化されている。

### メインフレーム

富士通では、1990年代に入った頃から従来のECL (Emitter-Coupled Logic) からCMOSを使ったLSI開発に移っており、全機種でCMOSを使った新たなメインフレームシリーズであるGSシリーズを1995年に発表した。

GSシリーズ最初の製品であるGS8600では、2階層キャッシュシステム、ブランチヒストリ、ストアの突き放しや、プリフェッチ機構を導入した。2.5世代目となるGS8800Bでは、CPUの制御方式をロックステップパイプライン方式から、アウトオブ

オーダー制御のスーパースカラ方式へと大きく変更し、性能向上を図った。その後GS8900でキャッシュ部を完全新設計し、より洗練されたスーパースカラ方式のCPUを完成させた。このGS8900用に開発したCPU用のパイプラインが、つぎに述べるSPARC64 Vのベースとなった。

### SPARC64 V

SPARC64 Vは前期型が130 nm CMOS半導体、後期型が90 nm CMOS半導体を用いて開発された<sup>4),5)</sup> 周波数は当初1.35 GHzから始まり、最終的には2.16 GHzにまで高速化されている。

SPARC64 Vではパイプラインを一新し、メインフレーム用CPUのパイプラインと基本構造を同一とした<sup>6)</sup> いずれも4命令発行スーパースカラのアウトオブオーダー方式プロセッサでありながら、その構成はSPARC64 GPと大きく異なっている。

SPARC64 GPはパイプライン段数を短くし、サイクルあたりの実行命令数を上げることに主眼を置いた設計となっていた。一方SPARC64 Vパイプライン段数を増やすことで、より周波数を上げやすい構造としている。またハードウェアとしてはメモリアクセスをアウトオブオーダー実行して性能を向上させつつ、ソフトウェアからはSPARC-V9の規定するメモリアクセス順序に従って実行しているように見える工夫をしている。本技術もメインフレーム用CPUで開発したものを応用している。

SPARC64 Vの開発に当たっては、富士通研究所とともに性能評価モデルを新たに作成し、SPECやTPC-Cなど代表的なベンチマークの性能評価結果に基づいて詳細構造を決定した。さらにCPUのハードウェアリトライやSRAMのシングルビットエラーの完全救済、ヒストリ機能などメインフレームで採用していた高信頼性機構を初めてUNIX用CPUに適用した。

また富士通が開発するSPARC64シリーズとサンマイクロシステムズ社が開発するUltraSPARCシリーズ間でのOSの移植性をより高めるため、両社でJPS (Joint Programmer's Specification) という仕様を策定した<sup>7),8)</sup> SPARC64 V以降のSPARC64プロセッサはSPARC-V9およびJPSに準拠した命令セットアーキテクチャを採用している。

SPARC64 Vは、富士通のUNIXサーバである

PRIMEPOWERのプロセッサとして使用された。PRIMEPOWER 2500では、SAP-SD2階層ベンチマークにおいて当時の世界最高性能（21 000 users）を達成した。

### SPARC64 VI

SPARC64 VIは富士通とサンマイクロシステムズ社の共通UNIXサーバであるSPARC Enterprise用のプロセッサとして、SPARC64 Vをベースに拡張を行ったものである。富士通の90 nm CMOS半導体を用い、最高周波数は2.4 GHzであった。

SPARC64 VIではSPARC64 Vベースの二つのコアをチップに内蔵させ、各コアで2スレッドを実行させる構成を採用した<sup>(9)</sup> マルチスレッドは、VMT (Vertical Multi-Threading) と呼ぶイベントを契機としてスレッドを切り替える手法で実現している。SPARC64 Vコアをベースにマルチコア・マルチスレッド化することで、単体性能を犠牲にすることなく、スループットの大幅強化に成功した。

またCPUバスを新たに開発した。キャッシュコヒーレンシプロトコルとして通常用いられるMOESIプロトコルに対し、メインフレームでの経験を生かした独自のWステートを追加し、大規模トランザクション処理の高速化を図っている。

### SPARC64 VII

SPARC64 VIIでは、コア数を4コアに増強しSPARC64 VIから大幅な性能強化を図った。またマルチスレッド制御方式をVMTからSMT (Simultaneous Multi-Threading) に変更し、スループットを更に高める工夫を行っている<sup>(10)</sup> 富士通の65 nm CMOS半導体を用い、最高周波数は2010年9月現在2.88 GHzである。SPARC64 VIIはSPARC64 VIとCPUモジュールレベルでの互換性を持たせ、同一のSPARC Enterprise上でSPARC64 VIからのアップグレードを可能とした。

またSPARC64 VIIは、FX1テクニカルコンピューティングサーバ<sup>(11)</sup>のCPUとしても使用されるため、ハードバリアと呼ぶ高速スレッド同期機構、およびCPUバスの倍速化機構を実装した。FX1用に新規開発したJSC (Jupiter System Controller) と呼ぶASICチップと組み合わせることで、FX1に必要なメモリバンド幅を確保している。JSCは、SPARC

Enterprise M3000のチップセットとしても使用されている。

SPARC64 VIIを載せたSPARC Enterprise M9000は、SAP SD2階層ベンチマークにおいて、2010年7月に世界最高性能（39 100 users）を達成した。

### SPARC64 VIIIx

SPARC64 VIIIxはスーパーコンピュータ用として開発し、文部科学省「革新的ハイパフォーマンス・コンピューティング・インフラ (HPCI) の構築」計画のもとで開発が進められている「次世代スーパーコンピュータ」{愛称「京 (けい)」} で採用された。8個のコア、6 Mバイトのレベル2キャッシュなどから構成されている<sup>(12)</sup> SPARC64プロセッサとしてはメモリコントローラを初めて内蔵し、メモリ性能を大きく向上させた。富士通の45 nm CMOS半導体を用い、動作周波数は2 GHzである。

またHPC-ACE (High Performance Computing-Arithmetic Computational Extensions) と呼ぶ大規模な命令拡張を行った<sup>(13)</sup> 256本の倍精度浮動小数点レジスタや一つの命令で複数の演算を同時に実行するSIMD (Single Instruction Multiple Data) 技術、ソフトウェア制御可能キャッシュなど、高い実効演算性能を引き出すアーキテクチャとしている。

さらに省電力にも徹底的にこだわり、58 Wという極めて小さい消費電力を達成した<sup>(14)</sup> 低消費電力化のためにクロック周波数を2 GHzに抑えると同時に、動作していない回路へのクロック供給を停止させ無駄な電力消費を抑止している。また水冷によりCPU内部回路のリーク電流を低減した。

SPARC64 VIIIxの消費電力あたりの性能は、前世代のSPARC64 VIIの約6倍に向上している。

### 今後の取組み

図-1に示すとおり、富士通は高周波数化による単体性能の向上、マルチコア・マルチスレッドによるスループット性能の向上、演算・メモリ性能の向上、そして消費電力削減と、時代の要請に応じて様々な面からSPARC64プロセッサの価値を強化してきた。

今後は最重要課題である省電力化を更に推し進めつつ、アプリケーションに応じてプロセッサのアーキテクチャを進化させていくことで性能強化を図っていく。

## む す び

富士通はSPARC64 V以降、同一チームがスーパーコンピュータ用、UNIX用そしてメインフレーム用のプロセッサを設計するという世界でもユニークな開発体制をとり、技術を相互に展開することによってその価値を高めてきた。SPARC64プロセッサのメインフレーム譲りの高信頼性は、その一例である。

SPARC64プロセッサシリーズの開発の歴史は、15年以上に及ぶ。その間周波数は20倍、トランジスタ数は30倍以上に増大してきた。プロセッサのマイクロアーキテクチャや設計手法も様々な進歩してきた。しかし、根底に流れるものは変わらない。どのSPARC64プロセッサにも、より高みを目指す設計者の熱い思いが息づいている。

## 参考文献

- (1) N. Patkar et al. : Microarchitecture of HaL's CPU. *COMPCON'95*, p.259-266.
- (2) SPARC International : The SPARC Architecture Manual (Version 9).  
<http://www.sparc.org/standards/SPARCV9.pdf>
- (3) 引地 徹ほか : 64ビットRISCプロセッサ : SPARC64 GP. *FUJITSU*, Vol.51, No.4, p.226-231 (2000).
- (4) A. Inoue : Fujitsu's new SPARC64 V for Mission Critical Servers. *Microprocessor Forum*, October 15 (2002).
- (5) 井上愛一郎 : UNIXサーバ用プロセッサ : SPARC64 V. *FUJITSU*, Vol.53, No.6, p.450-455 (2002).
- (6) 井上愛一郎 : SPARC64 V/VIの高性能, 高信頼技術 : サイエнтиフィック・システム研究会科学技術分科会2006年度会合資料.  
[http://www.sskn.gr.jp/MAINSITE/download/newsletter/2006/sci/2/3\\_inoue.pdf](http://www.sskn.gr.jp/MAINSITE/download/newsletter/2006/sci/2/3_inoue.pdf)
- (7) 富士通 : SPARC Joint Programming Specification (JPS1) Commonality.  
<http://jp.fujitsu.com/solutions/hpc/brochures/>
- (8) 富士通 : SPARC JPS1 Implementation Specification SPARC64 V.  
<http://jp.fujitsu.com/solutions/hpc/brochures/>
- (9) A. Inoue : SPARC64 VI : A State of the Art Dual Core Processor. *Fall Processor Forum*, October 10 (2006).
- (10) T. Maruyama : SPARC64 VII : Fujitsu's Next Generation Quad-Core Processor. *Hot Chips 20*, August 26 (2008).
- (11) 阿部孝之ほか : JAXA統合スーパーコンピュータシステムー概要とシステムの中核「富士通のテクニカルコンピューティングサーバFX1. *FUJITSU*, Vol.59, No.5, p.520-526 (2008).
- (12) T. Maruyama et al. : SPARC64 VIII : A New-Generation Octocore Processor for Petascale Computing. *IEEE Micro*, Vol.30, No.2, p.30-40, (2010).
- (13) SPARC64 VIII Extensions.  
<http://jp.fujitsu.com/solutions/hpc/brochures/>
- (14) H. Okano et al. : Fine Grained Power Analysis and Low-Power Techniques of a 128GFLOPS/58W SPARC64<sup>TM</sup> VIII Processor for Peta-scale Computing. *Symposium on VLSI Circuits*, June 18, (2010).