

45 nm世代のCMOS LSI多層配線技術

Multilevel Interconnect Technology for 45-nm Node CMOS LSI

あらまし

45 nm世代のCMOS LSIの高速化に向けて、2.25の低い比誘電率と弾性率10 GPaの高い機械的強度を持つポーラスLow-k材料、ナノクラスタリングシリカ（NCS）を開発し、配線層、ビア層にNCSを適用したCu/Full-NCS多層配線の形成技術を確立した。Cu/Full-NCS多層配線は、ワイヤボンディングや樹脂パッケージ工程においてもCu配線の破壊を生じない高い信頼性を示した。

本稿では、まず45 nm世代のCMOS LSI多層配線技術として、ポーラス系Low-k材料NCSを紹介し、つぎにLow-k材料をLSI多層配線に適用する際の課題を述べ、最後にNCSを適用した45 nm世代のCMOS LSIの配線性能および信頼性について述べる。

Abstract

We have developed a novel porous low-k material called nano-clustering silica (NCS) which has a low dielectric constant ($k = 2.25$) and high film strength (Young's modulus $E = 10$ GPa), and established 45-nm node multilevel Cu/Full-NCS interconnects which use NCS in trench layers and via layers. Our Cu/Full-NCS interconnects are reliable enough to prevent the Cu interconnects from being damaged by the mechanical stress that occurs in wire bonding, packaging, and other processes. This paper describes the NCS characteristics and the problems that can occur when applying porous low-k material in Cu interconnects. Then, this paper describes the performances and reliability of our 45-nm node CMOS LSI.



中田義弘（なかた よしひろ）

基盤技術研究所新材料研究部 所属
現在、LSI用途の電子材料の研究開発に従事。



尾崎史朗（おざき しろう）

基盤技術研究所新材料研究部 所属
現在、LSI用途の電子材料の研究開発に従事。



工藤 寛（くどう ひろし）

富士通マイクロエレクトロニクス(株)
デバイス開発統括部第一デバイス開発部 所属
現在、45 nm世代のCMOS LSI多層配線のインテグレーション開発に従事。

まえがき

LSIの高速化はムーアの法則（スケーリング則）に基づく微細化で進展してきた。サーバなどのMPU（演算処理素子）や、モバイル機器などの主要素子では、現在、設計ルール45 nmの極微細な領域に到達している。

LSI素子寸法の微細化と動作速度（遅延時間）との関係を図-1に示す。トランジスタの遅延時間は素子寸法の縮小により減少し、微細化が素子の高速化に直接寄与している。一方、素子と素子をつなぐ配線は、微細化により遅延時間が増大する。微細化が進んでも配線の長さは同じ比率では短縮されず、一方で隣接する配線間のコンデンサ構造（寄生容量）に蓄積される電荷の影響が無視できなくなるためである。すなわち、配線間の寄生容量に電荷を充放電する時間が、信号伝達の遅延を増大させてしまう。とくに最小配線間隔が100 nm以下になると、寄生容量による配線遅延時間の増加がトランジスタの高速化を相殺し、LSIの動作速度を低下させるといった事態に陥る⁽¹⁾⁻⁽³⁾。ここで配線間の容量は、絶縁膜の誘電率に比例する。誘電率とは、電界中に物質を置いたときに生じる、分子や原子の電荷の偏り（誘電分極）の度合いを示す物理量である。本稿では、これを真空中の誘電率に対する相対値（比誘電率）で表す。寄生容量を低減するためには、誘電率を減少させることが不可欠となる。

微細化の進展に伴い、各設計ルールで必要とされる誘電率の要求値は、国際ロードマップ委員会が発行するITRS（International Technology Roadmap for Semiconductors）に記述されている。1999年

から2006年に発行されたITRSの低誘電率（Low-k）化の推移を図-2に示す。これは、ロードマップに記載された配線構造に基づき、配線の遅延時間を一定に保つために必要な絶縁膜の比誘電率を示している。比誘電率が2.5以下の絶縁膜は、Low-k化に伴い機械的強度が脆弱化するため、配線形成工程において膜が破壊しやすく、実用化の妨げとなっている。そのため、ロードマップの改訂ごとに、比誘電率の値が見直され、2.5以下の比誘電率を必要とする時期が延伸されている。

配線に用いられる絶縁膜は、高い絶縁性に加え十分な機械的強度が必要である。ウエハの研磨平坦化やワイヤボンディングなどの製造工程において、微細な配線に大きな応力が印加されるため、配線を破壊から守るために、絶縁膜の機械強度が重要となる。しかし絶縁膜の誘電率を小さくすると、機械的強度が低下するため、Low-k化した絶縁膜を用いて微細な配線を形成することが非常に難しくなる。

富士通では、低い比誘電率（2.25）と十分な機械的強度（弾性率10 GPa）を有するポーラス（多孔質）Low-k絶縁材料ナノクラスタリングシリカ（NCS：Nano Clustering Silica）を開発し、65 nm世代以降のCMOS LSIの配線間に適用した。

本稿では、まずLow-k絶縁膜（以下、Low-k膜）の課題とNCSの材料特性を述べ、つぎにLSI多層配線形成技術についての課題を述べる。そしてNCS適用した45 nm世代のCMOS LSI配線の性能および信頼性について述べる。

Low-k膜の課題

比誘電率2.5以下のLow-k膜を実現するためには、

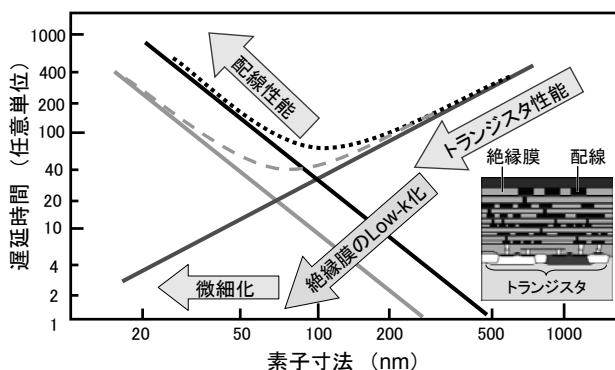


図-1 LSIの素子寸法と遅延時間の関係
Fig.1-Relationship between LSI dimension and delay time.

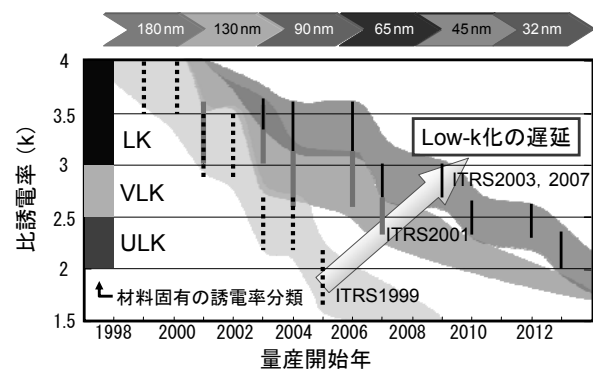


図-2 Low-k化の推移
Fig.2-Trend of decreasing k-value.

絶縁膜の内部に比誘電率がほぼ1の孔（これを空孔と呼ぶ）を形成する必要がある。開発初期は、テンプレートとなる物質を絶縁膜内部にあらかじめ分散させ、成膜時にテンプレートを分解除去して、空孔を形成する「テンプレート型ポーラス絶縁膜」が多くの機関から発表された。テンプレート型ポーラス絶縁膜は、空孔率を高めることで誘電率を低減させ、比誘電率2.5を下回るものまで調製可能である。しかしこの方法で形成したLow-k膜は、機械的強度が低く、配線構造の形成過程に化学物質が空孔内に浸透して、絶縁膜特性が変質しやすいという致命的な問題があった。機械的強度の低下や化学物質の浸透の主要因は、テンプレートを分解・気化させる孔形成プロセスにある。本方法ではテンプレートの分解で発生するガスの通り道が、長さ20 nmを超えるトンネル状の空孔（巨大連結ポア）やオープンポアとなり、空孔の形状、大きさやその分布制御が困難となる {図-3 (a)}。

NCSの開発コンセプトと特性

本章では、NCSの空孔形成技術と特性を従来のテンプレート型ポーラス絶縁膜と比較して示す。

NCSの開発では、テンプレート型ポーラス材料の課題を解決するため、以下に示す材料設計、コン

セプトでLow-k化を実現した {図-3 (b)}。

- (1) 巨大連結ポアや開孔を形成しないよう、あらかじめ空孔を形成した籠状分子構造のナノクラスタを調製し、そのナノクラスタを溶媒に分散した液体を、回転塗布して成膜する。
- (2) ナノクラスタに強力な化学反応触媒を共存させ、成膜後の加熱でナノクラスタ同士を強固に結合させる。

既存のテンプレート型ポーラス絶縁膜とは異なり、加熱によって分解・気化する成分を含まずに空孔を形成できるため、NCSは以下の優れた特長を持っている。

(1) 空孔サイズ

NCSは、微小空孔が均一に分散した構造を形成できるため、比誘電率2.25に相当する空孔を導入したテンプレート型ポーラス絶縁膜に含まれる、巨大連結ポアが検出されない。また、X線小角散乱法により求めた空孔サイズは平均2.8 nmであり、テンプレート型ポーラス絶縁膜の空孔サイズ11.2 nmと比較して、約1/4の微細化を達成した。

(2) 機械的強度

既存のテンプレート型ポーラス絶縁膜では、誘電率の低減、すなわち空孔率の増大に伴い、機械的強度の指標となる弾性率が著しく低下するため、高強

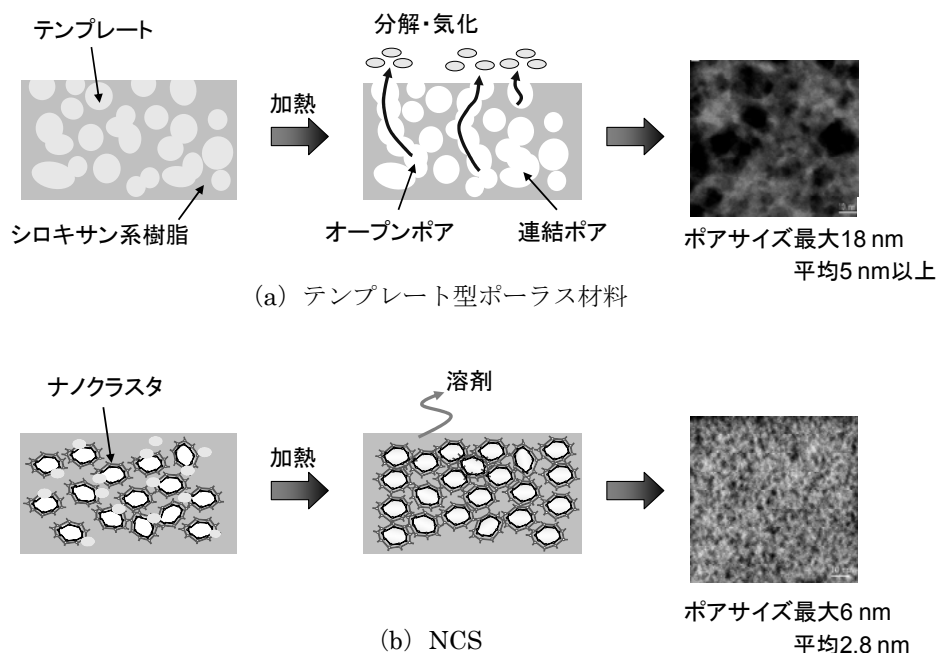


図-3 テンプレート型ポーラス材料の課題とNCSの開発コンセプト

Fig.3-Problem of template type porous materials and material design concept of NCS.

度化とLow-k化の両立が困難であった。これは、先に述べた巨大連結ポアの形成により、機械的強度の低下が避けられないからである。

一方NCSは、2003年度版ITRSが45 nm世代以降のCMOS LSI配線に対して要求する値より小さな比誘電率2.25において、弾性率10 GPaを達成した。これはテンプレート型ポーラス絶縁膜（4.8 GPa）の2倍以上の強度である。ナノクラスタによる空孔の微細化と、強力な触媒による強固な化学結合によるものと考えられる。

(3) 絶縁性

NCSは、テンプレート型ポーラス絶縁膜と比べて4桁以上の高い絶縁性を示し、印加電界0.2 MV/cmにおける漏れ電流値 4.6×10^{-11} A/cm²は、CMOS LSI多層配線用材料として十分な絶縁性が得られている。

Cu/NCS多層配線形成技術

本章では、Low-k膜を多層配線に適用する際の課題とNCSを用いた45 nm多層配線形成技術について述べる。

多層配線形成工程を図-4に示す。ここでは、多層配線形成工程における課題のみを説明するため、第1層目の配線形成工程とそれを接続するビアホール

の形成工程を省略している。

まずビアホールを形成した基板に、配線溝を加工するためのレジストをパターンニングする {図-4 (a)}。そして、このレジストパターンをマスクとし、フッ素系プラズマによってLow-k膜をエッチングし、配線を形成するための配線溝を加工する {図-4 (b)}。つぎに、レジストパターンを酸素プラズマによって除去し {図-4 (c)}、Low-k膜への銅の拡散を防止するためのバリアメタル、および銅めっきの電極として必要なSeed Cuをスパッタによって製膜する {図-4 (d)}。さらに、めっきによって配線溝へ銅を充填し {図-4 (e)}、最後に配線を分離するため、余剰分の銅をCMPによって研磨して取り除く {図-4 (f)}。

以上が一般的な多層配線形成工程であるが、Low-k膜を適用した際に問題となるのが、先に述べたような脆弱な膜強度により発生するCMP工程での膜破壊と同時に、もう一つの大きな問題として、ドライエッチング時のプラズマダメージによる膜特性の劣化である。

ドライエッチングを分子レベルで解説すると、フッ素や酸素のプラズマ化で生成するイオンやラジカルによって、Low-k膜の骨格となるシロキサン結合を分断・ガス化させて除去するというものである。

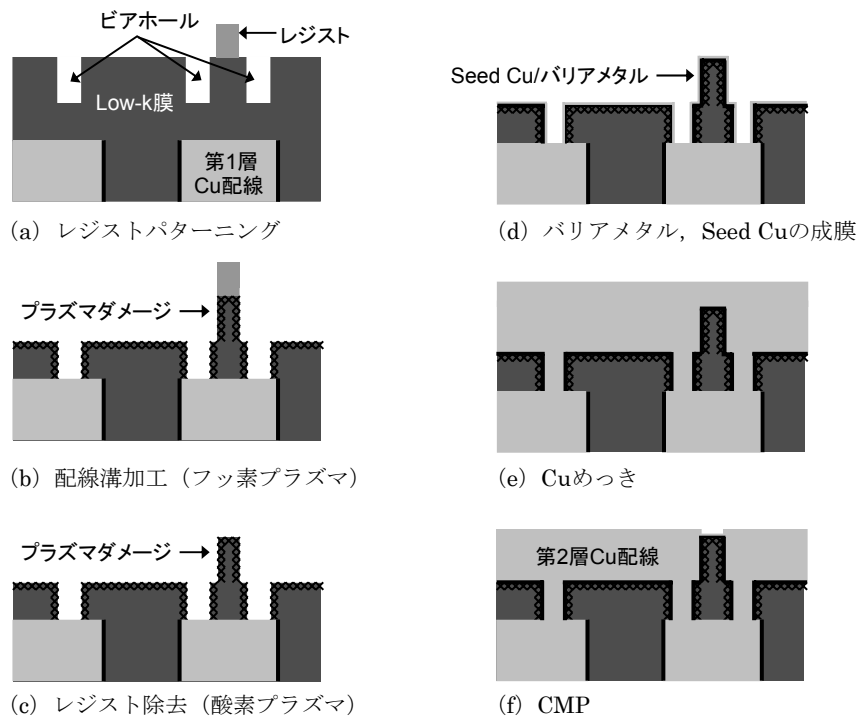


図-4 多層配線形成プロセス

Fig.4-Manufacturing process of multilevel interconnects.

この工程では、Low-k膜に化学的なダメージを与え、Low-k膜に大気中の水分が吸着しやすい状態に変化させる。水の比誘電率は80と非常に高く、Low-k膜の表面に微量な水分が吸着した場合でも、誘電率が要求値よりも上昇する。また、水分が吸着するとLow-k膜の内部へ電流がリークするため、絶縁性までもが低下するという致命的な問題が発生する。したがって、Low-k膜を多層配線に適用するには、エッチング条件を最適化し、Low-k膜へのプラズマダメージを低減することがかぎとなる。

富士通では、NCSをCMOS LSI多層配線の層間絶縁膜として適用した際のエッチング時のプラズマダメージを抑制するため、プラズマを生成するガス種やエッチングチャンバの圧力・ガス流量・混合ガスの比率・プラズマを生成する際のパワー条件と膜特性の関係を詳細に調べ、エッチング条件の最適化を図った。具体的には、エッチングするために必要な CF_4 と酸素の混合ガスにおいて、酸素の量をできるだけ抑え、Low-k膜が受ける化学的なダメージを抑制した。また、プラズマのパワーを上げ、できるだけ短時間でエッチングすることにより、Low-k膜がプラズマに暴露する時間を低減した。

その結果、NCSをエッチングする際に受けるプラズマダメージによる比誘電率上昇を0.1以内に抑制でき、リーク電流値においてもプラズマダメージによる上昇を限りなく抑制することに成功した⁴⁾

Cu/NCS多層配線の性能

本章では、NCSを45 nm世代のCMOS LSI多層配線に適用した際の配線性能について述べる。

(1) 多層配線構造

先に述べたように、配線間に発生する寄生容量は、配線を取り囲む絶縁膜の誘電率によって左右される。富士通では、NCSを65 nm世代のCMOS LSIに適用し、製品化を行っている。65 nm世代のCMOS LSIでは、NCSを同一層の配線間のみ適用したHybrid構造を採用した。これは、目的のデバイス性能を得るためには同一層のみの適用で十分であったためである。ところが、45 nm世代になると、配線間隔が70%縮小し、配線間距離と絶縁膜の体積および誘電率から求められる寄生容量が増大し、配線遅延時間が長くなることが回路シミュレーション結果から分かった。このため、45 nm世代のCMOS

LSI多層配線への適用に当たり、NCSの導入範囲をビア層まで拡大したFull-NCS構造を採用した。

以上までに述べたNCS材料や、LSI多層配線技術を導入して、45 nm世代のCMOS LSI多層配線を形成した。形成したLSI多層配線の断面透過電子顕微鏡 (TEM) 像を図-5に示す。

CMOS LSI多層配線は、素子間の信号伝播を行うために最小の配線間隔が適用される下層と、外部へ信号を取り出す中間層、上層と呼ばれる配線領域が施されている。NCSの適用は、寄生容量の影響により最も遅延時間に影響を与える下層配線領域 (Line/Space=65 nm/65 nm) に導入した。

(2) 配線間リーク電流

Line/Space = 65 nm/65 nmの下層配線間に0.7 MV/cmの電界を掛けた場合のリーク電流値は 1×10^{-12} Aであり、十分な絶縁性が得られていることが確認された。これは、微細で均一な空孔が分散されているNCSの材料特性に加え、先に述べたように、NCSをドライエッチングする際の条件の最適化による効果であると考えられる。

(3) 寄生容量

Full-NCS構造開発の最大の意義である配線間と異層間の寄生容量の総和について、Hybrid構造を適用した多層配線と比較した結果、Full-NCS構造を適用することで、Hybrid構造よりも20%の寄生容量低減が実現できることを確認した。

(4) 配線性能

今回開発したFull-NCS構造の配線遅延時間を、2006年のITRSで示された一般的な絶縁膜を適用し

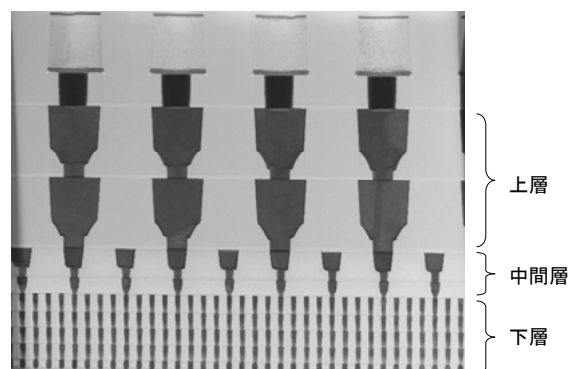


図-5 45 nm世代Cu/Full-NCS多層配線
Fig.5-45 nm node multilevel Cu/Full-NCS interconnects.

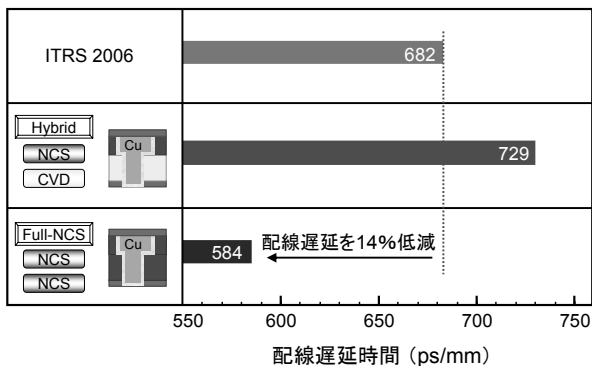


図-6 配線遅延時間の比較
Fig.6-Comparison of RC delay.

た場合と、Hybrid構造を適用した場合とで比較した結果を図-6に示す。

ITRSで示される45 nm世代の一般的な配線遅延時間682 ps/mmに対し、Hybrid構造を適用した場合には729 ps/mmまで遅延時間が増大する。しかし、富士通が開発した45 nm世代のFull-NCS構造では、遅延時間が584 ps/mmまで短縮できることが分かる。すなわち、ITRSで示された配線性能よりも14%の性能向上を図ることに成功した⁹⁾

Cu/NCS多層配線の信頼性

本章では、製品化における重要な課題であるCMOS LSI多層配線の信頼性について述べる。

(1) ストレスマイグレーション

LSIは動作時に100°C近い温度まで発熱する。この発熱により、構成する材料の熱膨張の違いからLSI多層配線内部にストレスが発生する。このストレスにより配線の断線などを引き起こすのがストレスマイグレーションである。

Low-k膜をCu配線に適用した際にストレスマイグレーション耐性が劣化する例が数多く報告されている⁶⁾⁻⁸⁾これは、先に述べたエッチング時のプラズマダメージによって、Low-k膜表面に吸着した水分がバリアメタルを酸化させ、CuやLow-k膜との界面における密着性やストレス変化が影響していると考えられている。しかし、エッチングされたLow-k膜の表面には、前記の水分に加えエッチングによって生成するフッ素系のデポ（堆積）物残渣が吸着しているため、バリアメタルの酸化メカニズムの解明においてはフッ素系デポ物残渣の影響も考慮に入れて解釈する必要がある。そこで、バリアメタル/

NCS界面におけるバリアメタルの酸化メカニズム解析を行った結果、フッ素系デポ物がNCS中の水分と反応し、生成したフッ酸（HF）がバリアメタルの酸化触媒として作用することが分かった⁹⁾本解析結果をもとに、配線形成時においてフッ素系デポ物残渣除去を行う加工プロセスを開発し、200°Cで1008時間の加速試験においてストレスマイグレーションによる断線が発生しないことを確認した。すなわち、Cu/Full-NCS多層配線の優れたストレスマイグレーション耐性が実証された。

(2) ワイヤボンディング試験結果

Cu/Full-NCS多層配線にワイヤボンディングを行い、さらにワイヤに張力を印加する引張試験を行っても、破壊モードはすべてワイヤの断線のみであり、配線、ビア内部での断線、破壊などは発生しなかった。NCSの高い弾性率と、各層間の高い密着性が寄与した結果と考えられる。

む す び

本稿では45 nm世代のCMOS LSI多層配線技術として、配線間容量の低減を目的に開発したポーラス系Low-k材料NCSと、45 nm世代のCMOS LSI多層配線技術および配線性能、信頼性について紹介した。NCSは、ナノクラスタという独自の材料設計により、テンプレート型ポーラス絶縁膜の課題を克服し、世界に先駆けて低い誘電率と高い強度の両立に成功した。また、Full-NCS構造を採用した45 nm世代のCMOS LSI多層配線は、2006年のITRSで示された一般的な絶縁膜を適用した場合と比べて配線遅延時間の抑制効果が極めて高いことが実証された。本配線形成技術については、富士通マイクロエレクトロニクスの量産ラインでの製造プロセスの確立と信頼性検証を完了しており、2008年に製品出荷を開始した。

最後にNCSの材料開発には、日揮触媒化成株式会社様のご多大なるご協力を頂いた。この場を借りて感謝の意を表する。

参考文献

- (1) M. Y. Bohr et al. : Interconnect Scaling - The Real Limiter to High Performance ULSI. Tech. Dig. IEDM, 1995, p.241-244.
- (2) H. Kudo et al. : Copper Dual Damascene

- Interconnects with Very Low-k Dielectrics Targeting for 130nm Node. Proc. of 2000 IITC, IEEE, p.270-272.
- (3) K. Higashi et al. : A manufacturable Cu/Low-k SiOC/SiCN process technology for 90nm-node high performance eDRAM. Proc. of 2002 IITC, IEEE, p.15-17.
- (4) Y. Iba et al. : Effects of Etch Rate on Plasma-Induced Damage to Porous Low-k Films. *Jpn. J. Appl. Phys*, Vol.47, No.8, p.6923-6930 (2008).
- (5) H. Kudo et al. : Strategies of RC Delay Reduction in 45-nm BEOL Technology. Proc. of 2007 IITC, IEEE, p.178.
- (6) A. Sakata. et al. : Reliability Improvement by Adopting Ti-barrier Metal for Porous Low-k ILB Structure. Proc. of 2008 IITC, IEEE, p.165-167.
- (7) N. Matsunaga et al. : BEOL Process Integration Technology for 45nm Node Porous Low-k/Copper Interconnects. Proc. of 2005 IITC, IEEE, p.6-8.
- (8) T. Fujimaki. et al. : Mechanism of Moisture Uptake Induced Via Failure and its Impact on 45nm Node Interconnect Design. Proc. of 2005 IEDM, IEEE, p.191-194.
- (9) S. Ozaki. et al. : Effect of Fluorine contamination on Barrier Metal Oxidation. Proc. of MAM 2009, 2009, p.177-178.