

富士通におけるDFXの適用

Introduction to DFX at Fujitsu

あらまし

従来は、製品の量産開始後に設計改善を行い原価低減や手番短縮を図ることが主流であったが、近年、製品の多品種少量化が進みライフサイクルが短期化した状況下では、量産初期から最適な製造を実現することが重要である。製造性は、その80%が設計で決まると言われており、早期に最適量産を実現するには、開発設計段階で工場での製造性（組立性、試験性）を検討し、設計に反映させるDFX（Design For Manufacturing/Testing）が必要である。そのためには、開発初期段階から設計部門と工場部門が連携して製造性改善に取り組むことが求められる。富士通では、DFXの取組みとして、工場でのものづくりのノウハウや製造条件に関するガイドラインの活用、開発段階で製造性を検討する仕組づくりなどを行っている。

本稿では、DFXの概要、および実際に製品にDFXを適用して製造性を改善し効果をあげた事例を紹介する。

Abstract

Improvements in product design have conventionally been made after the start of mass production, followed by reductions in cost and lead-time. However, given the shorter product life cycles and high-mix, low-volume production in recent years, it has become increasingly important to carefully optimize productivity from the initial stage of mass production. It is generally agreed that design determines 80% of productivity. Therefore, a design's suitability for mass production must be evaluated through the cooperation of design and production engineers, then the results must be reflected in the design at an early stage of development. These activities are collectively called Design For Manufacturing and Testing (DFX). Fujitsu has introduced DFX to its development of network and server equipment. This paper outlines DFX and gives some examples of how Fujitsu utilizes DFX to improve various products and increase productivity.



谷沢秀徳（たにざわ ひでのり）
実装技術統括センター 所属
現在、実装テクノロジー技術の開発に従事。



関屋幸雄（せきや ゆきお）
ネットワークローコスト推進統括部 所属
現在、ネットワーク機器の製造技術開発に従事。



高橋英明（たかはし ひであき）
ネットワークローコスト推進統括部 所属
現在、ネットワーク機器の製造技術開発に従事。

ま え が き

電子機器の開発・設計には、性能・価格・品質面での配慮に加えて、製造工場での「ものづくり面」を配慮することがますます重要になってきている。とくに、製品の早期市場投入や短手番での開発・製造に向けて、工場での組立性や試験性を考慮した、いわゆるDFX (Design For Manufacturing/Testing) の適用が極めて重要な要素になってきている。

従来のように量産を開始してから製造性を改善することは設計の基本仕様に大きく影響する場合もあり、改善内容に限界が生じる。このため、開発段階で製造制約条件や設備条件などのものづくり面を考慮した開発・設計を行うことがトータルでコストパフォーマンスに優れ、製品のQ (品質), C (コスト), D (手番) を大きく向上させる重要な要因になってきている。

現在、富士通グループでは、グループ全体で生産革新を推進中であり、工場でのものづくりを向上させるために、工場部門と設計部門が一体となってDFX活動に取り組んでいる。本稿では、富士通グループで実際に適用しているDFXの事例について紹介する。

DFXの概要

DFXとは、開発設計段階で、製品にかかわる諸要素を向上させるための活動を総称したものであり、広くは組立性を考慮するDFM (Design For Manufacturing), 試験性を考慮するDFT (Design For Testing), 環境を考慮するDFE (Design For Environment), 保守性を考慮するDFS (Design For Service) などがある。

本稿では、とくに工場でのものづくりに影響を与える、DFM, DFTの適用事例について述べる。

なお、組立性を考慮した設計のことを、DFA (Design For Assembly) と称する場合もあるが、加工性を含めた広義において解釈し、本稿ではDFMを用いる。

DFM適用事例

本章では、ものづくりのノウハウをまとめたガイドラインや、3次元シミュレーションツールを活用して、量産の開始前に組立性を改善した事例を紹介

する。

DFMの実施プロセス

DFMのプロセスでは、構想設計段階の設計情報をもとに組立性をレビューする。その結果を設計部門へ改善提案し、量産初期から最適組立を実現することを目指す。組立性レビューにより蓄積されたノウハウはDFMガイドラインとして設計部門へ開示する。また、改善提案の内容が製品に反映されているかの確認も行う (図-1)。

DFMの実施内容は、製品群ごとの特徴に応じて異なり、大量生産で小型・低価格重視のノートパソコンでは、SMT (Surface Mount Technology) 搭載時の表裏実装面のバランスの最適化やネジサイズや種類の絞り込みなどの配慮が必要である。また、大型プリント板にプロセッサや大型機構部品などを搭載するサーバシステム、光ファイバ・光部品を搭載するネットワーク製品では、組立・検査の容易性や取外しなどの作業性までの配慮が重要となる。

DFMガイドラインの活用

従来、設計部門では電気部品の実装^{げき}間隙や実装方向などの製造条件を折り込んだ実装設計基準に準じてCADを用いてプリント板を設計し、CADのDRC (Design Rule Check) 機能を利用して、設計した内容が実装設計基準を満足しているか自動的に確認してきた。しかし、機構部品の組立性や、工場の視点に立った製造ノウハウに関する項目は、DRCによる自動チェックが困難であり、十分に検証されないことが多かった。

DFMガイドラインはこれらの項目を具体的に示して設計部門へ提案されており、設計者が設計業務を行う際の設計支援として活用されている。DFMガイドラインでは、提案を適用した場合の効果を定

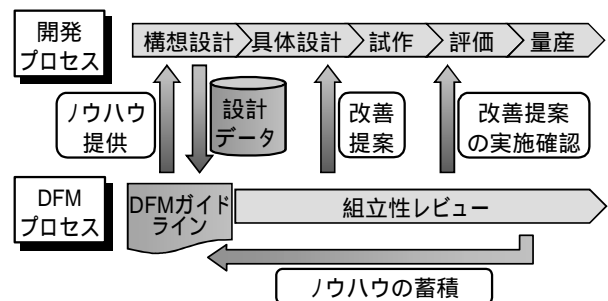


図-1 DFMの実施プロセス
Fig.1-Process of DFM.

量的に示しており、実用性を高めた。DFMガイドラインの例を図-2に示す。また、ガイドラインの内容が設計に適用されているか、組立性レビューを実施する段階でチェックリストを用いて検証する。チェックリストを使用することにより、評価項目の漏れを防ぐとともに客観的な評価が可能となった。

組立性レビューの実施例

量産開始後の製造手戻りをなくし、早期量産安定化を実現するためには、試作前の構想設計段階の設計データを用いて組立性レビューを実施することが重要である。そのための有効な手段として、富士通では社内製の3次元シミュレーションツールであるVPS (Virtual Product Simulator) を活用している¹⁾。構想設計段階のプリント板のCADデータ、および筐体などの機構部品の3次元データを組み合わせてVPSのデータに変換し、VPSの製造性評価機能を利用して、VPS上で製品の組立をシミュレーションすることにより、試作をせずにバーチャルな環境下で組立性を検討することが可能である。主な検討項目を以下に示す。

- (1) 組立性評価
- (2) 組立手順検討
- (3) 静的・動的干渉チェック
- (4) 治工具の検討
- (5) 工程設定

VPSを用いた組立性レビューの例を図-3に示す。

組立性レビューは設計部門、工場部門合同で行い、構想設計段階の設計データと、工場のものづくりの

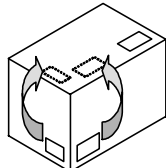
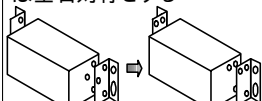
分類	内容	効果
作業性	ラベルが複数あるときの貼り付け面は同一とする 	・製品反転 = 2秒/回 ・貼り付け部拭き取り = 3秒/箇所
品質	左右に取り付ける部品は、誤組立できない形状、または左右対称とする 	・ボカよけ ・手戻り防止

図-2 DFMガイドラインの例
Fig.2-Example of DFM guideline.

ノウハウを照合させることから、両者の密接な連携が必須である。その結果は、項目ごとに効果を定量的に算出し、改善提案として設計部門にフィードバックされ、設計部門では効果を確認しながら、適用可能な提案を量産開始までに設計に反映させる。また、DFMを繰返し実施することにより蓄積されたものづくりのノウハウはDFMガイドラインに追加し、他機種への水平展開を図る。

以上、述べてきたDFMをサーバシステムやネットワーク装置に適用し、工程削減、加工合理化などの効果をあげた例を紹介する。

工程削減を実現した例を図-4に示す。この装置は、複数のプリント板を組み合わせる構造であるが、構想設計段階の案では、それらを水平、垂直の2方向から組み立てる構造であった{図-4(a)}。この段階で組立性レビューを実施し、図-4に示すように組立方向を1方向とする改善提案を行い{図-4(b)}、設計に反映させた。試作前にVPSによりバーチャルレビューを行うことで設計部門、工場部門間のコミュニケーションが図られ、その結果として、組立



図-3 VPSを用いた組立性レビュー
Fig.3-Review of assembly using VPS.

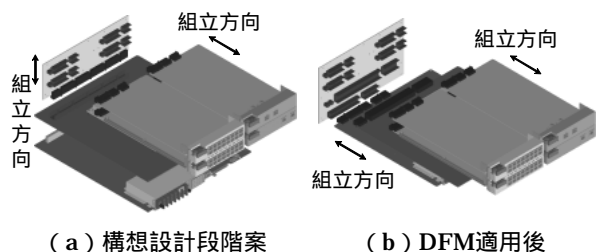


図-4 工程削減の例
Fig.4-Example of reduction of assembly process.

工程を9工程から7工程に削減することができた。

つぎに、加工合理化を実現した例を図-5に紹介する。構想設計段階の案では、複数の筐体構成部品を、異なる方向から個別にプリント板にネジ止めする構造であった{図-5(a)}。そのため、ネジの数が多く、締結時には製品を反転させる必要があった。これに対し、組立性レビューで筐体構成部品とプリント板を1箇所を上方向から共締めにする提案を行い{図-5(b)}、強度に問題がないことを設計部門が確認した上で、設計に反映させた。その結果、組立工程でのネジ締め工数を、構想設計段階の案に比べ10%削減できた。

DFX適用事例

DFTは、In-circuit TesterやBoundary Scan Testerなどの試験設備を考慮した設計手法としてよく知られている²⁾ 本章では、これら設備対応の試験性改善事例でなく、ネットワーク装置の試験を共通化・プラットフォーム化の観点で開発・設計段階から改

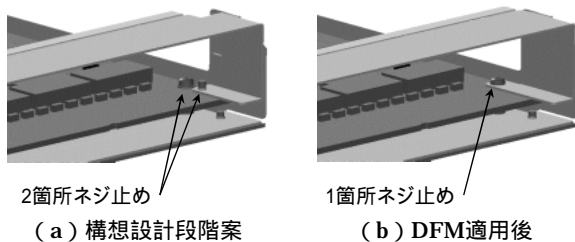


図-5 DFMによる組立の改善事例
Fig.5-Example of improvement of assembly.

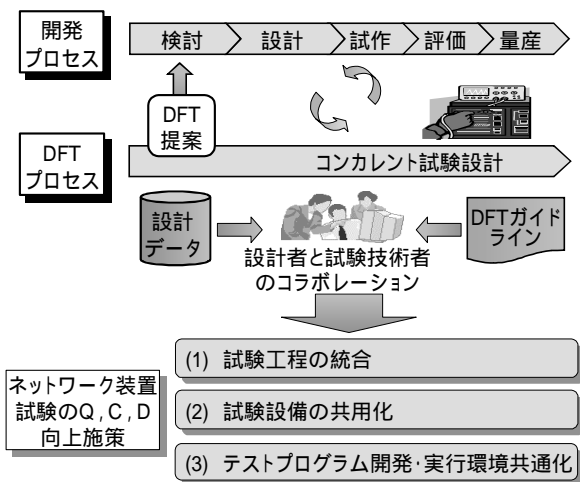


図-6 DFTの実施プロセス
Fig.6-Process of DFT.

革した事例を紹介する。

DFT実施プロセス

DFT実施プロセスを図-6に示す。製品のQ, C, D向上をねらった試験の共通化・プラットフォーム化を推進するため、開発プロセスと同期させDFTプロセスを設けた。DFTプロセスでは、開発初期段階から、設計者と生産技術に精通した試験技術者がコミュニケーションを取り、量産試験を考慮した製品設計への提案や評価・量産試験設計を推進する。この際、DFTの指針を、設計者・試験技術者が常時参照できる「DFTガイドライン」で示し、実施内容の共通化を図る。

試験工程の統合

PCB (Printed Circuit Board) ユニット単体試験と装置試験の2工程で機能・特性試験を行う試験方式は、多数のPCBユニットで構成されるネットワーク装置の量産試験では最も一般的な方式である。著者らは、2工程で試験を行うことによる試験項目、試験設備の重複ロスや、長い手番の改善をねらい、1工程(ワンステージ)で機能・特性試験を完了させる試験手法の導入に取り組んだ。新試験手法適用に当たり、試験項目と試験内容を従来以上のレベルを確保することを条件とするとともに、装置運用レベルの実動作試験(装置試験)を必須とした。これをワンステージ試験という。

そこで、図-7のようにPCBユニット単体でしか試験できない項目を装置で試験できるように、製品のハードウェア・ソフトウェアに試験性を考慮した

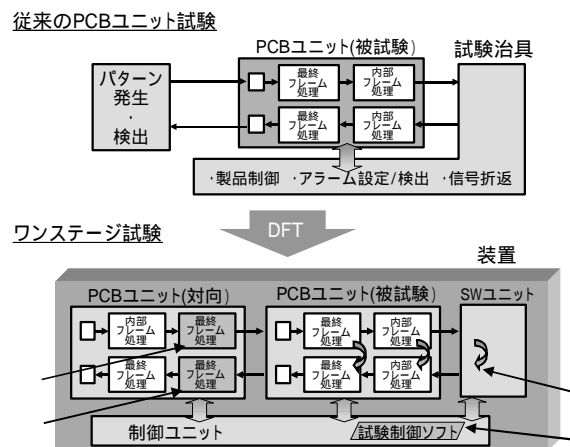


図-7 製品への試験機能組み込み
Fig.7-Integration of testing function into product.

機能を組込むことを、DFTとして提案・実施した。具体的には、製品への 内部インタフェースアクセス制御追加 テストパターン発生・アラーム発生機能追加 テストパターン照合機能追加 製品折返し機能追加などである。

実施効果として、従来と同等の試験項目・試験内容を維持しながら、試験時間40%短縮、試験手番50%短縮を達成できた。

試験設備の共用化

試験品質を確保した上で、試験のローコスト化（設備費低減・試験時間短縮）を図るためには、設計者と生産技術に精通した試験技術者の連携が必須である。以下に、DFT活動の一環として設計者と試験技術者のコラボレーションで開発した、試験設備のローコスト化の事例を紹介する。

図-8は開発した試験手法を用いたIP装置の試験系で、2台のIP装置のFE (Fast Ethernet) 22 Portを対向接続し、GbE (Gigabit Ethernet) 4 PortとFE 4 Portをアナライザに接続させた。DFTで、GbEを10 PortのFEに多重・分離させ、すべてのポートがフル負荷で信号疎通できるようにした。その結果、アナライザのポート使用率を25%に低減させた。

新試験手法でポート使用率を低減させても、図-9に示すように、各自動試験機はアナライザを個別に備えているため、設備コストは変わらない。

従来プロセスにおける設計者は、量産試験環境を理解していないため、試験方式を提供するだけで、

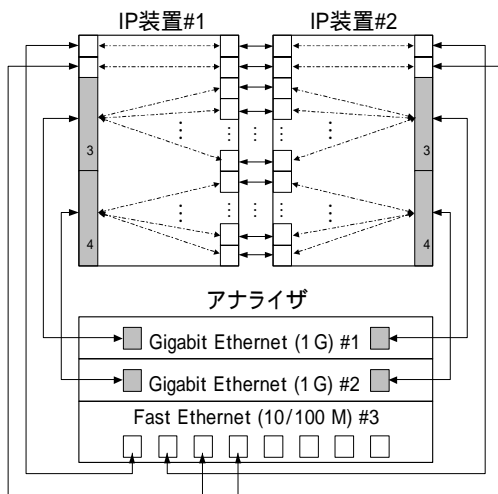


図-8 IP装置試験系
Fig.8-Testing system of IP equipment.

量産試験の設備コスト低減を図れなかった。

試験技術者が開発した「測定器共用化システム」を図-10に示す。アナライザを共用サーバが一括して制御する方式を採用することで、各自動試験機がアナライザを共用することが可能となり、アナライザのポート使用率を100%まで高めることができた。また、アナライザと被試験装置間にスイッチを設けて、アナライザを使用するときのみ接続する構成とすることで、稼働率も30%から60%へ高めることができた（待ち時間を無視すれば、稼働率が100%まで高まる）。

テストプログラム開発・実行環境の共通化

設計者と試験技術者のコラボレーションで、開発から量産試験までのテストプログラム開発の効率化と開発手番短縮を図った例を紹介する。

開発・評価・量産の各ステップでは、同様な測定・試験が行われるが、各ステップの担当者がそれぞれの思惑でテストプログラムを開発すると、部分最適は図れるものの、開発言語やプログラム構造の違いで流用性が低くなり、プロセス全体の開発効率

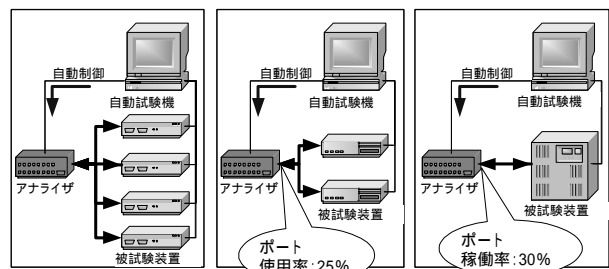


図-9 従来の試験システム
Fig.9-Traditional testing system.

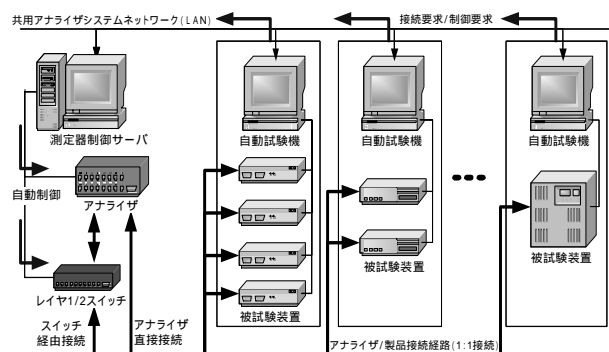


図-10 測定器共用化システム
Fig.10-Testing system of sharing measurement equipment.

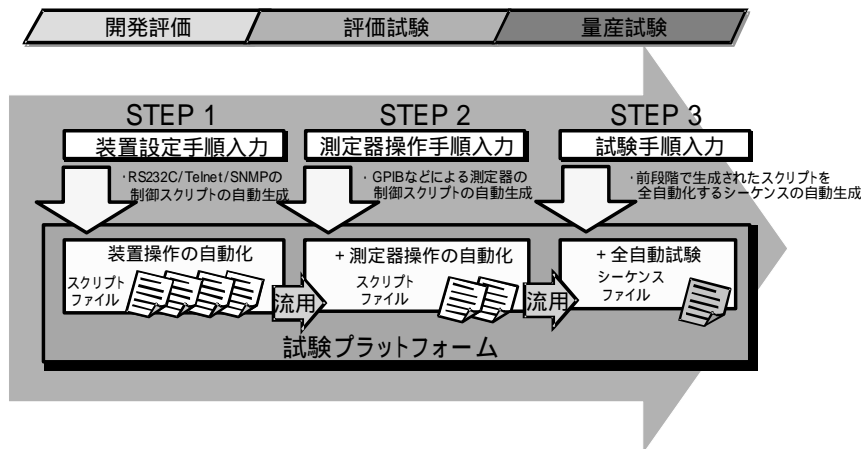


図-11 効率的なテストプログラム
Fig.11-Efficient development of test program.

は悪くなる。

その結果、開発規模が増大し、量産立上げ時に最適化された量産試験用テストプログラムが提供できない事態も生じる。

図-11に示すように、評価試験・量産試験の各ステップで、前段ステップでの開発資産（テストプログラム）を流用し、各ステップで必要とする機能だけをプラスするだけでテストプログラムが開発できると、開発の効率が図れる。量産用テストプログラムの供給も量産開始と同時に可能となる。

そのためには、テストプログラムがそれぞれのステップでの用途に適合し、かつ共通化された開発・実行環境下で動作する試験プラットフォームが必要となる。

導入した試験プラットフォームの構成を図-12に示す。試験プラットフォームは、3階層で構成され、階層ごとに使用目的に応じ、単独でプログラムの実行が可能である。また、各階層でテストコマンド、テストプログラムが共通に使用できるため、開発から量産までの各ステップで開発したプログラムが流用でき、開発の効率化が図れる。

導入成果として、テストプログラム開発工数が50%削減でき、評価の効率化と、量産立上げと同時に量産試験用テストプログラムの供給が可能となった。

む す び

本稿で述べたDFMやDFTの活動の成果の一つは、ものづくり面を考慮した設計を行うことで、手戻り

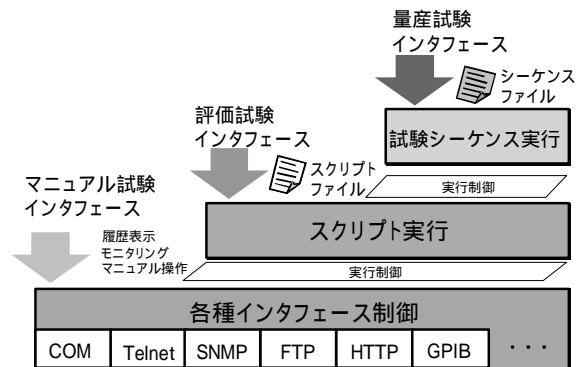


図-12 試験プラットフォーム構造
Fig.12-Architecture of test program platform.

なく、効率的な製造ができることである。しかし、最も大きな効果は、開発段階の上流で開発部門と製造部門が一体となり、ものづくりを意識した開発・設計を行うことで、製造面での標準化、共通化が容易に実現できる点と、早い段階から量産準備が可能となり早期に量産安定化を図れる点である。

今後は、さらにより上流で開発・製造が一体となったものづくり面での検討を推進し、組立、試験のプラットフォーム化を図り、より一段と高度なDFX活動へ取り組んでいく予定である。

参考文献

- (1) 氏家一行ほか：VPS・物理シミュレーション技術の展開。FUJITSU, Vol.55, No.3, p.221-226 (2004) .
- (2) Amit Verma : Optimizing Test Strategies During PCB Design For Boards With Limited ICT Access , 2002 SEMI/IEEE IEMT , p.364-371 .