

FR-V用1チップマルチコアプロセッサ

FR-V Single-Chip Multicore Processor

あらまし

富士通研究所では、デジタルハイビジョンTV画像の復号化処理が可能な組込み用プロセッサを低消費電力・低価格で実現させるために、8並列同時実行可能なVLIWプロセッサコアを4個内蔵した本格的な1チップマルチコアプロセッサを開発した。

本プロセッサは、90 nm CMOS 9メタル層のプロセス、900ピンのフリップチップパッケージで開発し、プロセッサコア500 MHz、メモリインタフェースは250 MHz、システムバスは166 MHzで動作する。単一のコアの処理性能としては、MPEG-2 MP@MLの復号化処理を190 MHzで実現することができ、四つのコアを用いた処理では、MPEG-2 MP@HLの復号化をソフトウェアだけで実現することに成功した。本プロセッサの消費電力は、MPEG-2 MP@HL復号化時にわずか約3 Wを実現した。

本稿では、1チップマルチコアプロセッサについて、ハードウェア、ソフトウェア開発環境、ソフトウェア動作環境およびアプリケーション動作例を紹介する。

Abstract

To realize the low power consumption and low-cost equipment needed to encode high-definition broadcasts, Fujitsu has developed a single-chip multicore processor that integrates four 8-way VLIW FR-V processor cores. This new multicore processor is fabricated using a 90 nm, nine metal-layer CMOS process and a 900-pin flip-chip package. The processor cores operate at 500 MHz, the memory interfaces at 250 MHz, and the system bus at 166 MHz. By using a single processor core, MPEG-2 MP@ML video-stream decoding can be performed at 190 MHz. By using four processor cores, MPEG-2 MP@HL video streams can be decoded using just software. Also, this processor only needs about three watts to decode MPEG-2 MP@HL video streams. This paper introduces the hardware and software development environment of this new processor. It also describes the processor's software operation environment and some examples of its application.



須賀敦浩（すが あつひろ）

システムLSI開発研究所プロセッサ
ソリューション開発部 所属
現在、FR-Vアーキテクチャの開発
およびFR-V550系のLSI開発に
従事。

ま え が き

デジタルTV、プリンタなどのデジタル民生機器の開発競争は、激しくなる一方である。セットメーカーは、早期市場投入・高性能・多機能を実現することにより他社製品との差別化を図っている。他社にまねのできない機能を実現するためのキーデバイスとして、SoC (System-on-chip) が位置付けられている。このようなSoCの実現方法としては、機能を固定するASIC (Application Specific Integrated Circuit) 方式と機能を変更可能にするプログラマブル方式がある。ソフトウェアを用いたプログラマブル方式は、様々な機能の追加・修正をハードウェア手法に比べて短期間で実現できるので、市場の変化に比較的容易に対応することが可能である。富士通および富士通研究所では、プログラマブル方式の機能を実現するためのプロセッサコアとして、2並列同時実行可能なVLIW (Very Long Instruction Word) プロセッサFR400シリーズ、4並列同時実行可能なVLIWプロセッサFR500、および8並列同時実行可能なVLIWプロセッサFR555の開発を行ってきた^{(1),(2)}。このFR555は、標準デジタルTV画像の復号化処理が可能な処理能力を持っている (図-1)。

しかし、デジタルハイビジョンTV、レーザビームプリンタ処理などに代表される組込み用プロセッサに要求される性能は高まり続けており、すべてのシステムをソフトウェアだけで完全に動作させるためには、低消費電力・低価格というセットメーカーの

要求を満たしながら更なる高性能なプロセッサコアを開発する必要があった。富士通研究所は、このような背景を踏まえデジタルハイビジョンTVの動画方式に使用されるMPEG-2 MP@HLの復号化処理および最新機種の数倍以上高速なレーザビームプリンタ処理のシステムをソフトウェアで完全に動作させるために、スーパーコンピュータで培った技術を生かした組込み用プロセッサFR-Vのアーキテクチャをベースにして、8並列同時実行プロセッサコアを4個搭載した1チップマルチコアプロセッサおよびソフトウェアの開発を行った (図-2)⁽³⁾。

本稿では、開発した1チップマルチコアプロセッサについて、ハードウェア、ソフトウェア開発環境、ソフトウェア動作環境およびアプリケーション動作例を紹介する。

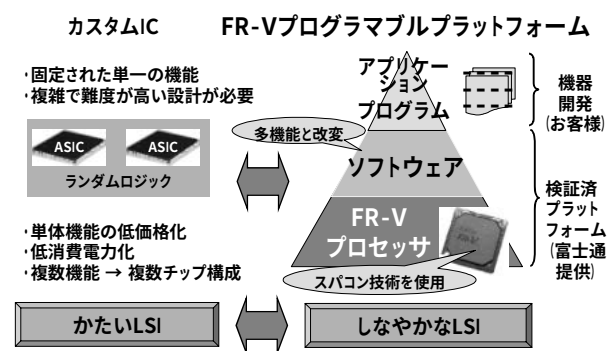


図-1 FR-Vのプログラマブルソリューション
Fig.1-FR-V programmable solution.

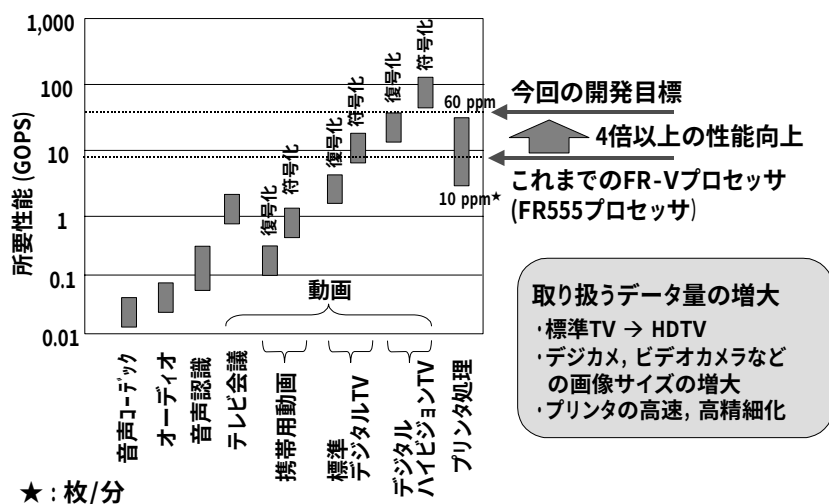


図-2 マルチメディア処理の性能と開発目標
Fig.2-Multimedia processing performance and performance target.

ハードウェア

プロセッサの処理性能を向上させる手法としては、動作周波数を向上させる手法と一度に多くの処理を同時に行うという並列性を向上させる手法がある。民生機器に搭載される組み込み用途向けプロセッサは、高性能・低価格・低消費電力の三つの項目を満たす必要がある。PC用のマイクロプロセッサのように動作周波数を向上させ高性能であるが数十Wの電力を消費するSoCは、高価な冷却装置やパッケージが必要になる。このことは、価格競争の激しい民生機器では、許されるものではない。セットメーカの要求を満たすためには、安価なプラスチックパッケージに搭載する必要があるために、消費電力・価格ともにPC用マイクロプロセッサの1/50以下で実現する必要がある。そこで、著者らは、これまでのFR-V同様、並列性を向上させることにより、高性能を達成することを目指した。

著者らは、VLIW方式というFR-Vのアーキテクチャを継承しつつ、従来よりも大きな処理単位を並列に実行するために複数のプロセッサコアを1チップに搭載する方式を導入した(図-3)。開発したプロセッサは、8並列同時実行可能なプロセッサコアを4個内蔵する1チップマルチコアプロセッサである。

FR-Vプロセッサが実行する命令は、整数演算命

令と浮動小数点演算命令および16ビットの固定小数点演算命令であるメディア命令から構成される。メディア命令は、一つの命令で4演算または8演算を同時に処理することができる。8並列同時実行可能なプロセッサは、1サイクルに28演算を同時に処理することができる。したがって、今回開発したプロセッサは、1サイクルで112演算を同時に処理する能力を有する(図-4)。

本プロセッサのブロック図を図-5に示す。チップは、大きく分けて、4個のプロセッサコア、メモリコントローラ、メモリ間転送用DMAC、外部転送用DMAC、64ビットのシステムバスインタフェースなどから構成される。本プロセッサは、マルチメディア処理における処理性能の向上を図るために

- (1) 動的分岐予測率の改善
- (2) 各コアあたり128 Kバイトの大容量低レイテ

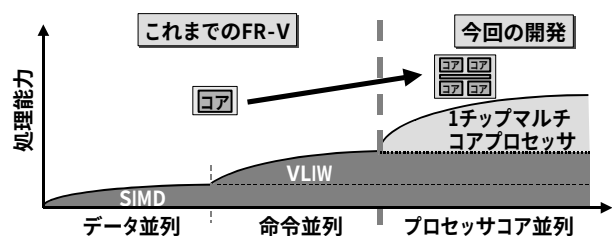
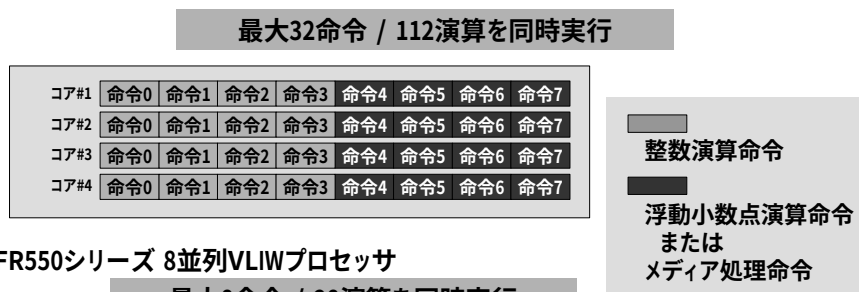


図-3 VLIW方式の限界とプロセッサコア並列性の導入
Fig.3-Limit of VLIW methodology and introducing processor-core parallelism.

● 1チップマルチコアプロセッサ



● FR550シリーズ 8並列VLIWプロセッサ

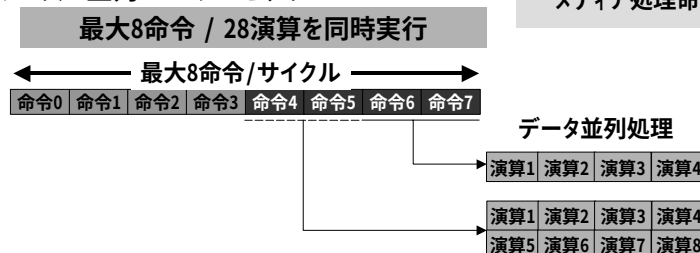


図-4 並列動作

Fig.4-Processor parallelism.

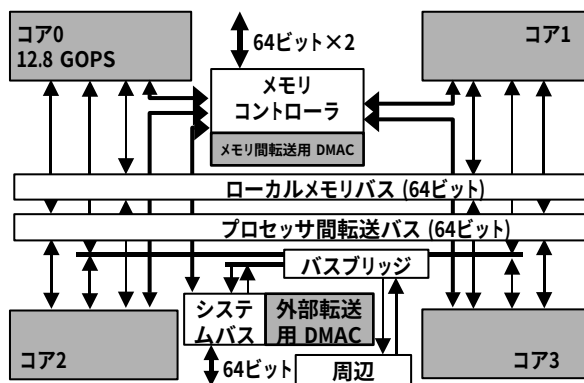


図-5 1チップマルチコアプロセッサのブロック図
Fig.5-Block diagram.

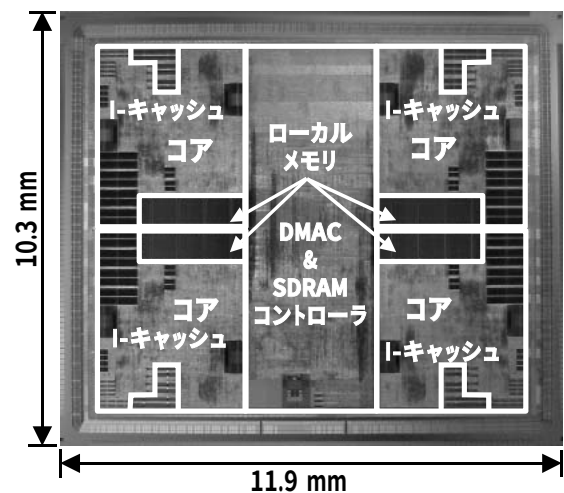


図-7 1チップマルチコアプロセッサのチップ写真
Fig.7-Chip micrograph.

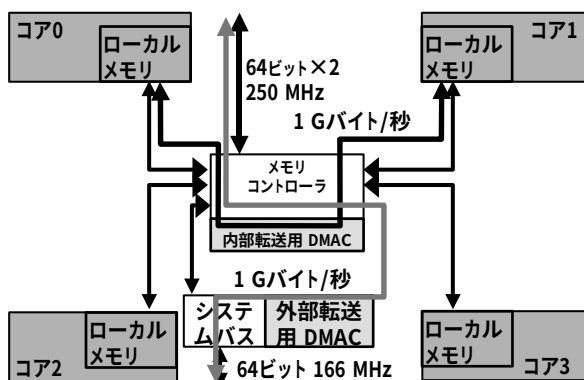


図-6 1チップマルチコアプロセッサのバス性能
Fig.6-Data transfer performance.

ンシSRAMの採用

を行い、VLIWプロセッサFR555に搭載しているFR550コアからの性能向上を実現しているだけではなく、

- (3) 高速なプロセッサ間通信機能によるプロセッサ間通信のオーバーヘッド削減
- (4) 250 MHz動作のメモリインタフェースを2チャンネル搭載
- (5) 内部リソース用と外部転送用を合わせて32チャンネルのDMAC搭載
- (6) 166 MHz 64ビットの高速システムバスインタフェースの採用

を行い、演算処理だけでなく、I/Oアクセスを含むデータ転送能力およびメモリ間データ転送能力などが向上し、システム処理全体ではFR555プロセッサの10倍以上の性能向上を実現した。

なお、内蔵メモリ間転送および外部バス転送は、

表-1 諸元	
項目	諸元
メモリ	32 Kバイト+32 Kバイト/コア (D-キャッシュ, I-キャッシュ) 128 Kバイト/コア (ローカルメモリ)
DMAC	16チャンネル (内部), 16チャンネル (外部)
インタフェース	メモリインタフェース 250 MHz 64ビット×2チャンネル システムバス 166 MHz 64ビット
テクノロジー	90 nm CMOS, 9層メタル
トランジスタ数	28×10 ⁶ (ロジック), 55×10 ⁶ (メモリ)
動作周波数	500 MHz (1.2 V)
消費電力	3.0 W (1.2 V, 500 MHz)
パッケージ	900ピン FCBGA

約1 Gバイト/秒の性能を実現している (図-6)。

これらにより、単一のコアの処理性能としては、これまでソフトウェア処理では257 MHz程度必要だった標準デジタルTV画像のMPEG-2 MP@MLの復号化処理を190 MHzで実現することができ、MPEG-2 MP@HLの復号化をソフトウェアだけで実現することに成功した。また、本プロセッサは、マルチコアのコア間でのデバッグ割込みの連動機能により、マルチコアでのデバッグの容易性を実現している。

チップ写真を図-7に、本プロセッサの諸元を表-1に示す。本プロセッサは、90 nm CMOS 9メタル層のプロセスおよび900ピンのフリップチップパッケージを使用している。チップサイズは11.9 mm×10.3 mm、プロセッサコアは500 MHz、メモリイ

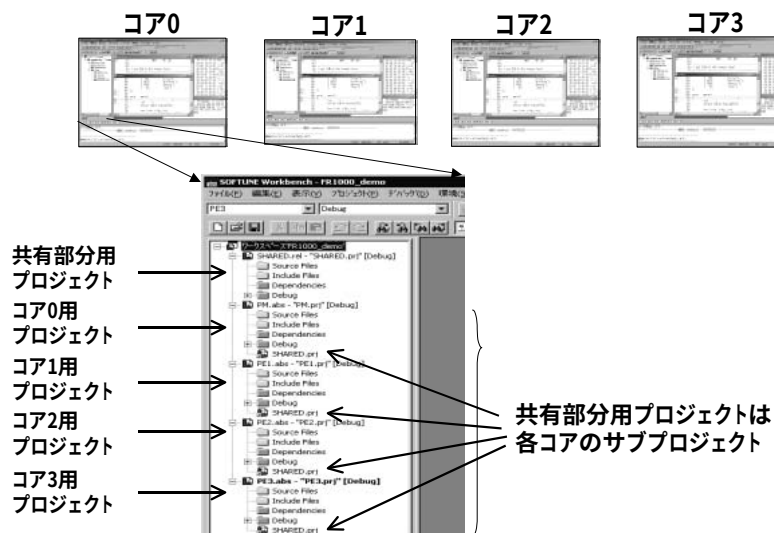


図-8 FR-V 1チップマルチコアプロセッサ向けソフトウェア開発環境
Fig.8-Software development environment for FR-V single chip multicore processor.

ンタフェースは250 MHz，ローカルバスは166 MHzで動作する。MPEG-2 MP@HLの復号化時の消費電力は約3 Wである。

ソフトウェア開発環境

本プロセッサ向けのソフトウェア開発環境は，富士通製FR-Vプロセッサ用ソフトウェア開発環境であるSOFTUNE⁽⁴⁾をマルチプロセッサ用に拡張することにより実現した。この環境は，従来のシングルプロセッサにおけるソフトウェア開発手法を継承できるようにになっている（図-8）。各コアにおけるオブジェクトの生成は，従来のシングルプロセッサ向け環境と同じ手法を用いて，オブジェクトを開発することができる。マルチプロセッサとして拡張している機能は，以下の2点である。

- (1) コア間に共通するライブラリは，共有ライブラリ用の専用オブジェクトとする。
- (2) 生成した各コア用のオブジェクトは，オブジェクト統合ツールを用いて一つのオブジェクトに統合する。

また，本プロセッサ向けSOFTUNEを用いてプログラムをデバッグする際の手法を図-9に示す。今回，マルチプロセッサ用のデバッガとして複数のシングルプロセッサ用のデバッガおよびプロセッサコアとの通信を制御するICEサーバを開発した。このICEサーバと各コアのSOFTUNEのデバッガを用いることにより，各コア上で動作するプログラムを従

来と同様の手法でデバッグすることができる。各コアの動作状況は，専用のコアステータスウインドウに表示される。また，本デバッガは，一つのコアが通常のプログラム走行状態からブレークが発生してコアの走行が停止した際，指定するコアを同期して停止するマルチプロセッサ用のデバッグ機能を搭載している。

これにより，従来のシングルプロセッサでのデバッグに近い感覚でマルチコアのデバッグができるように工夫されている。

ソフト動作環境

本プロセッサ向けの動作環境であるオペレーティングシステムとして，FR-V向けμITRON仕様OS⁽⁵⁾であるREALOS⁽⁶⁾をマルチプロセッサ用に拡張した（図-10）。μITRON仕様OSにおけるソフトウェアの実行単位は，タスクとして定義される。シングルプロセッサ内のタスク間の通信には，従来のシングルプロセッサ向けのサービスコールを用いる。しかし，μITRON仕様OSは，マルチプロセッサ用の規格を定義していない。そこで，著者らは，既存のμITRONの規格を拡張するマルチプロセッサ用サービスコールを実装した。本プロセッサでは，各プロセッサコア上で，REALOS本体とマルチプロセッサ用のサービスコールライブラリを動作させる。これにより，ユーザは，

- (1) プロセッサ内のタスク間通信は，従来の

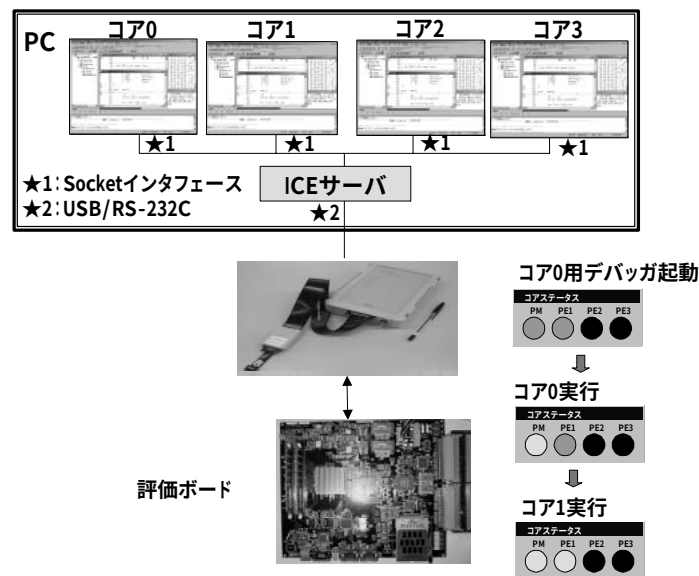


図-9 FR-V 1チップマルチコアプロセッサ向けソフトウェアデバッグ環境
Fig.9-Software debugger for FR-V single chip multicore processor.

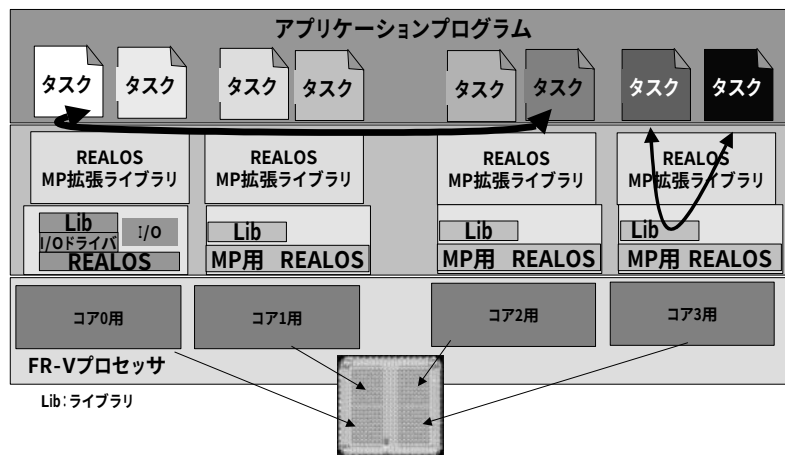


図-10 FR-V 1チップマルチコアプロセッサ向けOS動作環境
Fig.10-Operating system for FR-V single chip multicore processor.

REALOSのサービスコール

(2) プロセッサ間のタスク間通信は、プロセッサ間のサービスコールをそれぞれ用いることにより、従来のサービスコールとほぼ同じ感覚でマルチプロセッサを動作させることができる。

アプリケーション動作例

本プロセッサを用いるとデジタルハイビジョンTVの動画方式に用いられるMPEG-2 MP@HLの復号化処理をソフトウェアだけで行うことができる(図-11)。MPEG-2は、大きく分けると、前処理、

ピクチャヘッダ解析、スライス層の復号化という単位に分けることができる。1枚の画像は、複数のスライス層に分けることができる。著者らは、この各スライスを異なるプロセッサで並列処理させることにより、従来のシングルプロセッサで動作させた場合と比較して、約4倍の性能向上をさせることに成功した。動画の処理がソフトウェアのみで処理できるということは、これまで、ハードウェアで実現していた画像処理における色処理・色の補正などをソフトウェアで処理できたり、MPEG-2のストリームとMPEG-4のストリームを同時に表示できたりするということになる。

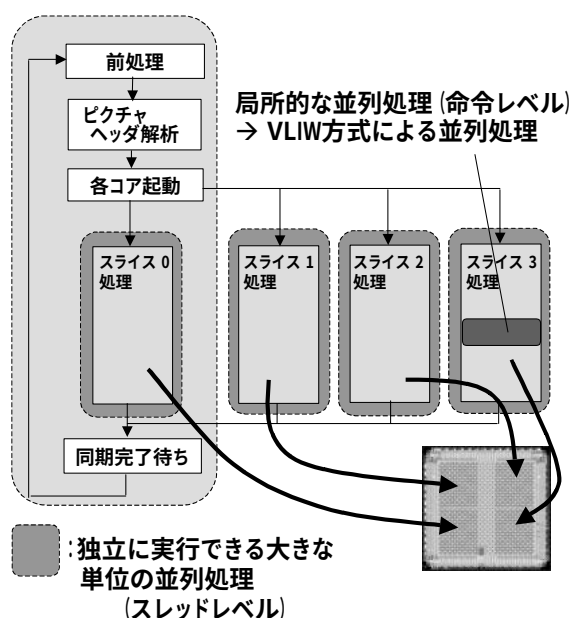


図-11 MPEG-2復号化プログラムの並列処理
Fig.11-Parallelized MPEG-2 video decoding.

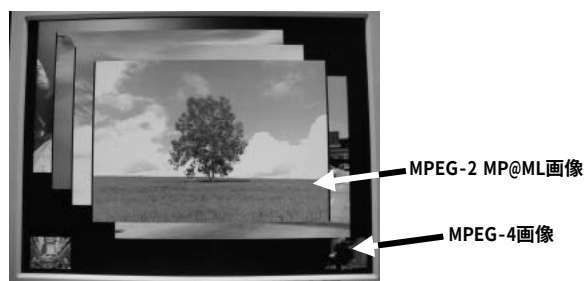


図-12 1チップマルチコアプロセッサで復号化されたMPEG-2 MP@ML画像
Fig.12-MPEG-2 MP@ML picture decoded by FR-V single chip multicore processor.

このような例として、複数のMPEG-2 MP@MLストリームと複数のMPEG-4のストリームを同時に復号している際の画像を図-12に示す。このようなことは、これまでは、複数のハードウェアが必要になるために、LSI化の作業に対する大きなインパクトであった。これに対して、本プロセッサを用いた場合、ソフトウェアの変更のみでこのような機能の変更・追加に対応できるために、従来の手法に比べ短期間でシステムが実現できる。

む す び

本稿では、8並列同時実行可能なVLIWプロセッサ

サコアを4個内蔵したFR-V初の本格的な1チップマルチコアプロセッサを紹介した。本プロセッサは、1サイクルで112演算を処理することができ、各コアに128 Kバイトの内蔵RAMを搭載し、2チャンネルのメモリアンタフェース、166 MHz 64ビットの高速システムバスインタフェースを持つ。

本プロセッサは、90 nm CMOS 9メタル層のプロセス、900ピンのフリップチップパッケージを用いて開発し、チップサイズは11.9 mm×10.3 mmである。プロセッサコアは500 MHz、メモリアンタフェースは250 MHz、システムバスインタフェースは166 MHzで動作する。MPEG-2のMP@HLの復号化時の消費電力は約3 Wである。

本プロセッサは、組込みプロセッサの分野においても、本格的なマルチコア時代の到来を告げるプロセッサである。これまで、ハードウェアにより実現していた多くの機能をソフトウェアだけで実現することができる。本プロセッサは、これからの機器開発においては、ソフトウェア技術が差別化のための中核を担う技術であることを示している。富士通製FR-Vのソフトウェアによるアプローチが、セットメーカーの機器開発の効率化に有効であることを示している。

参 考 文 献

- (1) H. Okano et al. : An 8-way VLIW embedded multimedia processor built in 7-layer metal 0.11 μ m CMOS technology. ISSCC Dig. Tech. Papers, p.374-375, 2002.
- (2) FR-Vメディアソリューション.
http://edevise.fujitsu.com/jp/concept/product/micom/frv-media_s/index.html
- (3) T. Shiota et al. : A 51.2GOPS, 1.0GB/s-DMA Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors. ISSCC Dig. Tech. Papers, p.18-19, 2005.
- (4) 統合開発環境SOFTUNE.
<http://edevise.fujitsu.com/jp/catalog/pdf/a07000207j.pdf>
- (5) ITRON Project Active.
<http://www.sakamura-lab.org/TRON/ITRON/home-e.html>
- (6) SOFTUNE REALOSシリーズ.
<http://edevise.fujitsu.com/jp/catalog/pdf/a071000912j.pdf>