

SoC用混載メモリ

SoC Embedded Memories

あらまし

画像や音声処理に使用するシステムLSI (SoC) では、機能増加に伴い、搭載されるメモリ容量が増している。現行のSRAMを使い続けると、チップ面積や消費電力の増大が問題となる。この問題を解決するために、搭載するメモリの特長を生かし、用途に合わせたSoC用混載メモリの開発を進めている。

本稿では、SoC用混載メモリのうち、大容量・低消費電力用途向けのDTM、低消費電力の不揮発性メモリであるFRAM、高速・大容量不揮発性メモリであるMRAMの開発状況について紹介する。

Abstract

The functionality of SoCs for graphics and audio applications is increasing; as a result, the density of embedded memory on these chips is also increasing. Moreover, the increases in chip area and power consumption have become big issues for embedded SRAMs. Extensive research and development of alternative memories have been conducted to address these issues. In this paper, we describe the R&D status of DTMs for high-density, low-power applications; FRAMs for nonvolatile, low-power applications; and MRAMs for nonvolatile, high-speed, and high-density applications.



田中 均 (たなか ひとし)
基盤技術研究所シリコンデバイス研究部 所属
現在、シリコン基盤技術とメモリ技術開発に従事。

ま え が き

半導体の技術進歩に支えられて、システムLSI (SoC: System-on-chip) の高集積化が進んでいる。画像や音声処理に伴うデータ処理量の増大に対応して、SoCに搭載されるメモリ容量は増加の一途である。図-1は、ITRS (International Technology Roadmap for Semiconductors) のロードマップに示されているSoCのチップ面積に占めるメモリの割合である¹⁾。用途に応じて必要とされるメモリの容量は異なるが、平均すると、半分がメモリの領域となる。微細化の指標であるテクノロジノードは、3年ごとに前の世代の70%に縮小して、単位面積あたりに搭載されるトランジスタ数は倍となる。チップ面積に占めるメモリの割合が増えているので、メモリ容量はテクノロジノード以上に増加する傾向にある。

SoCの基本となるメモリは、6個のトランジスタから成る6T-SRAMである(図-2)。SoCの演算処理を担当するロジックトランジスタにより構成されており、専用のプロセスを追加する必要がなく、高速であるために使いやすいメモリである。欠点は、6個のトランジスタにより1ビットを構成するために、1ビットあたりのセル面積が大きく、大容量化に向かない点である。また、微細化の進行に伴い、本来、低消費電力が利点の一つであったSRAMのリーク電流の増加、ソフトエラー率の上昇、ノイズマージンの減少という課題が顕在化してきている。

この6T-SRAMに代わり得る代替メモリに要求さ

れる要件は以下のとおりである。

- (1) 1ビットあたりのセル面積が小さく、大容量化できること。
- (2) 代替メモリのための追加プロセスが少なく、コスト増が小さいこと。
- (3) 高速での読み書きができること。
- (4) 消費電力が少ないこと。とくに電源を切ってもデータを保持できる不揮発性を有することが望ましい。
- (5) ソフトエラーに強いこと。
- (6) ロジックトランジスタの動作電圧と同じか(1.0~1.2V)、それに近いこと。

これらの要件を実現する候補となるメモリについて、表-1にまとめた。単体メモリにおいては非常に大きな市場をDRAMとフラッシュメモリが形成している。SoC用混載メモリでも両者は使われているが、DRAMにおいては、微細化してもキャパシタ容量を確保するための立体化が極度に進み、作製工程が複雑化している。フラッシュメモリでは、本質的に、データの書換え回数が 10^6 程度と有限なため、フラッシュマイコンなどのような、データをめったに書き換えない用途に使われている。そこで、SRAM、DRAM、フラッシュメモリに代わる、種々のメモリの開発が行われている。上記すべての要件を満たすユニバーサルメモリはまだ存在しないため、各メモリの長を生かす応用を目指した開発がなされている。それらをまとめたものが、図-3である。図-3(a)では、アクセス時間とメモリ容量の関係や、代表的な用途を示した。5 ns以下の高速

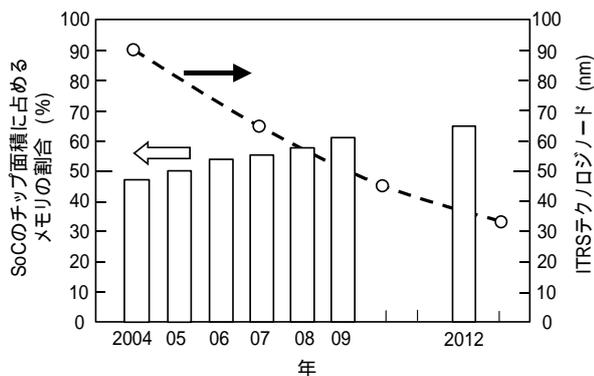
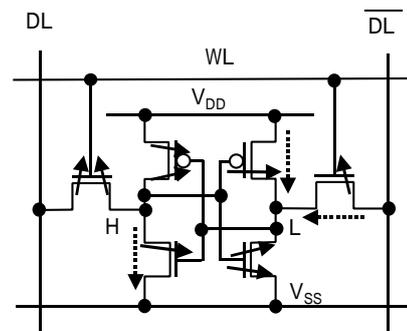


図-1 ITRSによるチップ面積に占めるメモリの割合とテクノロジノード

Fig.1-Memory area percentages in SoC and technology node depicted in International Technology Roadmap for Semiconductors.



..... サブスレッシュホールド電流 WL:ワードライン
 → ゲートリーク電流 DL:データライン

図-2 6T-SRAM回路
 Fig.2-6T-SRAM circuit.

表-1 混載メモリの比較

		SRAM	DRAM	フラッシュ	DTM	FRAM	MRAM
製造性	セル面積	120F ²	20F ²	10 ~ 25F ²	12 ~ 20F ²	20 ~ 40F ²	20 ~ 30F ²
	追加プロセス	なし	あり	あり	あり	あり	あり
	新材料	なし	なし あり	なし	なし	あり	あり
特性	読出し速度	1 ~ 10 ns	10 ~ 50 ns	20 ~ 70 ns	10 ~ 50 ns	30 ~ 100 ns	5 ~ 50 ns
	書込み速度	1 ~ 10 ns	10 ~ 50 ns	100 μs ~ 1 ms	10 ~ 50 ns	30 ~ 100 ns	5 ~ 50 ns
	書換え耐性(回)	無限	無限	10 ⁶	10 ¹³ 以上	10 ¹³ 以上	無限
	保持特性	揮発性	揮発性	不揮発性	揮発性	不揮発性	不揮発性

：セル面積の欄のFは加工寸法を意味する。90 nmテクノロジーであれば、F = 90 nm。各メモリのセル面積を比較する場合は、面積F²の何倍であるかを使う。

SRAM : Static Random Access Memory

DRAM : Dynamic Random Access Memory

フラッシュ : Flash Memory

DTM : Direct Tunneling Memory

FRAM : Ferroelectric Random Access Memory

MRAM : Magnetoresistive Random Access Memory

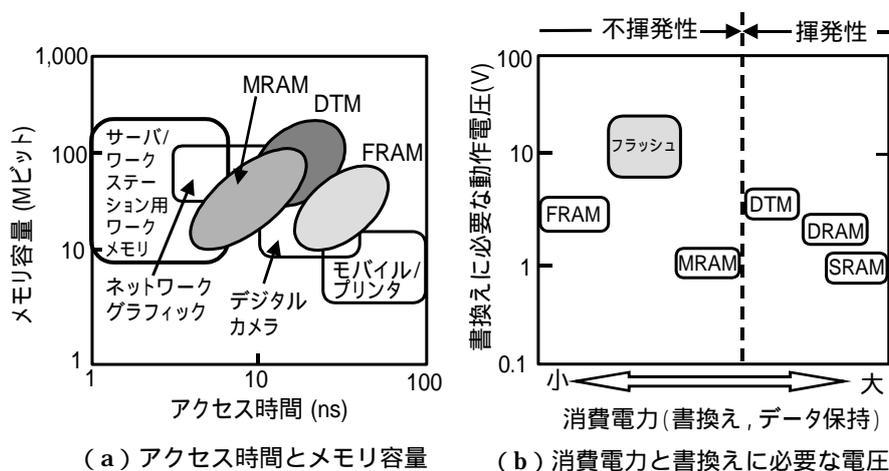


図-3 混載メモリの機能と用途
Fig.3-Performance of various embedded memories and their applications.

メモリについてはSRAMしか選択肢がないが、10 ~ 50 ns領域の混載メモリとして、新規メモリの適用が期待される。図-3 (b) では、動作電圧と消費電力を示した。不揮発性メモリであれば、データを保持するための電力が不要となるという大きな利点がある。同じ不揮発性メモリでも、データの書換えに際して、高電圧や高電流が必要なものもあり、その際に電力を消費することとなる。さらに、これらのメモリを搭載するに当たって、SoC製造工程に、追加のプロセスや、新規の材料を加える必要がある場合には、量産までに多くの労力や時間と新規プロセス設備を要するという課題が生ずる。これらの課題と、新規メモリを搭載することによるSoCの機能向上(主に、大容量化と低消費電力化)とを総合的に判断して、メモリが開発される。

本稿では、SoC用混載メモリの中でもRAMとして用いる、ダイレクトトンネルメモリ(DTM: Direct Tunneling Memory)、強誘電体メモリ(FRAM: Ferroelectric Random Access Memory)、磁気メモリ(MRAM: Magnetoresistive Random Access Memory)の研究開発について紹介する。

DTM (ダイレクトトンネルメモリ)

DTMは、フラッシュメモリと類似の構造をしているメモリである(図-4)最大の特長は、通常のCMOSプロセスと同じ材料によりセルが作成されることであり、新材料や新プロセス装置を導入する必要がないので、SoCの中に組み込みやすい。図-4の構造を保ったまま、大きさを縮小できるので、大容量混載メモリとしての適用を目指している。フ

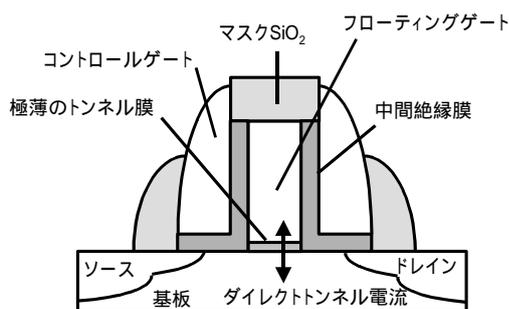


図-4 DTMのセル構造

Fig.4-Cell structure of direct tunneling memory.

ラッシュメモリと同様に、絶縁膜に挟まれたフローティングゲートに蓄えた電子の有無により、0/1のデータを記録する。フラッシュメモリにおいては、10年以上のデータ保持特性を確保するために、トンネル膜を10 nm前後と十分に厚くしている。一方、DTMでは、高速動作するように、このトンネル膜を3 nm以下に薄くする。3 nm以下の領域では、量子効果により電子がトンネル膜をすり抜けるダイレクトトンネル電流が増すため、高速で電子を注入することができる。すでに最先端のSoCでは、ゲート絶縁膜は1 nm近くまで薄くなっており、薄いゲート絶縁膜を使うことの量産上の問題はない。しかし、フローティングゲートに蓄積された電子は、この薄いトンネル膜を通して基板に逃げやすくなるので、もはや電子をフローティングゲートに10年間保つことができない。そこでDTMは不揮発性メモリとして用いるのではなく、DRAMと同様のリフレッシュ動作を伴う揮発性メモリとして用いる。

SoCの混載メモリとして用いるには、読み書きのスピードが重要である。図-5では、1.6 nmトンネル膜のDTMに対して、5 Vのゲート電圧をかけたときの書き込み速度を示した³⁾ 混載メモリの速度の目安となる10 nsの速度を得ている。加えて、同じデバイスのデータ保持時間が問題となる。時間とともにフローティングゲートに蓄えられた電荷がトンネル絶縁膜を通して抜けていくので、電荷が完全なくなる前にデータを読んで、もう一度同じセルに書き込むリフレッシュ動作の時間を決定するためである。このリフレッシュ動作を頻繁に行うと、データを保持しているときの消費電力が増して、代替メモリとしての価値が減少する。図-5の例では、デバイス構造の最適化により、10秒のデータ保持時間を

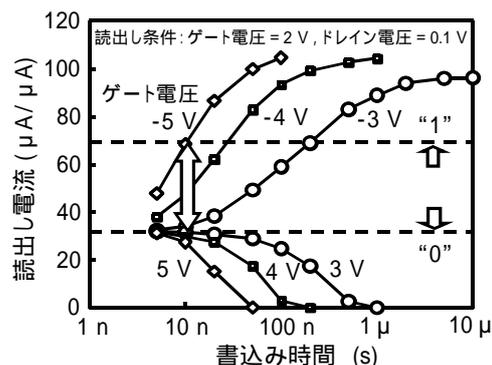


図-5 DTMの書き込み特性

Fig.5-Programming characteristics of DTM.

達成した³⁾ 同様にリフレッシュ動作を行うDRAMに比べると、2けた以上のリフレッシュ間隔の長期化が期待できる。また、画像処理のように、一定間隔で、データがすべて書き換わる用途においては、1秒以上のデータ保持時間があれば、リフレッシュ動作が不要となる。実際の適用においては、5 Vという電圧は高すぎるので、低電圧化を検討した。デバイスシミュレーションにより⁴⁾ 各種のパラメータを最適化した結果、高速化には、トンネル絶縁膜を薄くして1.1 nmとすること、またデータ保持時間を長くするには、基板濃度やフローティングゲート濃度を調整することが有効であった。最適化の後、3.3 Vの動作電圧において、アクセス速度10 ns、データ保持時間2.5秒を得た。

DTMは、このようにDRAMと同様の揮発性メモリとして開発を進めている。

FRAM (強誘電体メモリ)

FRAMは強誘電体膜の分極特性を0/1のデータに対応させたメモリである(図-6)。電圧をゼロとして外部電界を取り除いても、分極特性が維持されるので不揮発性メモリとして動作する。FRAMについては、本誌2002-3月号FRAM特集⁵⁾においても、取り上げられている。FRAMの最大の特長はその消費電力の低さにある。このため、スマートカードに代表されるような低消費電力を生かした用途に今後広く使われていくと期待されている。また、富士通は2004年10月に1 MビットFRAMの量産を発表した⁶⁾

現在のFRAMの量産ではスパッタ法により強誘電体膜を作製している。次世代のFRAMでは、メ

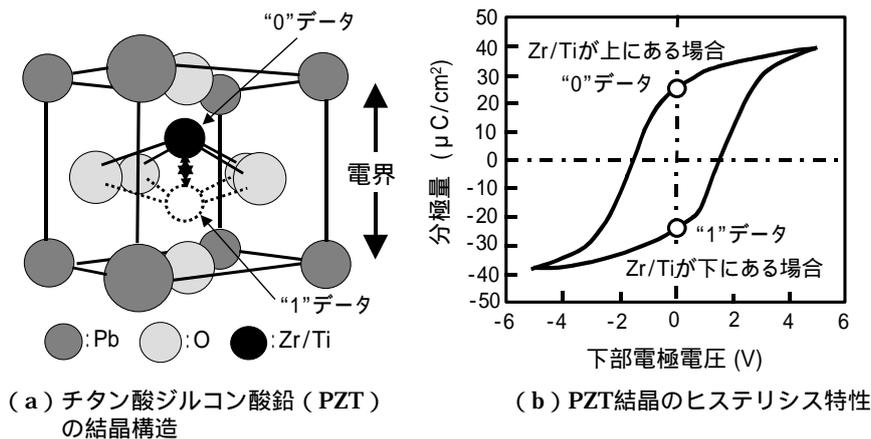


図-6 強誘電体結晶の基本特性
Fig.6-Fundamental characteristics of ferroelectric crystals.

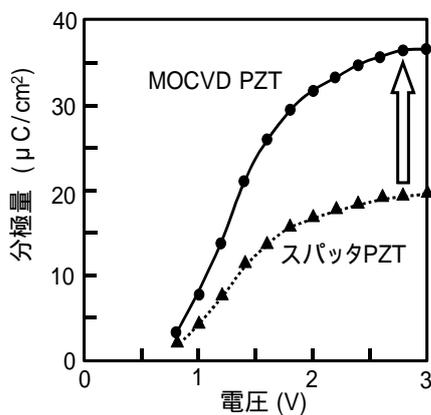


図-7 PZT膜の成膜法と分極特性
Fig.7-Growth methods of PZT layers and resulting polarization characteristics.

メモリ容量がより大きく、低電圧で動作することが求められている。これを実現するには、より緻密な膜を作製できて、分極特性も向上するMOCVD法（有機金属化学気相成長法）による成膜技術が必要となる（図-7）。CMOSの世代が進むと電源電圧が下がってくるので、低電圧における分極特性の大きさが重要である。図に示すようにMOCVD法により、低電圧領域での特性向上を期待できる。4 Mビットから64 MビットのFRAMの実現を目指して、開発を進めている。

本特集号「RFIDシステムにおける高速処理技術」でもFRAMのRFIDへの応用が述べられている。これもFRAMの低消費電力特性を生かしたものである。

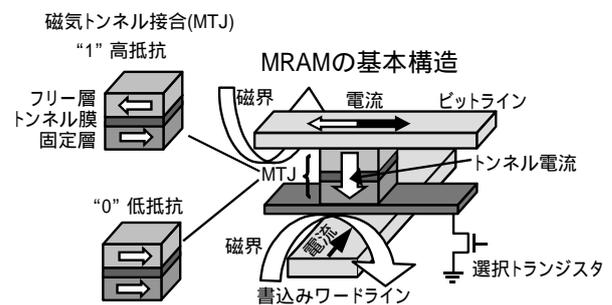


図-8 MRAMのセル構造
Fig.8-Cell structure of MRAM.

MRAM（磁気メモリ）

MRAMは磁気トンネル接合（MTJ：Magnetic Tunnel Junction）の磁気抵抗値の大小により、データを記録するメモリである（図-8）。1 nm程度の薄いトンネル絶縁膜の上下にある強磁性体薄膜のスピンの平行か、反平行かによって、MTJを流れるトンネル電流の値が異なる。下側の強磁性体膜のスピンの方向を固定して、上側のフリー層と呼ぶ強磁性体膜のスピンの方向を変化させる。このために必要な磁界は、配線に流す電流により発生させる（図-8）。スピンの反転は磁場をかけたときのみ起こるので不揮発性メモリとして動作する。この反転はナノ秒以下の高速に起こる現象であり、高速のデータ書換えが原理的に可能である。また、スピンの反転には材料構造の変化を伴わないので、反転を繰り返しても特性の劣化がない。したがって、高速大容量の不揮発性メモリとして期待されている。

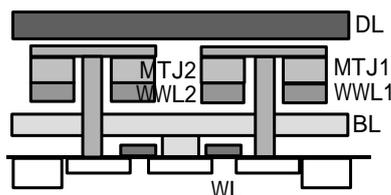
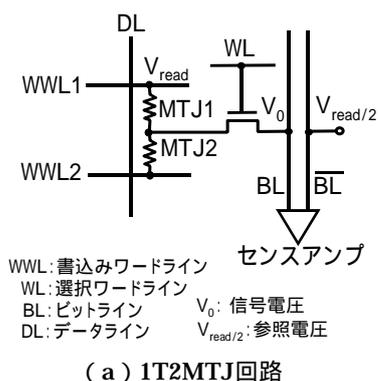


図-9 1T2MTJ回路方式
 Fig.9-1T2MTJ circuit.

MRAMの開発における課題を以下に示す。

- (1) 0/1に対応するMTJの磁気抵抗変化率(MR比)が50%程度と小さいため、MTJの磁気抵抗のばらつきを抑えることが重要となる。
- (2) データ書込みの際に配線に流す電流が大きい(~5 mA)ために、配線の信頼性を確保することが必要となる。
- (3) 微細化に伴い100 nm以下にMTJを小さくすると、スピンを反転させるために必要な磁界が増すので、微細化の障害となる。
- (4) 書込みの際に隣接するセルが不安定となり、データが書き換わる可能性があるため、マージンを持った書込み法の開発が必要となる。

(1)の課題については、MTJのばらつきの影響を抑えるために1T2MTJという回路方式(図-9)を提案した⁷⁾2個のMTJに相補的にデータを書き込んで、倍の抵抗差を読み出すことにより、マージンを確保する。1個のMTJに1個の選択用のトランジスタを接続する、通常の1T1MTJ方式より構成要素が増えるものの、MTJのばらつきの影響を防ぐことが可能となる。また、トンネル絶縁膜として、 Al_2O_3 の代わりにMgO膜を使うことにより、50%のMR比が200%以上と4倍改善されることが報告されている^{8),9)}このMgOを採用することにより、

1T2MTJの回路マージンが更に向上し、高速動作が可能となる。(2)と(3)の課題については、MTJの材料や層構造におけるブレークスルーが必要である。(4)については、MTJの加工形状の最適化により、隣接するセルへの影響を抑えられつつある。150 nm × 200 nm程度のMTJを用いて、64 Mビットクラスの混載MRAMの実現を目指している。

む す び

本稿では、SoC用混載メモリとして用いられてきたSRAMの課題を解決する有力候補のメモリであるDTM, FRAM, MRAMについて開発状況を紹介した。これら以外にも、混載メモリとして、相変化材料(GeSbTe)を用いるPRAM(Phase change Random Access Memory)、抵抗変化材料(PrCaMnOやNiO)を用いるRRAM(Resistance Random Access Memory)、カーボンナノチューブを用いるメモリ、SOI基板を使ったキャパシタレスDRAMが提案されている。SRAM, DRAMによる既存の混載メモリの課題が大きくなっており、この解決策となる代替メモリの開発が待たれている状況である。メモリに対するすべての要件を満たすユニバーサルメモリというものは存在しないので、特長を生かしたメモリの開発が進められている。メモリは、システムをその中に取り込んでいくSoCにとって、高機能、低消費電力を実現する大きな要素となる。そのために代替メモリの開発に寄せられる期待は大きい。

参考文献

- (1) International Technology Roadmap for Semiconductors 2004 Update .
<http://public.itrs.net/>
- (2) N. Horiguchi et al. : A Direct Tunneling Memory (DTM) utilizing novel floating gate structure .
 IEDM Tech. Digest , 1999 , p.922-924 .
- (3) K. Tsunoda et al. : Ultra-High Speed Direct Tunneling Memory (DTM) for Embedded RAM Applications . Symposium of VLSI Technology Digest , 2004 , p.152-153 .
- (4) H. Tashiro et al. : Device Design of Direct Tunneling Memory (DTM) Using Technology Computer Aided Design (TCAD) for Low-Power

RAM Applications . *Japanese Journal of Applied Physics* , Vol. 44 , p.2137-2141 (2005) .

- (5) 特集1 : FRAM . *FUJITSU* , Vol. 53 , No.2 , p.95-122 (2002) .
- (6) 1 Mビット (x8/x16) FRAM MB85R1001/MB85R1002 . *FIND* , Vol.22 , No.6 , p.10-13 (2004) .
- (7) M. Aoki et al. : A Novel Voltage Sensing 1T/2MTJ Cell with Resistance Ratio for Highly Stable and Scalable MRAM . Symposium on VLSI Circuits

Digest , 2005 , p.170-171 .

- (8) S. S. P. Parkin et al. : Giant tunneling magnetoresistance at room temperature with MgO (100) tunnel barriers . *Nature Materials* , Vol.3 , p.862-867 (2004) .
- (9) S. Yuasa et al. : Giant room-temperature magnetoresistance in single-crystal Fe/MgO/Fe magnetic tunnel junctions . *Nature Materials* , Vol.3 , p.868-871 (2004) .

