

システムLSI設計のためのタイミング設計 CADツール

CAD Tools for Early Timing Closure of System-on-Chip Designs

あらまし

システムLSIの設計では、低消費電力化、およびモジュール再利用などのため、タイミング制約がますます厳しく、かつ、複雑になってきている。このようなタイミング制約のもとで、タイミング収束のための工数増大が問題となっている。本稿では、この問題を解決するための新しいCADツールとして、クロックツリー合成ツール“ March ”とマルチサイクルパス解析ツール“ MagusMCP ”を紹介する。

Marchは、従来よりも柔軟な構成のクロック回路を生成する枠組みを提供することで、タイミング制約を満たす回路の生成を容易にする。その結果、クロック生成の設計期間を短縮することができる。また、MagusMCPは、回路の論理を考慮した解析によりマルチサイクルパスを自動検出する。その結果、タイミング制約を緩め、タイミング収束の早期化を実現する。

Abstract

Due to current design trends such as low-power design and IP reuse, the timing constraints of System-on-Chips are becoming tighter and more complicated. Therefore, early timing closure is becoming more and more difficult in modern System-on-Chip design. In this paper, we introduce two new CAD tools to solve this problem. One is a clock tree synthesis tool called March, and the other is a multi-cycle path analysis tool called MagusMCP. The clock tree synthesis tool, March, provides a framework for generating more flexible clock circuit configurations that make it easier to meet the timing constraints. The multi-cycle path analysis tool, MagusMCP, automatically detects multi-cycle paths based on an analysis that takes the logic of a circuit into account. This has the effect of loosening the timing constraints, which enables early timing closure.



金澤裕治（かなざわ ゆうじ）
ITメディア研究所CAD研究部 所属
現在、システムLSI設計のCAD関連
の研究に従事。



樋口博之（ひぐち ひろゆき）
ITメディア研究所CAD研究部 所属
現在、システムLSI設計のCAD関連
の研究に従事。

ま え が き

タイミング設計とは、システムLSIの回路遅延を見積もり、最適化を行って、遅延がシステムLSIの正常動作に必要な範囲内にあることを確認する工程のことである。タイミング設計は、製造したシステムLSIが正しく動作することを保証するために必要不可欠であると同時に、作業量が多く、システムLSI設計工数の中でも大きな割合を占めているため非常に重要である。システムLSI設計期間の短縮のためには、まず、タイミング設計工数の削減を図る必要がある。

近年のシステムLSI設計では、低消費電力化、モジュール再利用などの理由により、複雑なタイミング上の制約が要求されることが多い。例えば、ほかの回路よりも低いクロック周波数で動作しても処理が間に合う部分では分周したクロックを使用したり、クロックゲートを入れて不要なクロックの供給を停止したりすることによって低消費電力化を図ることが一般的に行われている。また、一つのシステムLSIを複数の機器に使うため、タイミング条件が異なる複数の動作モードを用意することもある。このため、システムLSI設計のタイミング制約は複雑になることが多い。

このような事情が原因で、設計者が正確なタイミング制約を把握することが困難になりつつある。著者らは、システムLSI設計期間の短縮のためには、従来のタイミングドリブンレイアウト技術⁽¹⁾に加えて、正確なタイミング制約の把握を自動的に行うツールが必要と考え、そのために必要なクロック合成技術、論理解析技術の研究開発を進めてきた。

本稿では、システムLSI設計のタイミング制約問題について解説し、それに対処するためのCADツールとして、クロックツリー合成ツール“March”、マルチサイクルパス解析ツール“MagusMCP”について解説する。

システムLSI設計のタイミング制約問題

システムLSIがターゲット周波数で動作するためには、セットアップ制約とホールド制約の2種類のタイミング制約を満たす必要がある。一般的に、送り側のFF（フリップフロップ）から出た信号が、受け側のFFに到達するタイミングは、現クロック

の後、つぎのクロックの前になければならない。信号の到達が現在のクロックよりも後に届くことを保証するのがホールド制約、つぎのクロックよりも前に届くことを保証するのがセットアップ制約であり、それぞれ信号の伝播時間^{でんぱ}の最小限、最大限の値を定める。

以下、システムLSI設計を行う上で、考慮しなければならないタイミング制約問題について述べる。

- クロック分配におけるタイミング制約

タイミング制約は各FFにクロックが到達するタイミングに影響される。したがって、正確なクロックの到達時刻が分からないと正確なタイミング制約は分からない。従来の一般的な設計フローでは、全FFが同一時刻にクロックを受けるものと仮定してFF間のタイミング制約を導き出し、タイミング最適化配置を行った後、スキュー（FF間のクロック到達時刻の差）を最小化するようにクロックツリーを構築していた。そして、最後に正確なクロック到達時刻を求めた後、前述の制約に違反するエラーが残っている部分を遅延最適化することによって対処してきた。

しかし、近年のシステムLSIでは、すべてのFFが同期することが期待されているとは限らない。これは、モジュールの再利用に伴うクロックソースの数の増加やクロック間の乗換え、低消費電力化のためのクロックゲートの挿入、分周クロックの使用などにより、クロックが複雑化していることが原因である。

例としてクロックゲートを考えてみる。クロックゲートとは、低消費電力化のため、動作する必要がないと分かっているモジュールへ到達するクロックの伝播を止めるための素子である。クロックゲートにクロックが到達する時刻は、クロックゲートから最終段のFFに到達するのにかかる遅延の分だけ、通常のクロックよりも早いことになる。図-1のようにクロックサイクル5 nsのLSIで、クロックゲートから最終段のFFまでクロックが到達するのに1 nsかかるとすれば、クロックゲートを制御するためのenable信号は、送り側FFから最大でも4 ns以内に到達しなければならない。それ以上時間がかかると、止めなければいけないクロックが通過してしまうからである。同様の問題は、クロックゲートだけでなく、分周クロック生成用の回路でも発生する。

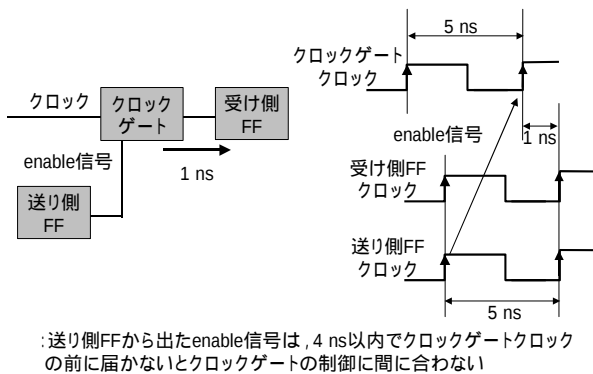


図-1 クロックゲートとタイミング制約
Fig.1-Timing constraint at clock gate.

● マルチサイクルパスの抽出

正確なタイミング制約の把握を通じて設計期間の短縮を図る技術を確認する上で、もう一つ考慮しなければならないタイミング制約問題として、マルチサイクルパスの抽出がある。マルチサイクルパスとは、信号が受け側FFに到達するのに2クロックサイクル以上かかって回路が正しく動作するパスのことである。とくに、低消費電力化のためにクロックゲートを多用している回路では、受け側FFへ信号が到達しても、クロックがゲートされているためラッチされず、設計者が意識していないマルチサイクルパスが多く存在している可能性がある。1クロックサイクル内で信号が届かないパスがあっても、そのパスがマルチサイクルパスであれば、遅延の最適化をしなくても、システムLSIは動作する。したがって、回路の中に存在するマルチサイクルパスの情報を活用することができれば、無駄なタイミング最適化作業を省くことができ、設計効率化に貢献できると考えられる。

著者らは、システムLSI設計期間の短縮のために、複雑なクロック構造への対応、マルチサイクル抽出などによる正確なタイミング制約の把握の重要性は今後ますます高まるものと考え、研究開発を進めてきた。

次章から、前述したタイミング制約問題に対処したCADツールとして、クロックツリー合成ツール“March”，マルチサイクルパス解析ツール“MagusMCP”について述べる。

クロックツリー合成ツールMarch

クロック構成が複雑になるに従い、従来のス

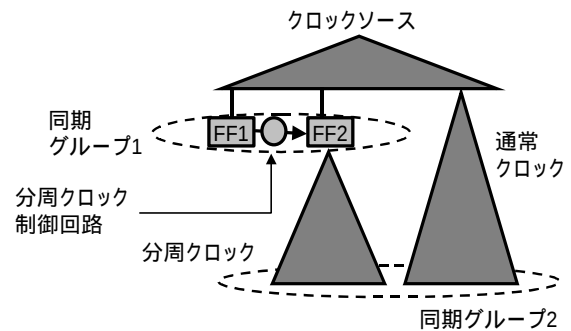


図-2 同期グループ使用例
Fig.2-Example of synchronization group.

キュー最小化を目指したクロックツリーの合成だけでは設計が難しくなるケースが増加している。

前章で述べたように、クロックゲートのenable信号を終点とするパスがある場合、タイミング制約は、クロックゲートから最終段のFFまでクロック信号が伝播するのに要する時間によって決まる。このようなパスを多く持っているLSIでは、配置後にスキューを最小化するクロック合成では不十分で、以下のような性質を持つクロック合成が必要と考えられる。

- (1) 同期するFFのグループの指定が可能
- (2) クロックパスの信号伝播時間が小さい
- (3) レイアウトの初期段階において、レイアウト

後に実現されるクロックの到達時刻が予測可能

著者らはこの条件を念頭においてクロックツリー合成ツールMarchを研究開発してきた。

Marchは、ネットリスト、レイアウト情報、FFの同期グループ分け情報を入力とし、クロックツリーを出力するクロックツリー合成ツールであり、以下のような機能を持っている。

- (1) 同期FF指定機能

同期グループに基づいてクロックツリーを分割し、遅延調整に適した構成を選択する。とくに、同期グループとしてクロックパスの途中にある素子を指定可能とすることにより(図-2)、クロックゲート、分周クロック生成回路と同期する部分を指定可能になっている。

- (2) RAMなどによる配置、配線禁止の正確な把握

クロックパスの見積り精度向上を通じて、レイアウト初期段階から最終的なクロックの到達時刻の予測精度を高める。

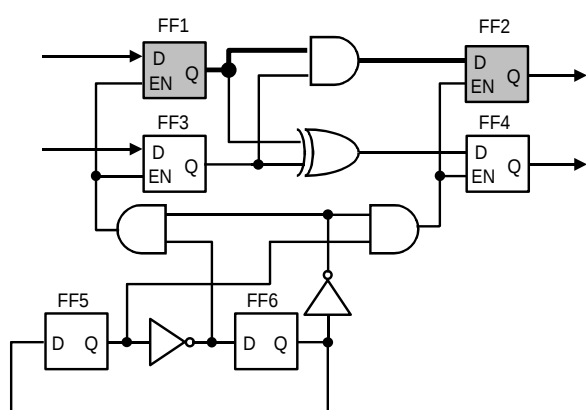


図-3 マルチサイクルパスの例
Fig.3-Example of multi-cycle path.

(3) クロックパスの遅延削減機能

クロックパスの遅延削減のため、著者らが従来研究開発してきたデータパスの遅延最適化技術⁽¹⁾を活用している。

Marchでは、これらの機能により、レイアウト初期段階からクロックを正確に見積もることを可能にして、クロック生成の問題による手戻りが発生しない設計フローを目指している。

マルチサイクルパス解析ツールMagusMCP

● システムLSIのタイミング解析の現状と問題点

システムLSIのタイミング解析では、回路の大規模化に対応するため、入力パターンを用いずに、回路の機能とは独立に回路の遅延を見積もる静的タイミング解析 (Static Timing Analysis, 以下STA) ツールを用いるのが一般的である。STAにより大規模回路に対しても高速で網羅的なタイミング解析が可能となったが、システムLSIの多機能化、高速化、低消費電力化が進むにつれ、現在以下のような点が問題となってきた。

- (1) クロック回路の複雑化により、STAツールに与えるモード設定やクロック設定が複雑になってきた。
- (2) 機能を考慮せずに厳しいタイミング制約を満たすことが難しくなっており、回路の機能を考慮したタイミング例外パスを数多くタイミング制約として与える必要が出てきた。

(2) のタイミング例外パスはほとんどの場合設計者が人手で与えるが、(1) のような状況下で回路の機能を確認するには多くの工数が必要である。

本章で紹介するマルチサイクルパス解析ツールMagusMCPは設計者に代わってタイミング例外パスを見つけ出し、工数削減を図るツールである。

● マルチサイクルパス

マルチサイクルパスはタイミング例外パスの一種である。通常、回路中の組合せ回路部分のパスの遅延は1クロックサイクル以内に収める必要があるが、 n サイクルのマルチサイクルパスとは n 周期までタイミング制約を緩められるパスである。マルチサイクルパスの例を図-3に示す。図中、FFはすべて同一のクロックに駆動されるものとする (クロック信号は省略)。図-3において、例えばFF1からFF2へのパスがマルチサイクルパスである。これは次のような解析により分かる。FF1はFF5 = 0かつFF6 = 0のときのみイネーブル (EN入力 = 1) になり、FF2はFF5 = 1かつFF6 = 0のときのみイネーブル (EN入力 = 1) になる。FF5, FF6は (FF5, FF6) = 00 → 01 → 11 → 10 → 00という遷移を繰り返すカウンタであることも考慮すると、FF1とFF2がイネーブルになるのは3クロック周期の間隔があることが分かる。したがってこのパスは3サイクルのマルチサイクルパスである (同様にFF1からFF4, FF3からFF2, FF3からFF4も3クロックサイクルのマルチサイクルパス)。

● MagusMCPによるマルチサイクルパスの検出

マルチサイクルパス解析ツールMagusMCPは、富士通研究所で開発した新技術⁽²⁾を利用して、図-3で示したような回路の論理動作を自動的に認識することによりマルチサイクルパスを見つけ出す。MagusMCPはVerilogHDL記述のネットリスト、セルライブラリ、SDC (Synopsys Design Constraint) ^(注1)形式またはGista⁽³⁾形式のクロック設定およびモード設定記述ファイルを読み込むだけで自動的にマルチサイクルパスを検出し、それをSDC形式またはGista形式で出力する (図-4)。検出されるマルチサイクルパスは始点と終点のFFのみが指定される。すなわち、その間のパスがすべてマルチサイクルパスの場合のみ検出する。入力としてPrimeTime, Gistaなどの各種STAツールのタイミングレポートを入力することで、タイミング制約を満たさないパスのみを対象に解析を行うこともで

(注1) SDCはSynopsys社が定め業界標準となっている、LSI設計のタイミングなどの制約を記述するための形式。

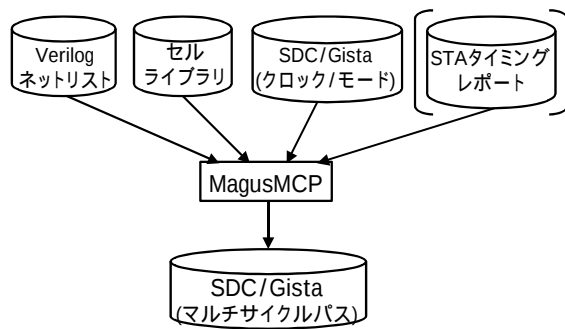


図-4 MagusMCPのシステム構成
Fig.4-System configuration of MagusMCP.

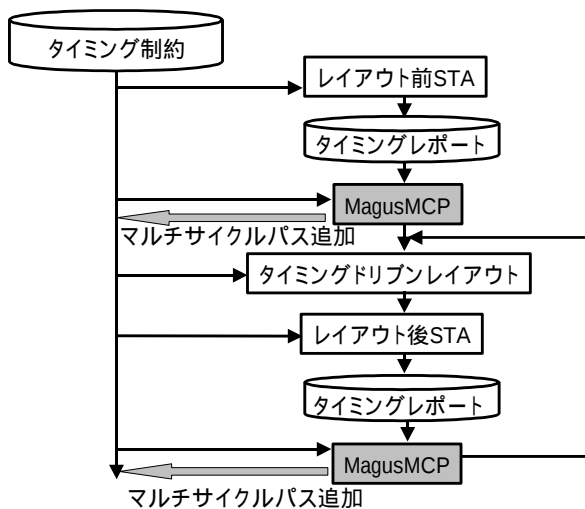


図-5 MagusMCPを用いた設計フローの例
Fig.5-Design flow with MagusMCP.

きる。本ツールにより、数百万ゲート規模の実設計に対し、数万本のタイミングエラーパスのマルチサイクルパス解析を10分程度で高速に行える^(注2)

- 設計フローにおけるMagusMCPの利用

本ツールを用いた設計フローの例を図-5に示す。MagusMCPで検出したマルチサイクルパスはタイミング制約に追加することでSTAでのタイミングチェックを緩和できるようになる。レイアウト前の

(注2) 処理時間はSPARC64V 1,100 MHz上での数値。

STAでのタイミングエラーパスを対象としてマルチサイクルパス解析を行い、タイミング制約をできるだけ緩めておくことで、タイミングドリブンレイアウトの処理時間の短縮につなぐことができる。また、レイアウト後のSTAでのタイミングエラーパスを対象としてマルチサイクルパス解析を行い、マルチサイクルパスが見つかった場合、そのパスのタイミング制約のみを修正してタイミング制約を緩和するため、そのパスについてはネットリストにもレイアウトにも全く手を加えることなくタイミングを満たすことができ、タイミング収束の早期化が可能となる。

む す び

本稿では、タイミング制約の把握を考慮したタイミング設計CADツールとして、クロックツリー合成ツール“March”と、マルチサイクルパス解析ツール“MagusMCP”を紹介した。

今後のMarchでは、同期するFFグループを設計者ではなく自動で選ぶ点の改良が必要である。そのためには、データパス遅延を解析し、最適な同期グループを選択するためのクロック解析機能があることが望ましい。また、MagusMCPでは、マルチサイクルパスだけでなく、フォールスパスを扱う機能強化を予定している。

参 考 文 献

- (1) 金澤裕治ほか：タイミングドリブン配置システム：SMINCUT + BIGWIG . *FUJITSU* , Vol.50 , No.6 , p.367-371 (1999) .
- (2) H. Higuchi : An Implication-based Method to Detect Multi-Cycle Paths in Large Sequential Circuits . *Design Automation Conference* , June 2002 , p.164-169 .
- (3) 今野正：静的タイミング解析ツール：Gista . *FUJITSU* , Vol.50 , No.6 , p.388-392 (1999) .