

新型ASIC : AccelArray

New Structured ASIC: AccelArray

あらまし

AccelArrayは0.11 μm プロセスのCMOSテクノロジーを適用し、高性能、Time-to-Marketの短縮、トータルコスト削減という設計思想を実現したASIC製品である。AccelArrayは、品種ごとに再設計する必要がないマスタ共通部と、品種ごとに配線層を設計するカスタマイズ部の二つから成る。マスタ共通部には、AccelArrayの設計思想を実現するため、お客様の設計の負担やリスクを低くする様々な要素技術を取り入れた。その結果、スタンダードセル開発に近い大規模・高速のシステムLSI開発において、その設計期間を1/3に短縮し、開発のトータルコストを大きく削減することが可能となった。

本稿では、AccelArrayの設計思想とこれを実現する要素技術、開発環境とレイアウトCADについて述べる。

Abstract

AccelArray is a high-performance, cost-effective, and short time-to-market ASIC manufactured using Fujitsu's 0.11-micron CMOS process technology. It consists of a predefined section that includes global clock trees, DFT test nets, a power-mesh, and layers of customizable wiring. To realize the AccelArray design concept, various essential technologies have been introduced for reducing the design load and risks for the customer. As a result, AccelArray provides a one-third reduction in design turnaround time compared to standard-cell ASICs for large-scale, high-speed System-on-Chips and a significant reduction in total development cost. This paper describes the design concepts of AccelArray and the essential technologies required to realize them. It also describes AccelArray's development environment and layout CAD.



松原裕之（まつばら ひろゆき）
テクノロジー開発統括部第一設計技術
部 所属
現在、AccelArrayの開発に従事。

まえがき

今日のシステムLSIの大規模化や複雑化で、既存のスタンダードセルの開発では、お客様の設計の自由度や高性能のメリットよりも、開発期間の長期化や開発費用の高騰などのデメリットが大きくなっている⁽¹⁾。スタンダードセルでは、設計完了後の製造工程として、トランジスタ（回路）を埋め込んでいるバルク層の工程、その後に配線層の工程と続く。お客様の製品ごとに発生する、マスク枚数に比例するレチクル費用が、トータルの開発費用の中で大きな割合を占めるようになってきた。

一方、ゲートアレイやエンベデッドアレイは、バルク層の工程は完了、配線層の工程は未完のバルクマスタの状態準備し、お客様の製品ごとに配線工程から製造するマスタスライス方式である。そのためマスク費用は削減できるが、バルクマスタには、搭載ゲート数、RAM容量、動作周波数などに制約がある。同様にFPGAもスタンダードセルと比較すると搭載ゲート数、量産単価、動作周波数、消費電力などの制約があり、お客様の製品のニーズに必ずしも合うとは限らなかった。先端のテクノロジーを使ってお客様のニーズに合ったASIC製品を廉価に提供することが、この数年、半導体メーカの大きな課題となっていた。

富士通の新型ASICであるAccelArrayでは上述の課題を解決するために、構成要素を製品ごとに再設計する必要がないマスタ共通部と、製品ごとに再設計可能なカスタマイズ部の二つに切り分ける仕組みを採用した。AccelArrayには、お客様の設計負担やリスクを低くする様々な要素技術を取り入れた。その結果、スタンダードセル開発に近い大規模・高速のシステムLSI開発において、その設計期間を1/3に短縮し、お客様の開発のトータルコストを大きく削減することが可能となった。

本稿では、AccelArrayの要素技術を中心に紹介する。

AccelArrayの概要

新型ASICであるAccelArrayは、0.11 μm プロセスのCMOSテクノロジーを適用し高性能、Time-to-Marketの短縮、トータルコスト削減という設計思想を実現するASIC製品である。お客様の製品に適

した、応用分野と回路規模ごとのフレームライブラリのラインアップを提供する。本章ではAccelArrayの設計思想を実現させているフレームライブラリ、要素技術、コスト削減、そしてIP（Intellectual Property）マクロを紹介する。

（1）フレームライブラリ

フレームライブラリはマスタスライス方式をベースに、AccelArrayの構成要素を製品ごとに再設計する必要がないマスタ共通部と、製品ごとに配線層を設計するカスタマイズ部の二つに切り分けている。マスタ共通部にバルクマスタと配線層3層、カスタマイズ部に残りの配線層を割り当てた。フレームライブラリには、広範囲の分野のIPマクロが搭載されており、マスタ共通部にはあらかじめクロック配線、電源配線、DFT（Design for Test：テスト合成）が設計済みである。近年大きな問題となっているシグナルインテグリティ対策として、電源降下対策、ACノイズ対策、隣接配線のカップリング容量による遅延変動（クロストーク）防止などを事前に各フレームライブラリに施している。

AccelArrayのフレームライブラリのレイアウト例を図-1に示す。各フレームライブラリにはあらかじめI/O、PLL、RAM、フリップフロップ、使用可能ゲートなどの様々なマクロが配置済みである。PLLから各種マクロへのクロック基幹配線も配線済みである。フレームライブラリのラインアップは

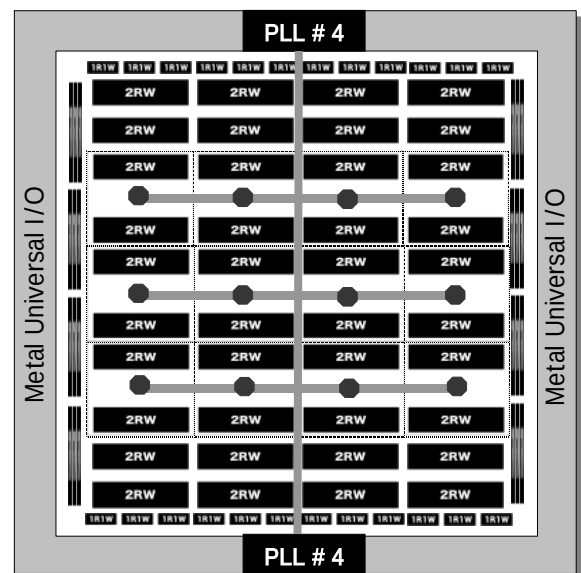


図-1 フレームライブラリレイアウト例
Fig.1-Example of frame library layout.

表-1 メガフレームライブラリのラインアップ

フレーム名	M20	M30	M40	M50	M52
I/Oセル数	696	824	952	1,176	1,176
FFセル数 (× 1,000)	50	70	93	150	233
使用可能ゲート数 (× 1,000)	720	1,008	1,344	2,160	3,689
ASIC換算ゲート数 (× 1,000)	1,219	1,707	2,276	3,658	6,019
2RW-SRAM容量 (1,000ビット)	1,680	2,240	2,880	4,400	2,400
1R/1W-SRAM容量 (1,000ビット)	90	105	120	150	150
最大搭載SRAM容量 (1,000ビット)	1,770	2,345	3,000	4,550	2,550
PLLマクロ数 (#)	8	8	8	8	8
パッケージ [ボディーサイズ][ピンピッチ]	最大信号ピン数 (テストピン含む)				
FCBGA729 [29 mm sq.][1.00 mm]	460				
FCBGA961 [33 mm sq.][1.00 mm]	636	636	636		
FCBGA1156 [35 mm sq.][1.00 mm]		796	796	796	796
FCBGA1681 [42.5 mm sq.][1.00 mm]				1,024	1,024

I/Oの伝送速度で2系統用意しており、それぞれ、メガフレーム (666 Mbps以下) とギガフレーム (622 Mbps-3.125 Gbps) と名付けている。フレームライブラリのラインアップ (計画中含む) を表-1、表-2に示す。プロセス技術は0.11 μ m SiゲートCMOS, Low-k層間膜, エリアンプを採用した。内部回路の最大動作周波数は333 MHzを実現している。

(2) 短TAT設計に取り入れられている要素技術

マスタスライス方式を採用し、製品ごとにカスタマイズされる配線層が絞り込まれているため製造TAT (Turn Around Time) が短い。また短TAT設計を実現するために様々な要素技術を取り入れた。お客様にとって設計に手間取るクロック配線をフレームライブラリにあらかじめ8系統埋め込み、クロック配線のスキュー調整とクロストークノイズ対策を行った。シグナルインテグリティ対策のために、信号配線のシールド配線やワイドスペース配線を実施した。フレームライブラリのマスタ共用部に、電源電圧降下の影響が出にくい電源設計とACノイズ対策を行い、テスト回路を埋め込んだ。

以上の工夫により、後述するレイアウト設計では電源設計、クロック設計、テスト合成の負担を大きく削減し、お客様の開発期間をスタンダードセル比

表-2 ギガフレームライブラリのラインアップ

フレーム名	G30	G40	G45	G50	G55
4ch G-phyマクロ数 (Tx + Rx)	3	4	2	6	2
S-phyマクロ数 (Tx + Rx)	0	0	2	0	2
I/Oセル数	612	688	554	864	760
FFセル数 (× 1,000)	69	93	93	206	149
使用可能ゲート数 (× 1,000)	1,007	1,343	1,343	3,133	2,158
ASIC換算ゲート数 (× 1,000)	1,706	2,275	2,275	5,196	3,656
2RW-SRAM容量 (1,000ビット)	1,960	2,560	2,560	3,040	4,000
1R/1W-SRAM容量 (1,000ビット)	45	52	52	75	67
最大搭載SRAM容量 (1,000ビット)	2,005	2,612	2,612	3,115	4,067
PLLマクロ数 (#)	8	8	8	8	8
パッケージ [ボディーサイズ][ピンピッチ]	最大信号ピン数 (テストピン含む)				
FCBGA961 [33 mm sq.][1.00 mm]	×	×	×		
FCBGA1156 [35 mm sq.][1.00 mm]	×	×	×	×	×
FCBGA1681 [42.5 mm sq.][1.00 mm]				×	×

：G30フレームの仕様は未定 ×：準備中

で1/3程度まで大きく削減した。

(3) トータルコストの削減

カスタマイズ部の配線層のみを製品ごとに設計するAccelArrayでは、マスクの製造枚数がスタンダードセルと比較して少なくすむため、製造コストが削減できる。またフレームライブラリのマスタ共通部に短TAT設計ができる仕組みを取り入れているので、設計費用が削減できる。以上により、製造コストと設計費用の両方が削減できるため、お客様の最終商品開発のトータルコスト削減に大きく寄与する。

(4) 搭載IPマクロ

本製品には以下に示す多彩なIPマクロを搭載している (計画中含む)。

- ・RAMマクロ (1R1W, 2RW)
- ・DDR-I/F
- ・PLL (周波数25 MHz ~ 800 MHz)
- ・2.5 V-LVCMOS
- ・3.3 V-Tolerant
- ・HSTL
- ・PCML
- ・LVDS

- ・ SSTL2
- ・ PCI-66
- ・ PCI-X
- ・ SPI-4P2
- ・ XAUI
- ・ BackPlane
- ・ SGMII/1G BASE-LX/SX
- ・ Fibre Channel
- ・ Serial Rapid IO
- ・ PCI Express
- ・ ARM9

商品ターゲット

AccelArrayのターゲットポジションを図-2に示す。横軸は開発費やTAT，縦軸はチップあたりの単価，チップ面積，消費電力を示す。図面にはスタンダードセル，ハイエンドFPGA，廉価FPGA，AccelArrayの領域をそれぞれプロットした。AccelArrayは商品ターゲットとして3領域に強みを持たせている。以下にこの3領域の特徴を示す。

(1) Time-to-Market短縮

最終的にはスタンダードセルで製品を市場に投入したいが，市場投入時期を早めたい。また，ネットリスト仕様が直前まで定まらないときや，直前まで良いものに改良するための時間が欲しい。このような要求には，AccelArrayの設計から製造の短TATで応えることができる。

(2) 開発費リスク削減

製品のボリュームが中量（数百個から数千個）でスタンダードセル開発（数万個）よりは少ないが，ハイエンドFPGA（数個から数百個程度）よりは多く出る。また使用可能ゲート数やRAM搭載量が多く，FPGAでは実現困難と考えられる製品を開発したいという要求には，前者はAccelArrayのトータル開発費削減の仕組み，後者は多彩なフレームライブラリのラインアップで応えることができる。

(3) コストダウン

FPGAからのリプレースでトータルコストを削減したいという要求には，AccelArrayのマスタスライス方式採用のカスタマイズ部削減による開発費削減化で応えることができる。

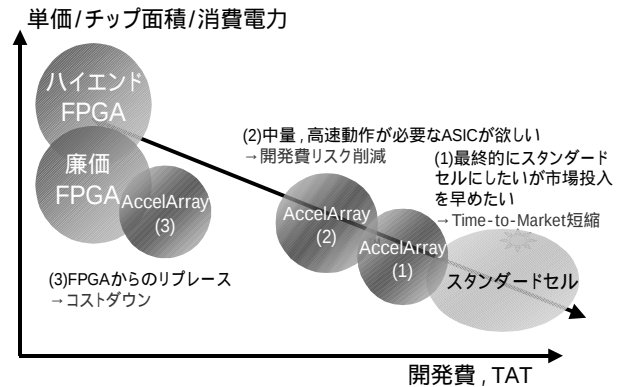


図-2 ターゲットポジション
Fig.2-Target position.

開発環境

AccelArrayの設計思想のもとに，AccelArrayの開発環境も構築されている。本章では開発費削減を実現する開発環境と短TATを実現するレイアウト設計について概要を述べる。

(1) 開発費削減を実現する開発環境

開発環境の概要を図-3に示す。富士通側ではRTL (Register Transfer Level)，ネットリストでのハンドオフをサポートしている。AccelArrayのデザインキットとして，端子配置サポートツール (Pastel)，フレームライブラリ選択ツール (Festa)，ネットリストデザインルールチェッカ (LDRC) を提供している。富士通は，主要なEDA (Electronic Design Automation) ベンダの論理合成ツールをサポートしており，サインオフSTA (Static Timing Analysis) ツール (Gista) の提供を行っている。お客様での新たなツール投資が不要となり，開発費用のトータルコストの削減に大きく寄与する。

(2) 短TATを実現するレイアウト設計

レイアウト設計の流れを図-4に示す。レイアウト設計のためにAccelArray専用レイアウトCADシステム，AccelBuilderを自社開発した。従来のASIC設計では，DFT回路の挿入，電源設計，クロックツリーの生成などの作業工程が必要であった。AccelBuilderは，AccelArrayの固有のチップアーキテクチャ，すなわち，フレームライブラリのマスタ共通部に埋め込まれたDFT回路やクロックツリーに対応しており，レイアウトの作業負担を減らすための様々なレイアウト機能を有する。

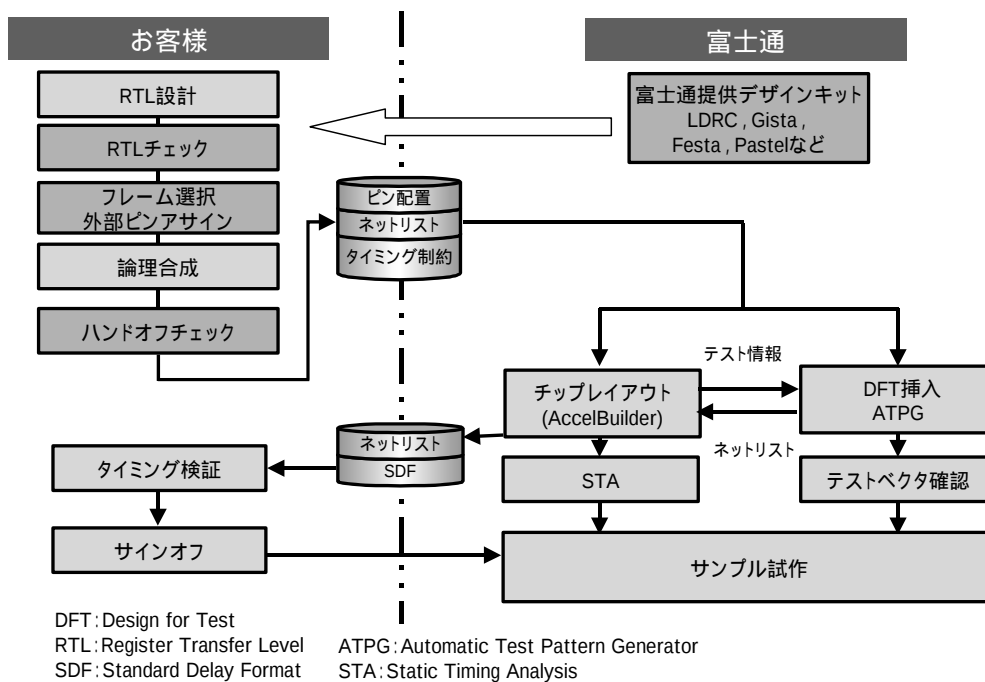


図-3 開発環境
Fig.3-Development environment.

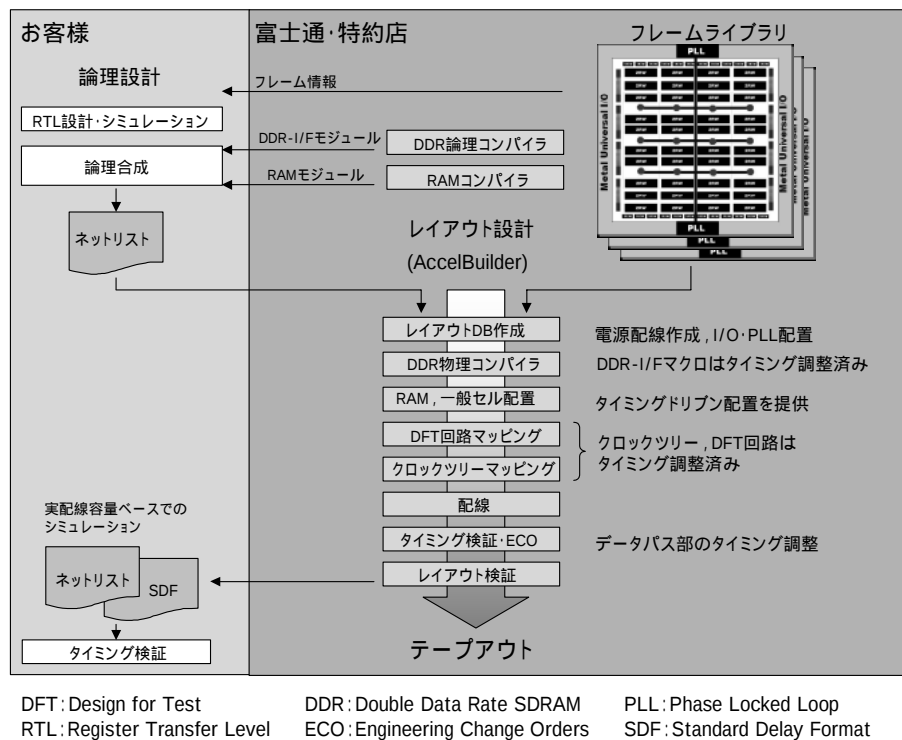


図-4 レイアウト設計の流れ
Fig.4-Layout design flow.

レイアウト設計時には、富士通側がAccelBuilderを用いてお客様の回路をフレームライブラリのマスタ共通部の埋め込み回路にマッピングする。その結

果、低クロックスキューのクロックツリー設計、シグナルインテグリティフリー、DFTのタイミング設計の各工程が高品質で完了する。

む す び

本稿では、システムLSIの大規模化や複雑化で、近年のトータルコストの削減要求とTime-to-Market短縮要求の両立が困難になりつつある現状を打破する新型ASIC、AccelArrayを紹介した。AccelArrayは最先端のテクノロジーを廉価にお客様に提供することができ、設計の困難さや工数負荷を削減し、お客様のリスクを低減することができる製品である。

今後の課題としては、お客様にとって魅力的なIPマクロを搭載したフレームライブラリのラインアップの充実を図り、お客様の最終商品開発のトータルコスト削減、短TAT化、低リスク化に貢献していきたい。

参 考 文 献

- (1) 特集 今どきのASICはこう選ぶ・日経エレクトロニクス, No.855, p.107-126 (2003).

