超高速CMOSインタフェース技術

Ultra-High-Speed CMOS Interface Technology

あらまし

インターネットのブロードバンド化,また,コンピュータやストレージシステムの性能 を向上させるためには,これらシステムをつなぐネットワークの高バンド幅化が不可欠であ る。富士通は10Gイーサーネットなどの高速ネットワーク向けインタフェースを製品化し ているが,さらなる高バンド幅化を実現するため,1信号線あたり6.4Gbpsの高速データ転 送を行うCMOS LSI間インタフェースを開発した。送信側で多タップのプリエンファシス, さらに受信側でアダプティブ機能を持つイコライザを開発し,装置内バックプレーンや筐体 間ケーブル伝送などにおいて20dB以上の高周波ロスを補償することが可能となった。また, 多チャネルインタフェースとしてシステムLSIに搭載することにより,システムにおけるバ ンド幅の飛躍的な向上を実現することが可能となる。

本稿では,0.11 µmプロセスで試作した超高速CMOSインタフェースについて紹介する。

Abstract

Enhancing the performance of the broadband Internet and the performance of computer and storage systems requires high-bandwidth networks to interconnect these systems. Fujitsu has already marketed high-speed network interface products such as the 10 G Ethernet and has recently developed a CMOS interface that accommodates high-speed data transfer at 6.4 Gbps per signal line to increase network bandwidth. For this interface, we have developed a multi-tap pre-emphasis function for the transmitter and an adaptive equalizer for the receiver, which can compensate for a high-frequency transmission loss of 20 dB or more in the backplane of devices and in cables that interconnect cabinets. When this CMOS interface is mounted on a System-on-Chip as a multi-channel interface, the system bandwidth can be upgraded significantly. This paper describes an ultra-high-speed CMOS interface that was manufactured experimentally using a $0.11 \ \mu m$ CMOS process.



後藤公太郎(ごとう こうたろう) システムLSI開発研究所ネットワー クSOC開発部 所属 現在,高速インタコネクトの研究開 発に従事。



石田秀樹(いしだ ひでき) システムLSI開発研究所ネットワー クSOC開発部 所属 現在,高速インタフェースの研究開 発に従事。



松原 聡(まつばら さとし) 富士通エルエスアイソリューション (株) ネットワーク開発部 所属 現在,高速インタフェースの研究開 発に従事。

まえがき

インターネットの普及による急速なブロードバン ド化,コンピュータ・ストレージシステムの性能向 上に伴い、これらのシステムをつなぐネットワーク に要求されるバンド幅が著しく高くなっている。ま た情報家電においても,動画など大容量データを高 速に処理することが不可欠となっている。この増加 は「ムーアの法則」に代表されるLSIの性能向上を はるかに上回るものである。この高バンド幅化に対 する要求を低消費電力かつ低コストで実現するため には,ネットワークにおける信号伝送をCMOSの 高速インタフェースで実現し,システムLSIに搭載 することが不可欠である。富士通は, すでに信号線 1本あたり3.125 Gbpsまでのデータ転送を実現する CMOSインタフェースを開発し製品化している。 さらに,10 Gbpsのデータ転送速度を実現する超高 速インタフェースの開発も行っている^{(2),(3)}

このような高速化の一方で,システムトータルと しての性能向上を実現するには,装置内のバックプ レーンや筐体間のケーブル接続における高バンド幅 化も不可欠である。この場合,伝送路の高周波ロス を補償し,安定したデータ転送を実現することが必 要となる。

本稿では,バックプレーンやケーブル伝送におい て高周波ロスを補償するイコライザ回路を搭載した, 6.4 Gbps超高速CMOSインタフェースについて紹 介する⁽⁴⁾

超高速CMOSインタフェースの概要

12チャネルトランスミッタ 12チャネルレシーバ 12チャネルレシーバ 6チャネル 6チャネル 12チャネルレシーバ 6チャネル 6チャネル 6チャネル 6チャネル 6チャネル 6チャネル 6チャネル 6チャネル 6チャネル

図-1 5~6.4 Gbps 12チャネルトランシーバ Fig.1-5~6.4 Gbps 12-channel transceiver.

ニットとレシーバユニットから構成され,76.8 Gbps の高バンド幅を実現することができる(図-1)。多 チャネルにおける低消費電力化を実現するため,一 つのPLL (Phase Lock Loop)で12チャネルのユ ニットに高速クロックを供給するアーキテクチャを 採用した。また,データを送受信するためのクロッ クを発生するPLLでは,チップ上に作り込んだイ ンダクタ(L)と容量可変のキャパシタ(C)から 構成されるLCタンク型VCO (Voltage Control Oscillator)を開発し,低ジッタの高周波クロックの 発生を実現した^{(2),(3)} 3.2 GHzの高周波動作で20 ps (peak-to-peak)以下の低ジッタを確認している(4) ただし,LCタンク型のVCOでは,LCの共振を利 用するため発振周波数レンジが狭いという問題が あった。この問題を解決するため,動作周波数に応 じて最適なLC共振が起こるように可変容量値をセ レクタ機能で切り替えることによって, 2.5 GHz~ 3.2 GHzまでの幅広い周波数レンジをカバーするこ とが可能となった。

トランスミッタユニットは,32:8マルチプレク サ(MUX),5個の8:1 MUX,および出力段から構 成される(図-2)。出力段は,後述する5タップのプリ エンファシスより構成される。データ速度200 Mbps で32ビット幅のパラレル入力データを,32:8 MUXによってPLLから発生したクロックへ乗り換 えるとともにデータ速度800 Mbpsで8ビット幅の データに変換する。この8ビット幅のデータを1ユ ニットインタバル(Unit Interval:UI)ごとにシ フトした5組のデータに分け,それぞれを8:1 MUXによって6.4 Gbpsの高速シリアルデータに変 換する。

レシーバユニットはイコライザ,判定器,2:32





本インタフェースは12チャネルのトランスミッタユ

デマルチプレクサ(DeMUX),クロックリカバリ ユニット(CRU),およびイコライザコントロール から構成される(図-3)。6.4 Gbpsの高速シリアル データがイコライザを通して判定器で受信され, DeMUXによってデータ速度200 Mbpsで32ビット 幅のパラレルデータに変換される。CRUは入力 データの周波数および位相情報を抽出し,データを 受信するための最適タイミングのクロックを発生す る。CRUは,アナログPLLおよびデジタルPLLか ら構成されるDual loop PLL方式を採用した⁽¹⁾⁻⁽³⁾ こ れにより,レシーバユニットにCRUを搭載するこ とが可能になり,ユニットごとに独立した非同期 データ転送が可能となった。

高周波ロス補償

6.4 Gbpsのデータ速度を持つ信号を1 mのバック プレーン伝送する場合,その高周波ロスは20 dB以 上となり,符号間干渉により受信端でのデータ波形 は著しく劣化する。また,この高周波ロスはバック プレーンを構成する材料の温度特性により変動する ため,安定したデータの送受信ができない。そこで, トランスミッタユニットの出力段に搭載する5タッ プのプリエンファシスと,レシーバユニットの入力 段に搭載するアダプティブイコライザ回路を開発し, 20 dB以上の高周波ロスと,システムの動作環境に 応じて動的に変動するロスを補償し,安定したデー タ送受信を実現した。プリエンファシスでは静的に 決定された(プリセット)ロス補償強度パラメタに よって伝送ロスの補償を行うのに対し,アダプティ ブイコライザでは温度変動などに応じて変動するロ スをモニタし,データ送受信に最適なロス補償強度



Fig.3-Receiver unit.

を動的に制御する。

5タップのプリエンファシスの出力段は五つの差 動アンプで構成され,各差動アンプの出力ノードが 接続された構造となっている(図-4)。それぞれの MUXは1UIごとにシフトしたデータを出力し, データが0->1または1->0に反転したときに出力電 圧を増幅してデータの高周波成分を強調し口スを補 償する。本トランスミッタユニットでは各タップご との差動アンプのソース電圧を,図-4で示すタップ 出力コントロールと共有の一つのトランジスタで調 整するカスケードカレントミラー方式を採用した。 これにより,タップ間を構成しているトランジスタ のばらつきがあっても, 各タップの出力電流を均一 にコントロールすることができ,5mV精度の詳細 な調整が可能となった。本プリエンファシスによっ て, 6.4 Gbps動作時に20 dBまでのロスを補償する ことが可能となる。

一方,レシーバユニットのイコライザは,2次の 高域通過フィルタによる高周波ロス補償回路を用 いた。三つの可変ゲインアンプ(Variable Gain Amplifier:VGA)に接続されたプリフィルタと, 可変ゲインアンプの出力を合成するアナログ線形加 算器から構成される(図-5)。各プリフィルタの伝 達関数はそれぞれs²(2次微分),s(1次微分), 1(DC)となっている。各VGAは6ビットのゲイン 調整が可能であり,それぞれのゲインの値をa,b, cとすれば,加算器の出力は(1)式となる。

$$G(s) = as^2 + bs + c \qquad \dots (1)$$

このa, b, cのゲイン値を制御することにより, 伝送線路のロスで失われたデータ波形の高周波成分を 補償することが可能となる。









本イコライザによって,6.4 Gbps動作時におけ る20 dB以上の伝送ロスを20 dBまで補償すること ができる。

アダプティブ制御

伝送線路の高周波ロスは,主に伝導体である金属 の表皮抵抗と絶縁体である誘電体の誘電損失によっ て決まる。誘電損失は温度などによって変動するた め,伝送線路のロスは,伝送距離だけでなくシステ ムの動作温度によって動的に変動する場合がある。 このロスの変動を補償するため,近年,イコライザ のロス補償特性を動的に最適化するアダプティブ方 式が提案されている(5).(6) これらの方式ではアナロ グ回路によってイコライザパラメタを動的に最適化 しており,電源ノイズや,プロセス変動,温度変化 といった条件変動の影響を受けやすい。さらに,ア ダプティブフィルタのループの時定数を最適化する には巨大なキャパシタが必要となる。本トランシー バでは,サンプルアンドホールド(S/H)回路,6 ビットのアナログデジタルコンバータ(ADC), ゲ インコントロールから構成されるアダプティブ制御 方式を開発した(図-6)。イコライザおよび判定器 の出力をモニタしてデジタル処理することにより、 伝送線路のロスに最適なVGAのゲインを求める方 式である。以下,図-6に示すアダプティブ制御を説 明する。

S/Hはイコライザの出力を50 MHz(信号の周波 数の1/128)のクロックでサンプリングする。サン





図-7 12チャネルインタフェース Fig.7-12-channel interface.

プルした信号は6ビットパイプライン型ADCによっ てデジタル信号に変換される。図-6に示す d_k は判 定器の判定結果であり, Ad_k は理想的なイコライザ 出力である。イコライザの出力電圧 (a_k) から判定 器の電圧出力の差分を取り,誤差電圧Er(k)と d_k のnビット分のパターンとの相関を計算する。これ に推定行列を掛け合わせ,VGAコントロールを行 うイコライザのパラメタを決定する ${}^{(7)}$ このループ はEr(k)が0(理想的には0であるが,実際は0に 近い値)に収束し,最適なイコライザパラメタが与 えられる。このアダプティブ制御回路のゲート数 はおよそ8kゲートであり,チップ上の面積は 150 µm×300 µmで実現できた。

評価性能

富士通の0.11 µm CMOSプロセスで試作した12 チャネルトランシーバのトランスミッタおよびレ シーバの写真を図-7に示す。それぞれのチップ面積 は同じく2,800 µm × 1,400 µmである。消費電力は, PLL:90 mW,トランスミッタユニット:150 mW, レシーバユニット:90 mWである。

6.4 Gbps動作時の20 dBのロスのある伝送線路を



図-8 20 dBのロスを通したトランスミッタのEye波形 Fig.8-Transmitter waveform through 20 dB loss.



(a) イコライザなし



図-9 イコライザ出力のEye波形 Fig.9-Equalizaer output waveform.

通したトランスミッタのEve波形を図-8に示す。伝 送線路のロスによってEveの開口を観測できなかっ たものが { 図-8 (a) }, プリエンファシスによって 振幅104 mVとレシーバユニットが受信するのに十 分な開口を得ることができる {図-8(b)}。6.4 Gbps 動作時の20 dBのロスのある伝送線路を通したイコ ライザ出力のEye波形を図-9に示す。図-9(a)は イコライザなし,図-9(b)はイコライザをかけた 場合である。イコライザによって高周波ロスが補償 され,開口を持つEyeが確認できる。本プリエン ファシスとイコライザを組み合わせることにより、 6.4 Gbpsの高速信号でも1 mのバックプレーンを伝 送することが可能となる。

また,トランスミッタ出力とレシーバ入力の間に 20 dBのロスを持つ伝送路を通したループバック試 験において10-12以下のビットエラーレートを確認 している。

び ¢) す

本稿では,装置内あるいはシステム間で高速の データ転送を可能とする6.4 Gbps超高速CMOSイ ンタフェースを紹介した。5タップのプリエンファ シスとアダプティブ機能を持つイコライザの搭載に よって, 20 dB以上ロスを持つ伝送線路でも大容量 データ転送を行うことが可能となる。本インタ フェースによって,装置内のバックプレーンや筐体 間のケーブル伝送などのデータ転送のバンド幅を飛 躍的に改善し,システムの性能向上を低コストで実 現することが可能となる。

参考文献

- (1) 酒井敏昭ほか:超高速CMOSインタフェース技術. FUJITSU, Vol.53, No.1, p.47-53 (2002).
- (2) H. Takauchi et al. : A CMOS Multi-Channel 10-Gb/s Transceiver . IEEE Journal of Solid-State Circuits, Vol. 38, No.12, p.2094-2100 (Dec. 2003).
- (3) 今村健ほか:先端システムLSI技術.FUJITSU, Vol.54, No.4, p.331-336 (2003).
- (4) H. Higashi et al. : 5-6.4 Gbps 12 channel Transceiver with Pre-emphasis and Equalizer. 2004 Symposium on VLSI Circuits, June 2004, p.130-133.
- (5) Jong-Sang et al. : A CMOS 3.5Gbps Continuoustime Adaptive Cable Equalizer with Joint Adaptation Method of Low-Frequency Gain and High-Frequency Boosting . 2003 Symposium on VLSI Circuits , June 2003, p.103-106.
- (6) Y. Kudoh et al. : A 0.13-µm CMOS 5-Gb/s 10-meter 28AWG cable transceiver with no-feedback-loop continuous-time post-equalizer . 2002 Symposium on VLSI Circuits, June 2002.
- (7) J. W. M. Bergmans et al. : Digital Baseband Transmission and Recording . Kluwer Academic Publishers , 1996 , p.404-412 .