

低消費電力MPEG-4ビデオコーデックコア

Low-Power MPEG-4 Video CODEC Core

あらまし

VGA 30フレーム/秒のビデオ圧縮符号化が可能な低消費電力、高品質MPEG-4ビデオコーデックコアを開発した。目標性能を達成するため、追跡型高速動き検出アルゴリズムにより演算量を大幅に削減するとともに、ブロックノイズを除去するポストフィルタをマクロブロック処理パイプラインに組み込むことで外部メモリへのデータアクセス量の低減を可能にした。開発したMPEG-4ビデオコーデックコアは、すでに携帯電話やデジタルカメラなど多様なモバイルマルチメディア機器向けシステムLSIに組み込まれており、VGA 30フレーム/秒ビデオ圧縮符号化時のコーデックコア消費電力は73 mWであることを確認した。

本稿では、MPEG-4ビデオコーデックコアに適用した低消費電力化技術について解説する。

Abstract

Fujitsu has developed a low-power, high-quality MPEG-4 video CODEC core that can encode video signals at 30 VGA frames per second (fps). To achieve the target performance, a scene adaptive, fast-motion estimation algorithm was applied for a drastic reduction of computing operation, and a post-filter circuit was incorporated in the macroblock processing pipeline to reduce the access to data in external memory. This MPEG-4 video CODEC core has already been used in various System-on-Chips for mobile multimedia devices, including cellular phones and digital cameras. The measured power consumption of the CODEC core is 73 mW during video encoding at 30 VGA fps. This paper describes the power consumption reduction technology used in the MPEG-4 video CODEC core.



中山 寛 (なかやま ひろし)

システムLSI開発研究所先端システムLSI研究部 所属
現在、ビデオコーデックLSI、グラフィックスLSIの研究開発に従事。



渡部康弘 (わたなべ やすひろ)

システムLSI開発研究所先端システムLSI研究部 所属
現在、ビデオコーデックLSI、DTV対応PC用セキュアLSIの研究開発に従事。



萩谷太郎 (はぎや たろう)

システムLSI開発研究所先端システムLSI研究部 所属
現在、ビデオコーデックLSI、JPEG-2000 LSIの研究開発に従事。

ま え が き

MPEG (Moving Picture Experts Group) はデジタル動画像・音声のコーデック (圧縮・伸張) に関する国際標準規格であり、一般になじみ深いものとして、DVDレコーダやデジタルテレビで実用化されているMPEG-2規格がある。通常のテレビ映像で用いられる720画素×480ラインの画像を無圧縮で2時間記録するには約100 Gバイトもの記憶容量が必要になるが、MPEG-2技術によりデータ量を1/20以下に圧縮し、DVD 1枚 (約5 Gバイト) での記録が可能になる。

このようにデジタル家電分野でMPEG-2が広く普及しているが、近年では、MPEG-4と呼ばれる新たなビデオコーデック規格が注目されている。MPEG-4はMPEG-2を上回る高圧縮性能と無線環境を想定したより強固なエラー耐性などの特長に加え、オブジェクトベース符号化、任意形状符号化、グラフィクス処理との融合など、多様なマルチメディアアプリケーションに対応する機能が盛り込まれている。実用化においては、マルチメディア化が急激に進む携帯電話やインターネット映像配信などで一早く普及し、近年ではデジタルカメラにおいて、高付加価値機能としてVGAサイズ (640×480画素) 30 fps (フレーム/秒) のビデオコーデック技術が用いられるようになってきた。

本稿では、これらの多様なアプリケーションに対応すべく開発を進め、コンシューマ向けのデジタル機器用LSIに広く搭載されているMPEG-4ビデオコーデックコアの低消費電力化技術を紹介する。

目 標 性 能

携帯電話、デジタルカメラ、PDAなどバッテリーで駆動するデジタル機器向けのLSI開発においては、低消費電力化が最も重要な課題となる。富士通研究所では、2002年に第3世代移動体通信向け3GPP (3rd Generation Partnership Project) 仕様のMPEG-4ビデオコーデック処理を、10 mW以下の低消費電力で実現するLSIアーキテクチャを開発した^{(1),(2)}。その後、本格的な記録録画へとMPEG-4に対するお客様の要求が高まったことから、一般ユーザが家庭のテレビやPCでも違和感なく鑑賞できるVGA 30 fpsの高画質ビデオ圧縮符号化対応を

次の目標とした。また、デジタルカメラなどバッテリー駆動機器での利用を想定し、VGA 30 fps動作時の目標消費電力を100 mW以下に設定した。さらに、低消費電力要件がより厳しい携帯電話などのモバイルアプリケーションに同一のコーデックコアで対応するため、小画像サイズ、低フレームレートに対して、処理負荷に比例した消費電力で動作するアーキテクチャとした。以下に、これらの目標を実現するために本コーデックコアに適用した低消費電力化技術を解説する。

低消費電力化技術

LSI開発における低消費電力化には、最先端のデバイス技術やEDA (Electronic Design Automation) ツールの使用を含め様々なアプローチがある。しかし、上述したようにMPEG-4の応用分野は幅広く、ビデオコーデックコアを組み込むシステムLSIの構成要素はアプリケーションに応じて千差万別である。コアとしてのポータビリティを考慮すると特定のデバイス技術に依存するアーキテクチャは好ましくなく、著者らは、ハードウェア記述言語で設計したMPEG-4ビデオコーデックコアRTL (Register Transfer Level) を再合成して多様なシステムLSIに適用できることを開発方針とした。この開発方針に従い、MPEG-4ビデオコーデックコアに適用した以下の三つの低消費電力化技術について詳述する。

- (1) 追跡型動き検出アルゴリズム
- (2) クロック供給自律制御
- (3) 低消費電力高画質化技術

(1) はアルゴリズムの工夫により大幅に演算量を削減し、その結果、メモリアクセス回数や動作周波数を低減して消費電力を抑制する技術である。(2) はLSIでは一般的にクロック系の占める消費電力が大きいことから、MPEG-4アプリケーションに応じて、必要な回路に必要な時間だけクロックを供給して消費電力を抑制する技術である。(3) はVGA画面サイズの鑑賞で必要なブロックノイズ除去フィルタなどの高画質化処理を低消費電力で実現する回路構成技術である。これらの低消費電力化技術は、相互依存のない独立した技術であるが、ともにデバイステクノロジーに依存することなく、多様なシステムLSIにおいて同時に適用することが可能である。

● 追跡型動き検出アルゴリズム

MPEG圧縮符号化処理の中で最も演算負荷が大きいとされるのが、動き検出（Motion Estimation：ME）処理である。動き検出は対象フレームの処理単位であるマクロブロック（MB：16×16画素）に対し、参照フレームの中から最も似たブロック領域を見つけ出す処理であり、MEアルゴリズムをまとめた文献によればMPEG-4符号化処理全体の60%以上を占めると言われている³⁾。この膨大な演算負荷を削減するため、著者らはISO/IEC 14496 part7でソフトウェア実装向けに推奨されている追跡型アルゴリズム⁴⁾に注目し、画質評価を重ねながらハードウェア実装に適した改良を行った。本コーデックコアに適用した追跡型動き検出アルゴリズムの概略を図-1に示す。

(1) ステップ1

すでに処理されている周辺MBの動きベクトル情報から、探索を開始する初期探索中心を決定する。

(2) ステップ2

探索中心から上下左右に1画素ずつずらした四つのMBとブロックマッチング処理を行い、最もテクスチャ（絵柄）が類似しているブロック地点に探索中心を移動させる。ブロックマッチングはテクスチャの類似度を測るものであり、ここでは、ブロック間対応画素の差分絶対和（Summation of Absolute Differences：SAD）を計算し、SADが小さいほど類似度が高いと定義する。

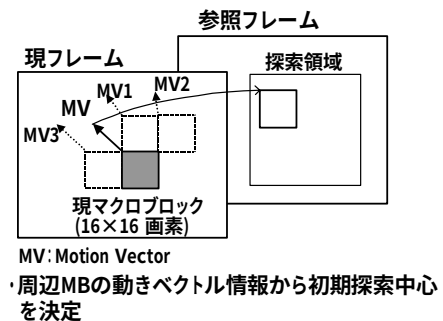
(3) ステップ3

探索中心のSADが最も小さくなるまで、ステップ2の処理を繰り返し、最終的に求められた探索中心を動きベクトルとする。

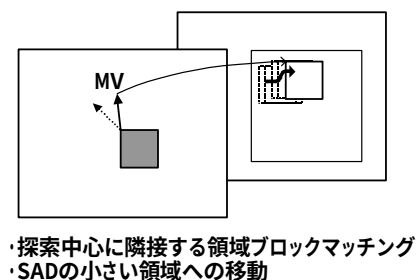
動き検出処理においては、参照フレーム内でブロックを探索する範囲も演算量と画質を決定づける上で重要な要素である。シミュレーション評価の結果、本コーデックコアでは探索範囲を水平方向に-32～+31画素、垂直方向に-16～+15画素とした。これは、水平方向で±100画素以上の探索範囲を持つ従来のMPEG-2エンコーダなどに比べると小さいが、通常の実装で参照フレームとの間隔が3フレームとなるMPEG-2 Pフレームに対し、本コーデックコアに実装されたMPEG-4 Simple Profileは参照フレーム間隔が1フレームと短い。これは例えば等速で動いている物体がある場合、フレーム間の物

体の移動距離がMPEG-2 Pフレームの1/3になることを意味する。このため、ほとんどの評価画像において上記の探索範囲で良好な結果を得ることができた。

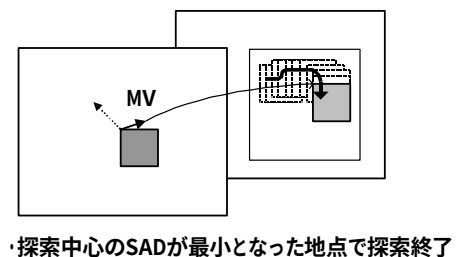
上記探索範囲に対する、VGA 30 fpsエンコード時の追跡型動き検出アルゴリズムの演算量（ブロックマッチング回数）および画質の評価結果とほかの動き検出方式の評価結果を図-2に示す。同図で比較した全探索方式は探索範囲内のすべてのブロックを対象として2,048回のブロックマッチング演算を実行するのに対し、4：1サブサンプリング方式は対象ブロック数を水平、垂直方向ともに全探索方式の1/2に間引いて演算量を全探索方式の1/4に削減する。本コーデックコアに適用した追跡型方式は、4：1サブサンプリング方式に比べハードウェア制御が



(a) ステップ1：初期探索中心の決定



(b) ステップ2：隣接領域の探索・中心の移動



(c) ステップ3：最終動きベクトルの決定

図-1 追跡型動き検出アルゴリズムの概略
Fig.1-Scene adaptive motion estimation process.

複雑になるものの、VGA画像に対し平均20回以下のブロックマッチング演算で動き検出を完了し、大幅な演算量の削減を可能とした。そして、各方式における画質評価を客観指標の一つであるPSNR (Peak Signal to Noise Ratio) 値で同図に示す。一般にPSNR値が大きいほど圧縮画像の歪みが小さく画質が良好であることを意味する。同図は追跡型方

式が全探索方式に比較して、1/100以下と大幅に演算量を削減しながら、画質劣化を招くことなく同等の画質を維持していることを示している。

● クロック供給自律制御

本コーデックコアは、多様化する各種携帯機器に対応するため、VGA 30 fps以下の任意の画像サイズ、フレームレートのエンコード、デコード処理に対応している。携帯TV電話に使用されるQCIF (Quarter Common Intermediate Format) サイズからデジタルカメラなどで有用なVGAサイズまでを含めた広範囲の処理性能をターゲットとした場合、各処理性能に応じた低消費電力化が課題となる。本コーデックコアでは、各種画像サイズ、フレームレートにおいて、最適な低消費電力を実現するために、内部回路で各機能ブロックへのクロック供給を自律的に制御する「クロック供給自律制御」機構を搭載した。

本コーデックコアのブロック図を図-3に示す。コーデック制御部では、エンコード、デコードの動作状態、フレームタイプ (I-VOPまたはP-VOP) などを判断し、各機能ブロックが必要な期間にのみクロック供給イネーブル信号 (clk enable) を有効にしている。これにより、アイドル期間中のクロック停止はもちろん、デコード動作中のエンコードブロックへのクロック停止、I-VOPエンコード中のMEブロックのクロック停止など、各機能ブロックの演算動作が必要なときにのみクロック供給を行う

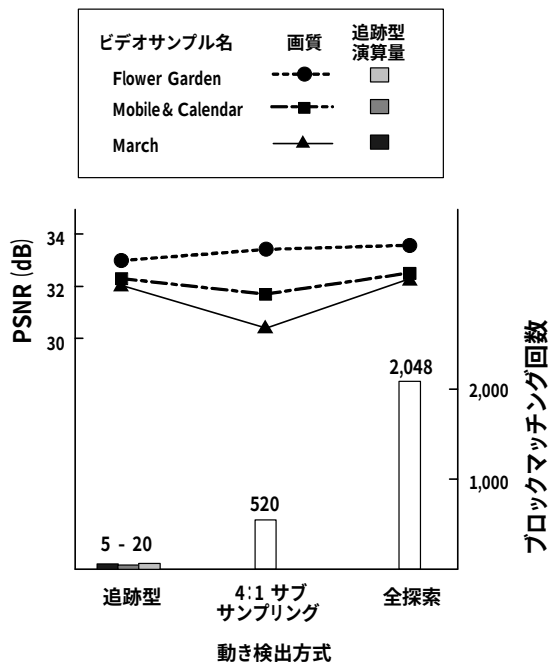


図-2 追跡型動き検出方式による演算量、画質の評価結果
Fig.2-Evaluation of computational load and image quality.

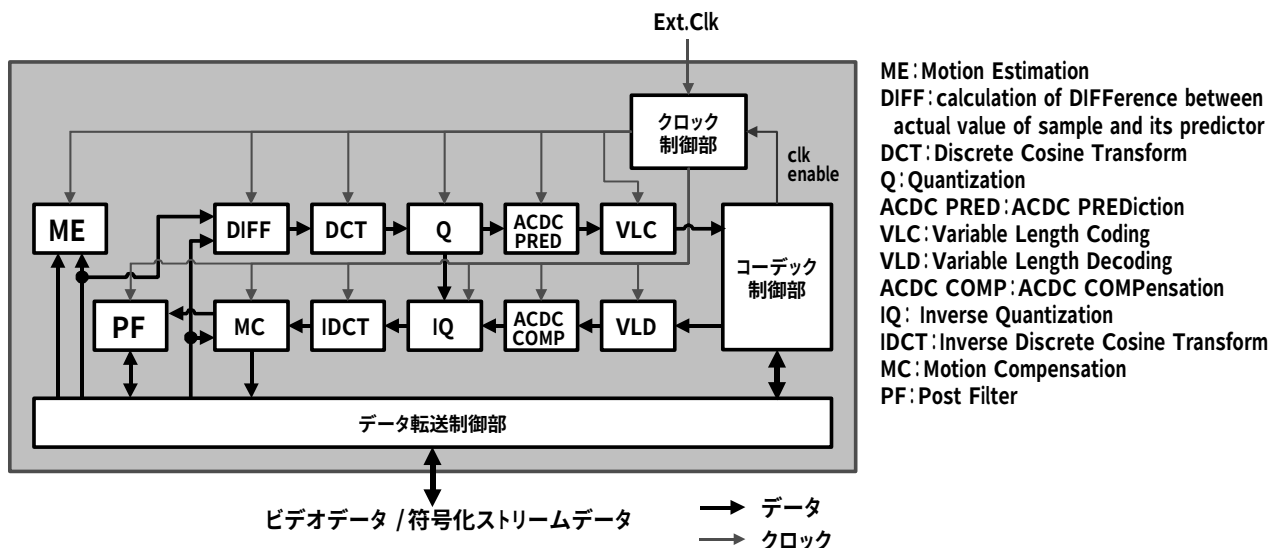


図-3 コーデックコアブロック図
Fig.3-CODEC core block diagram.

ことが可能である。これにより、様々なモバイル機器に必要な処理性能に対して、最適な低消費電力化を実現することが可能になった。

図-4は13.5 MHz動作周波数におけるQCIF 15 fpsコーデック動作時のクロックゲート動作とコア消費電流を模式的に示したものである。本条件では、クロック制御を行わない場合と比較して、80%以上の電力削減効果があることが確認された。

● 低消費電力高画質化技術

一般に携帯電話などで採用されているMPEG-4符号化はナローバンド伝送路や小容量メモリ媒体を前提にしているために圧縮率が非常に高くブロックノイズが発生しやすい。従来の携帯電話などでのアプリケーションでは画面サイズが小さいので、MPEG-4を使う場合も、その画質に十分な配慮がなされていなかった。しかし、VGAサイズに対応したアプリケーションを考えた場合、テレビやPC画面で再生されるため、鑑賞に耐えられる高画質化が重要なファクタとなる。そこで、本コーデックコアでは、

画像特徴量を計算してマクロブロックの符号化ビット量配分を制御する機能、および再生時にブロックノイズを除去するフィルタ機能を専用回路として組み込み、画質を向上させることにした。

一般にこれらの高画質化処理は、コーデック回路とは独立にフレーム単位の前処理や後処理で実現される場合が多い。そのメリットは高画質化のための様々なアルゴリズムが周辺回路として実装しやすい点にあるが、回路規模や外部SDRAMアクセス量が大きくなり、消費電力を増大させる要因となる。著者らはシミュレーション評価を重ねて高画質化方式と消費電力のトレードオフを検討し、前述の高画質化技術をマクロブロック単位のデコードパイプラインに組み込み、回路内の内部SRAMを共有する構成とした図-3のブロック図において、画像特徴抽出回路はDIFF（Difference演算）ブロックに含まれ、ブロックノイズ除去回路はPF（Post Filter）ブロックに含まれる。

本構成によるポストフィルタ回路の利点を図-5に

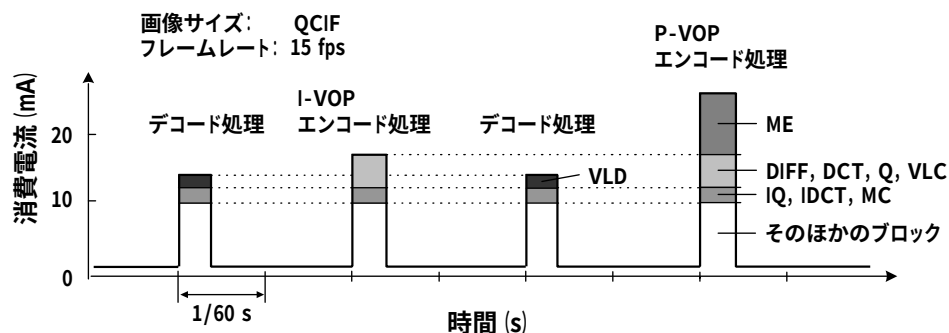


図-4 クロックゲート動作と消費電流
Fig.4-Power management by clock gating.

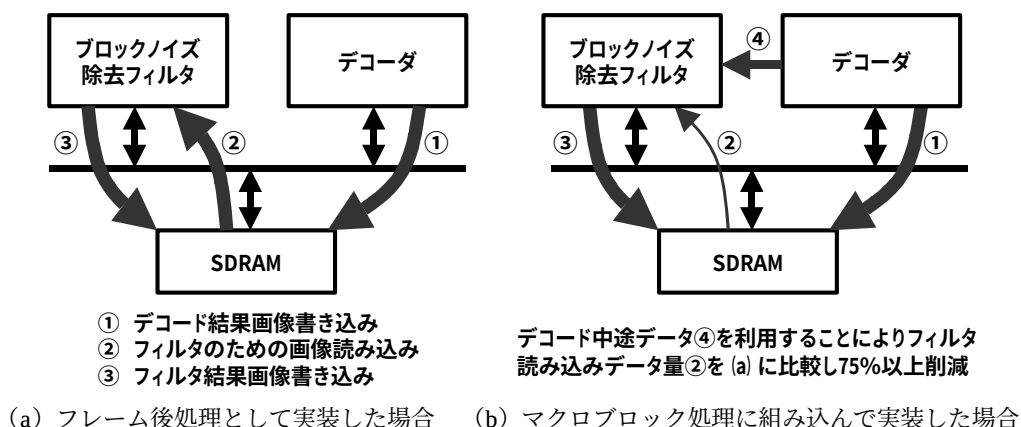


図-5 ブロックノイズ除去フィルタ実装によるSDRAMアクセス回数の低減
Fig.5-SDRAM access degradation by de-blocking filter.

表-1 MPEG-4ビデオコーデックコア主要諸元

プロファイル	MPEG-4 Simple Profile
動作周波数	27 MHz (内部ブロック) 54 MHz (データIF)
コア消費電力	73 mW (1.8 V, 0.18 μ m CMOSテクノロジー)
回路規模	500 kゲート
画像サイズ	最大640×480画素
フレームレート	最大30 fps
ビットレート	最大10 Mbps

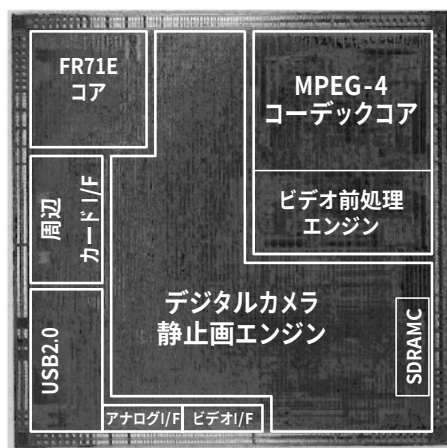


図-6 MB91382チップ
Fig.6-MB91382 chip.

示す。ブロックノイズ除去フィルタは図-5 (b) ④に示されるデコードの中途データを利用する。これにより外部SDRAMへのアクセス回数を抑え込み、高画質と低消費電力を実現した。

システムLSIへの適用

開発したMPEG-4ビデオコーデックコアの主要諸元を表-1に示す。表中のコア消費電力はシステムLSI適用時の実測値である。CMOS 0.18 μ mと一般的に普及しているテクノロジーながら、73 mWという低い消費電力でVGA 30 fpsの圧縮符号化を可能にした。

本コーデックコアとビデオ入出力回路、オーディオ回路、各種インタフェース回路などを組み合わせることにより、マルチメディアアプリケーション向けの様々なシステムLSIを構築することが可能である。本特集の別論文で紹介されている携帯電話向け

画像処理LSIでは、本コーデックコアと富士通の3Dグラフィックスコアが統合され、高度な画像処理と長時間駆動を同時に実現する携帯電話向けマルチメディアプラットフォームが提供されている。

また、本コーデックコアはデジタルカメラ向けシステムLSIにも既に組み込まれており、“ASIC”、“ASSP”として製品化されている。デジタルカメラ向け画像処理システムLSI (MB91382) のチップを図-6に示す。

む す び

本稿では、VGA 30 fpsの高画質符号化を実現するMPEG-4ビデオコーデックコアを主に低消費電力化技術の観点から紹介した。本コーデックコアは既に多くのデジタルビデオ機器向けシステムLSIに組み込まれており、お客様から非常に高い評価を頂いている。今後も低消費電力、高画質をキーワードにH.264規格など更なる高圧縮符号化技術のLSI化に向けて研究開発を進めていく予定である⁶⁾

参 考 文 献

- (1) H. Nakayama et al. : An MPEG-4 Video LSI with an Error-Resilient Codec Core based on a Fast Motion Estimation Algorithm. ISSCC2002 Digest of technical papers, Feb. 2002, p.368-369.
- (2) 渡部康弘ほか：各種携帯機器に適した低消費電力MPEG-4 CODECコア。集積回路研究会，2002年5月，p.43-48.
- (3) P. Kuhn : Algorithms, Complexity, Analysis and VLSI Architecture for MPEG-4 Motion Estimation. Kluwer Academic Publishers, 1999.
- (4) ISO/IEC JTC 1/SC 29/WG 11 N3325 : Text of ISO/IEC PDTR 14496-7 for PDTR Registration and PDTR Consideration Ballots. Mar. 2000.
- (5) T. Hagiya et al. : A Low-Power MPEG-4 Codec IP Macro for VGA-Video Applications. COOL Chips VII, Apr. 2004, p.101-114.
- (6) 新井将之：デジカメ動画が一斉にビデオ・カメラの水準へ。日経エレクトロニクス，2004 2-2号，p.26-27.