

90 nm CMOS ASICリファレンスデザイン フロー

Reference Design Flow for 90 nm CMOS ASICs

あらまし

LSIの微細化が進むに従い搭載可能なゲート数は増加しており、昨今のASIC (Application Specific Integrated Circuit) 開発では、1,000万ゲートを超えるチップの設計を手掛けることも多くなっている。この度開発したCS101では、最大1億ゲートのLSI (CS91シリーズに比べ約2倍) も実現可能となっている。搭載ゲート規模の増加に伴う開発期間の増加とともに、先端テクノロジーへのインプリメンテーションにおいては微細化・新素材の採用により、新たにこれまでにはなかった様々な課題が現れてきている。今回90 nmのLSIレイアウト設計をターゲットとして設計環境の大幅な見直しを行った。

本稿では、今回構築した設計環境「リファレンスデザインフロー」の特徴と効果について解説する。

Abstract

Increasing the level of integration in LSIs basically means increasing the number of gates they contain. Nowadays, application-specific integrated circuits (ASICs) with over 10 million gates are common. The recently developed CS101 series of LSIs can have as many as 100 million gates, which is about double the number of gates in the CS91 series. However, these improvements in integration have brought new problems. These include a prolonged development period due to the increased number of gates and various problems concerning microfabrication and the new materials used for fabricating cutting-edge LSIs. We have thoroughly reviewed the LSI design environment, focusing on the design of 90 nm LSI layouts. This paper describes the features and effects of the resulting “reference design flow” we constructed for a new design environment.



池田 裕 (いけだ ひろし)
テクノロジー開発統括部第三設計技術
部 所属
現在、ASICの設計環境の開発に
従事。

ま え が き

LSIの微細化が進むに従い搭載可能なゲート数は増加しており、昨今のASIC (Application Specific Integrated Circuit) 開発では、1,000万ゲートを超えるチップの設計を手掛けることも多くなってきた。CS101シリーズでは最大1億ゲート (CS91シリーズに比べ約2倍) のLSIも実現可能となっている。先端テクノロジーへのインプリメンテーションにおいては複雑化・大規模化しているデザインの見通しの悪さ、タイミング収束性、各種のLSIノイズなど、微細化・新素材の採用により新たにこれまではなかった、あるいはそれほど大きな問題とはなっていなかった様々な問題が現れてきている。今回、90 nmテクノロジーのASIC展開と併せて「リファレンスデザインフロー」と名付けたLSIインプリメンテーションのための設計環境を構築した。

本稿では、リファレンスデザインフローの特徴である「フィジカルプロトタイピングによるデザインの見積もり」「タイミング最適化手法」「LSIノイズ対策」「デザインフローの柔軟性」と各種問題の関連について解説する。

フィジカルプロトタイピング

本番のレイアウト設計でのイタレーション (手戻り) は、その発生時期によっては開発期間の増大につながる。本番レイアウトでの大きなイタレーションを排除するために重要なこと、さらには小さなイタレーションも極力排除するために重要なことは本番レイアウト前に設計データを十分検証し、問題を事前に見つけ対処を行い設計を完了できるデータにしておくことである。しかしチップのインプリメンテーション前に検討すべき問題は以下のように非常に多岐にわたり、各要素が密接に関連しているものも多い。

- (1) 電源配線の電圧降下 (IR-Drop) は目標値以内に収まるか?

目標値に収まっていない場合は電源の補強が必要となり、補強の程度によっては電源占有率、電源端子数、配線層数、チップサイズへ影響を及ぼす。

- (2) 同時スイッチング出力ノイズ (SSOノイズ) は許容範囲内に収まるのか?

SSOノイズが大きくなるとLSI外部へのノイズや

遅延へ影響するため、SSOノイズが許容値以下になっているかを早い段階で確認する必要がある。SSOノイズを抑えるには電源端子位置、数、IO種類などを検討する必要がある。

- (3) 配線性

チップサイズ、フロアプラン、配線層数、電源占有率への影響を考慮し早期に配線性を見積もる。

- (4) タイミング収束性

フロアプラン、タイミング制約、タイミングマージン、IR-Drop (IR-Dropが大きくなると、素子の遅延が大きくなりタイミング設計が厳しくなる) が、与える影響を見積もり、タイミング収束性を検討しているか?

従来、補助ツールなどを利用してこれらを机上で算出し、論理設計が完了する前のデータなどを利用してトライアルレイアウトを行うことで確認してきた。しかし、回路の複雑化に伴い算出手順が複雑化し、回路規模の増大によってトライアルレイアウトでの設計ツールの処理時間が増大し、十分に課題の検討を行うことが難しくなりつつあった。

そこで事前見積もりとラフな配置・配線を行い、検討すべき課題に目処をつけていくことを目的に「フィジカルプロトタイピング」というフェーズを設定した (図-1)。

このフェーズではデザインデータの質を可能な限り上げる作業を行う。この作業はデザインをよく理解しているASICユーザとチップインプリメンテーションに詳しいASICベンダの共同作業が重要となり、お互いの専門性を駆使して本番レイアウトで手戻りのないデータを作り上げていく必要がある。

- (1) 事前見積もり

各種の事前見積もりをスムーズに行うために見積もりツール “ Priest ” を開発した。Priestは下記の初期見積もり機能やそれらを設計入力データとして出力する機能を持つ。

- ・電源配線占有率見積もり
- ・コアエリアサイズ見積もり
- ・カスタムWLM生成 (ターゲットLSIに特化した論理合成・遅延見積もり用の容量テーブル)
- ・電源IO見積もり
- ・IO配置 (プロトタイプ用DEF生成)
- ・簡易IR-Dropチェック
- ・容量セル必要量見積もり

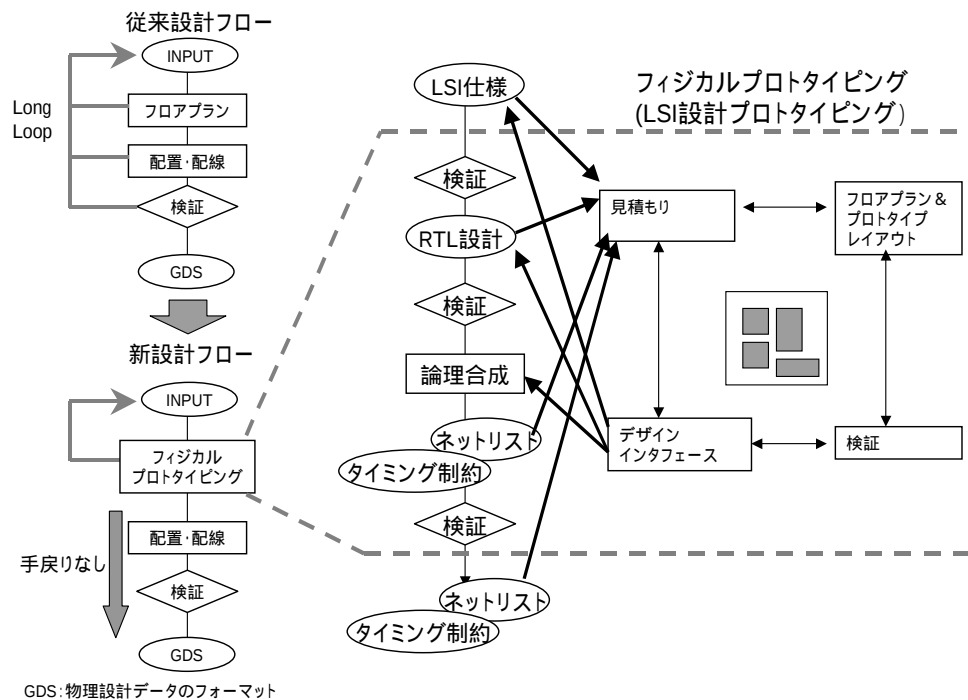


図-1 フィジカルプロトタイピング
Fig.1-Physical prototyping.

・簡易SSOノイズ・遅延見積もり

入力データはネットリスト（素子端子間の接続情報）や予想消費電力値などであり、上記のような静的な各種の見積もりデータを容易に出力することが可能である。

（２）フィジカルプロトタイピング

事前見積もりで見積もった各種結果は基本的には見積もり式などから導き出したもので実際にはデザインごとの調整が必要となる。そのため実際に配置・配線を行い、確認していくことになるが、実レイアウトで利用する設計ツールを適用すると処理時間が非常に長くなってしまいうため短TATでの見積もりを行うためフィジカルプロトタイピング専用のツールを用いる。今回構築した設計フローではCADENCE DESIGN SYSTEMS, INC社製の“ SoC Encounter ”を主なフィジカルプロトタイピングツールとして利用している。フィジカルプロトタイピングツールと実レイアウトツールの処理時間の例は表-1に示すとおりである。フィジカルプロトタイピングツールはラフな配置・配線の見積もりにおける対応規模・処理速度に優れる。またフロアプラン機能・電源生成機能も備えているため、プロトタイピングで行った見通しをそのまま実際のフロアプラン

表-1 処理時間例

（単位：分）

	設計フェーズ	TAT	
		プロトタイプツール	実レイアウトツール
1.5 Mゲート	初期配置	15	306
	クロック合成	35	1,042
	タイミング最適化	86	2,085
	配線	59	1,104
8 Mゲート	初期配置	564	FLAT処理不可能 (要階層処理)

や電源配線の最適化へ反映させていくことができる。このフェーズでは下記のような内容を確認しておく。

- ・コアサイズおよびチップサイズ
- ・フロアプラン
- ・配線性
- ・クロック構成（CTS制約）
- ・階層設計時の階層および境界条件
- ・IO位置
- ・IR-Drop
- ・タイミング/タイミング制約

使用する設計データの品質や実レイアウトで使用する設計ツールとの差により、タイミングに関して

は必ずしもこのフェーズですべて検証できるとはいえない。しかしこのフェーズにおいては、タイミング制約が正当であるか、絶対に満足しないようなタイミングエラーが発生していないかは最低限確認しておく必要がある。

タイミング最適化手法

タイミング収束性の向上を目的に本設計フローではいくつかの施策を行っている。ここでは、配置・最適化ツールとして導入したフィジカルシンセシスツール（物理合成ツール）、および複数のタイミング制約を考慮したホールドタイミングエラー修正技術の導入について説明する。

（１）フィジカルシンセシス

フィジカルシンセシス自体は数年前に登場した技術であり、著者らもこれまでいくつものデザインに適用し実績を上げている。しかし、合成ツールとしての側面を持つ分、効果的に利用するには様々なノウハウを必要としていた。またASICのお客様がフィジカルシンセシスツールを利用して設計する例もあまり多くはなかった。今回はお客様よりネットリストでデータリリースされるASIC品種への適用をターゲットにこれまで得たノウハウをスクリプト化して設計フローへ組み込んでいる。これによりネットリストでのリリースであっても従来のタイミングドリブンレイアウトに比べ高いタイミングの収束性を上げることが可能となった。ただし、フィジカルシンセシスツールも万能なツールではなく、入力するデータはタイミング収束可能な論理データやタイミング制約、配線収束可能なフロアプランである必要があり、前述のフィジカルプロトタイプピングによるデータの品質向上がデザイン収束の条件となる。

（２）複数タイミング制約への対応

現在のASICには様々な機能を取り込まれており、それぞれが複数の動作モードを持っている。そのため、STA（Static Timing Analysis：静的タイミング解析）でのタイミング制約も1種類で表現することは不可能となっており、その数は一つのLSIに対して数十になることも珍しくない。通常のレイアウト設計では、回路の各部が活性化するようなタイミング制約を利用し設計を進めるが、最終的にはすべての条件のタイミング制約を満足させなくてはならない。従来の設計フローでは最終的なタイミングの

詰めの段階、とくにホールドタイミングエラー修正時に、ある制約で発生しているエラーを修正するため回路を修正すると、ほかのタイミング制約においてセットアップタイミングエラーを誘発するという「もぐらたたき状態」が発生する可能性があった。とくに大規模デザインの場合、1回のECO（エンジニアリングチェンジオーダ）の処理時間が長くなっているためECOの回数は極力少なくする必要がある。これらの課題を踏まえて、現在は複数のタイミング制約を考慮したタイミングECO環境を構築している。この環境を適用することで1回のタイミングECOですべてのタイミング制約において新たなセットアップタイミングエラーを発生させずに、ほとんどのホールドタイミングエラーの収束が可能となった（図-2）。

LSIノイズ対策

LSI内部のノイズ対策として検討すべきものとしては様々なものが考えられる。ここでは、クロストーク、コア電源ノイズ、SSOノイズ、および共振の各対策について説明する（図-3）。

（１）クロストーク

クロストークは、信号配線間の干渉によるもので信号にノイズが発生したり、伝播遅延に影響を与えたりする原因となる。クロストークに関しては0.25 μm から各種の対策を行ってきており、各種解析ツールを整えている。基本的には事前にクロストークノイズが発生しないようにルールベースでの配置や配線を制御することでクロストークノイズの発生量を低く抑え、高精度な解析によってエラーが発生する可能性があることと診断された信号配線は分割や配線の変更によってエラーを起こさない状態に変更する。また、クロストークによる遅延値の変動も考慮したタイミング解析を行い、信号間の干渉が動作に影響しないかの検証も行っている。

（２）コア電源ノイズ

コア電源ノイズはLSI内部の各素子の動作や遅延に影響を与える。コア電源ノイズの低減のためにチップ内に一定量の容量セルを挿入する。十分なノイズ抑制を行うためにLSIごとの最適な容量セル挿入量を算出して挿入する必要があるが、容量セルの挿入量の見積もりは前出の見積もりツールPriestで行うことが可能である。

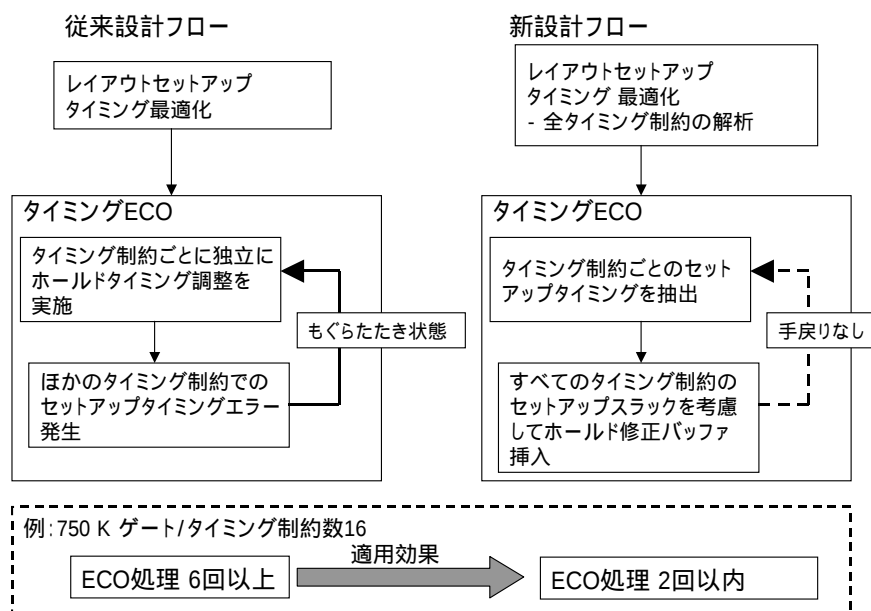


図-2 タイミングECO
Fig.2-Timing ECO.

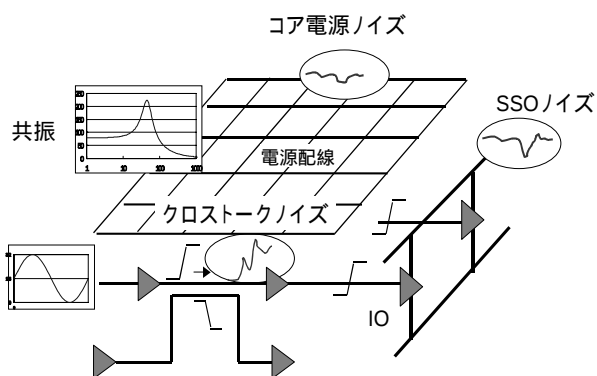


図-3 LSIノイズ
Fig.3-LSI noise.

(3) SSOノイズ

SSOノイズはLSIからの出力信号の波形や遅延に影響を与える。同時スイッチング出力ノイズ低減のためにはチップ上のIOセルの配置や電源本数、またIOセルの駆動能力などを最適化する必要がある。これに関しては、厳密にはSPICE（回路シミュレータ）^(注1)などでの検証が必要となるが、前出の見積もりツールPriestでルールベースでの簡易的な検証と同時スイッチングの遅延値への影響を見積もることが可能となっている。

(注1) 高精度であるが、扱える回路規模は小さく処理時間も長い。

(4) 共振

共振を防ぐには、電源本数やパッケージ自体の検討、容量セルの割合などパッケージを含む電源系電気パラメタの最適化が必要となる。容量セルはコア電源ノイズの低減効果がある。しかし多く入りすぎている場合には共振の原因となり得るため、最適な挿入量を見積もった上で必要以上の容量セルの挿入を抑制する必要がある。Priestで見積もった基準量を基本に容量セル過剰による共振を抑制する。

柔軟なデザインフロー

従来から様々な課題を解決するために、サードベンダ製のCADツールや富士通製のCADツールを組み合わせた設計フローを構築していた。しかし設計フローの基幹部分に独自フォーマットのデータベースを用いていた部分があり、各データベース間での参照ライブラリの違いから生じる誤差があったり、デザインによっては新規ツールを即適用することで開発効率を劇的に改善できる余地があるにもかかわらず新規の設計CADの導入に時間がかかったりすることも少なくなかった。

これに対して今回のデザインフローにおいては、業界標準のフォーマットをベースに設計環境を構築した。このため、各設計フェーズで参照するライブラリの精度は統一されるとともに、各種デザインに

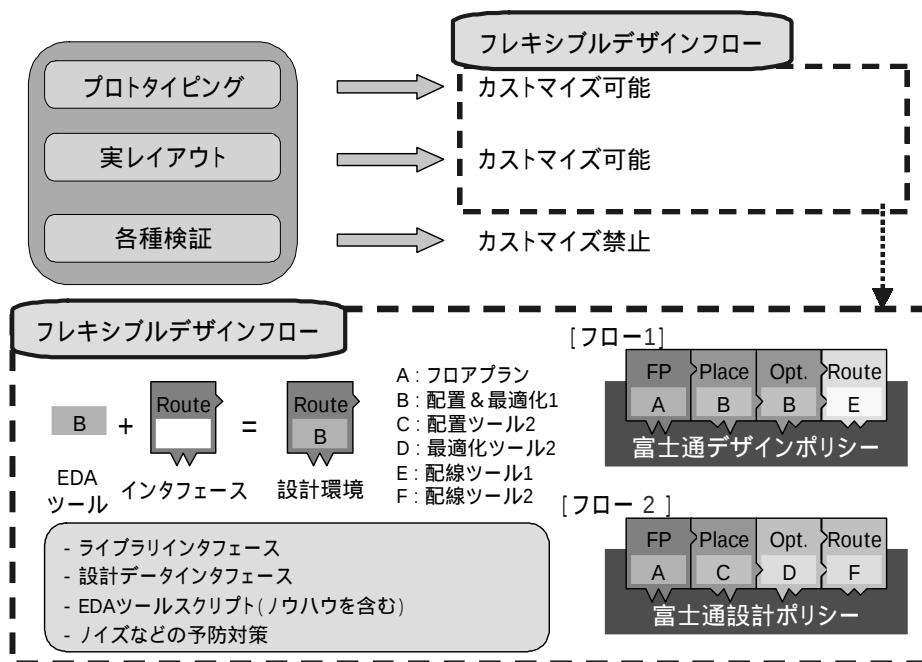


図-4 設計ツールの組替え
Fig.4-Customizable design flow.

適したデザインフローを設計部隊の判断で容易に変更・構築可能としている（図-4）。これにより安定している既存設計ツールでのデザインフロー構築から，リリースされたばかりの最新の設計ツールを積極的に取り入れることも可能となっている。ただし，設計者が独自に設計環境を構築する場合においても，検証系のツールに関してはリファレンスデザインフローで保証しているツールを使用する必要がある。

む す び

今回90 nmをターゲットに構築したリファレンスデザインフローの特徴となっている「フィジカルプロトタイピング」「タイミング最適化手法」「LSIノ

イズ対策」「デザインフローの柔軟性」について説明した。これらの技術の導入によりデザインの見通しを良くし，タイミング，ノイズなどに対して早い段階での対処を行うことに併せ高機能なタイミング最適化，タイミングECO機能の導入により設計効率を大幅に改善した。ここに挙げている以外にもRTL（Register Transfer Level）^{（注2）}チェッカの導入や各種検証精度の向上など様々な施策を行っており，設計精度とTATを向上させている。

なお，本設計環境は90 nm CMOS ASICをターゲットに構築しASIC開発に適用中であるが，既存テクノロジーの設計効率・精度の改善のため，現在は本設計環境をCS91テクノロジー（0.11 μm）へも展開中である。

（注2） 機能記述言語のサブセット。論理合成ツールでゲートレベルの回路を合成可能。