

90 nm CMOSシステムLSI : CS101 シリーズ

90 nm CMOS System LSI: CS101 Series

あらまし

本稿では、自社ハイエンド製品向け90 nmテクノロジーで培った10層の銅配線、全面Low-kなどの最先端テクノロジーを民生用途向けに応用したシステムLSI「CS101シリーズ」を紹介する。本シリーズは、低消費電力が要求される携帯機器、高機能で小型化が要求されるデジタル家電機器および高性能なネットワーク向けまで幅広い分野に適用可能である。

これらを実現するために“CS100”の低消費電力版90 nm CMOSテクノロジー“CS100A”を採用した。1ゲートあたりのリーク電流は、従来製品比1/10の25 pAへ低減し、1ゲートあたりの消費電力も従来比1/2の2.7 nWと業界最高水準の低消費電力化を実現した。また、最大ゲート数は従来製品に比べ2倍の1億ゲートを搭載可能とする高集積化を実現し、性能も従来製品に比べ25%上回る1.2 GHzまで対応可能である。

Abstract

Fujitsu's CS101 series of 90 nm CMOS system LSIs for high-end consumer applications features advanced technologies such as 10-layer copper interconnections and Low-k dielectrics. This series is suitable for a wide range of applications, for example, low power consumption mobile devices; compact, high-functionality consumer digital devices; and high-efficiency network equipment. This series uses the low power consumption technology of Fujitsu's CS100A 90 nm CMOS technology. The leakage current per CS101-series gate has been reduced to 25 pA, which is one-tenth that of conventional products. The power consumption per gate has been reduced to 2.7 nW, which is half that of conventional products and sets a new industry-leading level. The integration has been increased to enable mounting of up to 100 million gates, which is double the maximum number of gates in conventional products. Also, the performance has been improved to enable operation at up to 1.2 GHz, which is more than 25% above the upper limit of conventional products. This paper gives an overview of the CS101 series.



大庭久芳（おおば ひさよし）
テクノロジー開発統括部第一設計技術
部 所属
現在、CS101シリーズ商品の技術開
発に従事。

ま え が き

多機能携帯電話やデジタルカメラ、DVDなどのデジタル家電およびブロードバンドインターネットが急速に普及している。これらの機器の性能を左右するシステムLSIへの要求は幅広い。

システムLSIは複雑なシステムを1チップ化することができ、機器の低消費電力化、小型化および高性能化を実現することが可能となる。

「CS101シリーズ」は、「CS100」の高速性を維持しつつ民生用に最適な改良を加えた90 nm CMOSテクノロジー「CS100A」を採用したASIC (Application Specific Integrated Circuit) である。

本シリーズでは、先端デバイスに要求される低消費電力化や高速化を支える技術として、業界最高水準の超低リークトランジスタを採用し、消費電力は従来製品「CS91シリーズ」に比べて1/2を実現し、高速トランジスタや銅配線・Low-k材料により1.2 GHzもの高速動作を実現可能とした。

本稿では、CS101シリーズを支える90 nm CMOS技術およびLSI技術を紹介する。

90 nm CMOS技術

携帯機器からネットワーク向けまで幅広い分野に対応するためのベースとなる90 nm CMOS技術について述べる。

半導体素子の微細化により、電源電圧を小さくすることが可能となり、現在1.2 Vと1.0 Vが主流である。電源電圧を下げれば消費電力は小さくなる一方、トランジスタのオンとオフを切り替える^{しきい} 閾値電圧も小さくなり、動作速度は向上するが、トランジスタがオフの状態にもかかわらず、トランジスタのソースとドレイン間に流れるリーク電流が大きくなるという一面を持ち、トランジスタの消費電力を増大させる大きな原因となる。また、消費電力は動作スピードにも依存する。つまりLSIの特長を示すスピードと消費電力はトレードオフ関係にある。

本シリーズでは、このトレードオフ関係をアプリケーションに応じて使い分けることができるように、4種類の異なる閾値電圧を持つコアトランジスタを採用している。また、リーク電流はスピードによらず消費するので、リーク電流を抑えるため電源電圧は1.2 Vを使用している。

- 低リークトランジスタ

携帯電話の待受け時間は、アプリケーションの動作にかかわらず流れるリーク電流に左右される。とくに携帯機器の市場で要求される待機時の消費電力を抑制するために、超低リークトランジスタを採用したセルライブラリにおいてトランジスタのリーク電流は従来のシリーズに比べ1/10の25 pA/ゲートへ低減した。

- コアトランジスタ混載

消費電力を抑え、処理速度を向上させたいという要求に応じ、閾値の異なる4種類（低リーク、標準、高速、超高速）のコアトランジスタを用途に応じて混載することができる。例えば待機時のリーク電流を抑制する場合は、閾値を高めを設定した低リークトランジスタを用い、アプリケーションの動作時にスピードが必要な回路は、閾値を低めに設定した高速トランジスタを用いることができる。デジタル家電へのトランジスタ混載を図-1に示す。

- 銅配線・Low-k技術

LSI内部を伝播する遅延時間は、トランジスタを用いたゲート遅延時間と、配線遅延時間に分けられる。微細化によりトランジスタ性能は向上するが、配線は細くなることにより抵抗が大きくなり、配線間隔が狭くなることにより容量も大きくなる。このため、伝播遅延時間に占める割合は、ゲート遅延時間よりも、配線遅延時間の方が大きくなる傾向にある。

また、抵抗値増加により、電源配線で生じるIR-Drop（電圧降下）が課題となる。電圧降下によりゲートに印加される電源電圧が変動した場合、ゲー

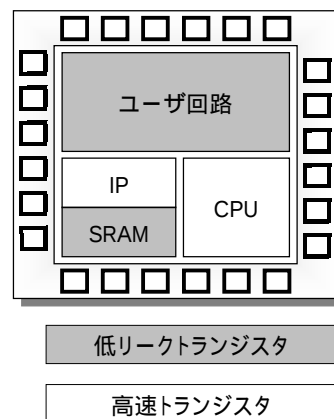


図-1 トランジスタ混載

Fig.1-Mixture of different kinds of transistors.

ト遅延時間が非線形的に増加し、テクノロジーとして電源電圧を下けている分、電圧降下が大きい場合は動作可能な電圧を満たせない可能性が出てくる。

さらには、配線間の容量を介して生じるクロストークノイズにより、ゲート遅延時間が変動するといった現象を考慮する必要がある。これらの複雑な課題を考慮してLSIの設計を行うためには、繰り返しタイミング検証を行うことになり、設計開発期間の大幅な遅延を招くことになる。

本シリーズでは、これらの課題への影響を抑えつつ、最小配線ピッチ $0.28\mu\text{m}$ 、10層配線を実現するため、銅配線と層間膜には全層Low-k（誘電率2.9）材料を採用している。銅配線およびLow-k技術による主な利点は二つある。

第1に、遅延時間の低減である。配線を駆動するゲート抵抗と配線抵抗との関係により、ゲート抵抗が大きい場合の遅延時間は配線容量への充放電時間が支配的であり、配線抵抗が大きい場合は配線遅延が支配的となる。回路ブロック間を結線することを想定した配線では、銅配線とLow-k適用により配線グリッドの長さあたりの抵抗を従来比20%、容量を30%削減することができるため、遅延時間の性能向上に貢献する。さらにチップ内部におけるIR-Dropで生じる局所的な遅延時間変動を抑えることが可能となる。また、消費電力は容量値に比例するため、消費電力の削減にも効果がある。

第2に、クロストークノイズを低減することができ、設計開発期間の短縮につながる。クロストークノイズとは、信号が変化する際に配線間の結合容量を介して生じるノイズで、並行する配線的一方が信号変化すると、もう一方の配線にノイズが発生し、回路の誤動作を起こす可能性がある。さらに、両方の配線が同時に信号変化した場合は、遅延時間の変動を起こす。この遅延時間変動は、信号の位相により速くなったり、遅くなったりする。

この影響を設計CAD上で考慮し、タイミング検証することは可能であるが、LSIの大規模化に伴い一回の検証時間が増加している上に、タイミングを満足させるまで繰り返し検証しなくてはならない。これらの課題に対し、結合容量を小さく抑えることができるLow-k材料は、短期間に品質の高い設計が可能となる技術である。

LSI技術

先端デバイスに要求される低消費電力化や高速化を支えるトランジスタおよび配線技術を、LSIに適用する技術について述べる。

● トランジスタの商品適用

ロジックセルライブラリの特長を図-2に示す。

分野に応じて、3種類のセルハイト（セル高さ）、4種類のコアトランジスタが選択できるようにロジックセルライブラリを用意した。セルハイトのベースとなるのはCS101Sタイプで、CS101MおよびCS101Hタイプは、目標周波数を実現させるために電源配線やトランジスタサイズを最適化したものである。

(1) CS101Sタイプは、携帯機器、デジタル家電向けに、低消費電力化、高集積化を実現可能とする。低リークトランジスタを使用した場合、リーク電流を従来製品と比べ1/10に削減できるほか、1ゲートあたりの消費電力は従来製品比1/2の2.7 nWとなる。ゲート間を接続する配線性を考慮した上で、セルハイトを最小化し、集積度は2倍の1平方ミリメートルあたり419.5kゲートとなる。スピードが要求される回路にも対応できるように、標準・高速トランジスタの混載が可能で200 MHzまで対応可能である。

(2) CS101Mタイプは、デジタル家電で高性能な

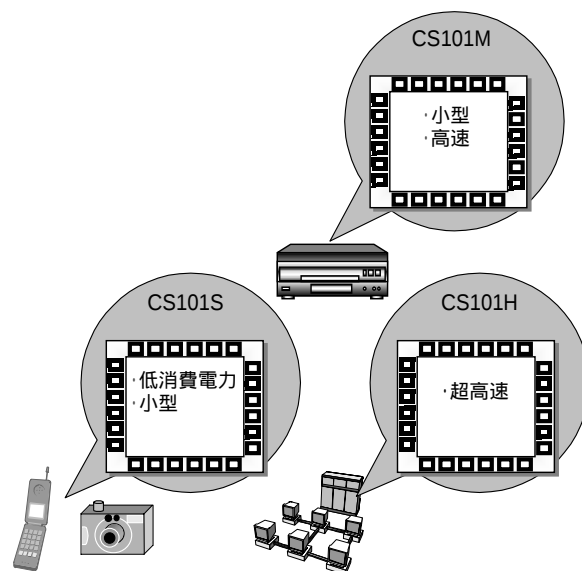


図-2 ロジックセルライブラリの特長

Fig.2- Features of logic cell library.

動作が要求されるアプリケーションに適応できるように、動作周波数を500 MHzまで対応可能とした。チップの小型化に必要な配線性はCS101Sタイプの特長を生かした。標準・高速トランジスタを混載することで高速動作が可能となる。

- (3) CS101Hタイプは、サーバ、ネットワーク機器向けに高性能動作を実現可能とする。標準・高速・超高速トランジスタを使用し、周波数が高く負荷が大きい場合にも対応できる電源構造を持ち、従来製品より25%性能を向上させた1.2 GHzまで対応可能となる。

- 銅配線の商品適用

配線層数は、回路規模や消費電力などに応じて7層から10層まで対応した。1層から5層目までは、市場に流通する各種IP (Intellectual Property) マクロを活用できるように配線最小ピッチ0.28 μm および厚さを固定ルールとし、上層については、トランジスタ同様にオプションを設けている。

最上層から3層目において、信号配線チャネルを優先する場合には配線の厚さが1.6倍で配線ピッチ2倍 (0.56 μm) のsemi-Global層を適用し、最小ピッチ配線と比べ抵抗を1/4に抑え、配線遅延時間への影響を抑えつつ配線チャネルを確保し、チップの小型化に有効である。また、電源特性を優先させる場合は、配線の厚さが3.6倍で配線ピッチ3倍 (0.84 μm) のGlobal層を適用させることができる。最小ピッチ配線に比べ抵抗を1/14に抑え、回路で消費する電力と目標IR-Drop量から設計初期段階で、最適な電源パターン構造を見積もることにより、消費電力が50 W規模の大チップでもIR-Dropを5%以下に抑える電源デザインが可能となる。またGlobal層は、チップで長距離となる配線の用途を想定しているが、クロック伝送用の配線に用いた場合、ノイズの影響を防止するシールド配線や専用太幅配線を駆使することにより1.2 GHz高速信号伝送が可能となる。

- 低消費電力化技術

携帯機器やデジタル家電などで必要となる低消費電力技術について述べる。

消費電力は、容量値と電源電圧の二乗に比例する。容量値については、Low-k技術と微細ピッチにより30%削減が可能である。電源電圧については、多

電源設計に対応している。

従来は、論理階層ごと(回路機能ごと)に電源電圧を動作保証範囲内で分け、待機状態や動作スピードが要求されない場合は、回路に印加する電源電圧を下げることで、消費電力を削減していた。実現には、論理階層ごとにレベルシフト回路を用いることで、回路間の電圧差を調整していた。

しかし、レベルシフト回路だけでは、回路動作に必要な閾値電圧より下げられないという課題がある。閾値より下げた場合や電源をオフにした場合は、動作回路ブロックの入力ゲートが中間レベルとなり、PMOSとNMOSの両トランジスタがオン(通常動作では、一方がオンで)となるために、電源とGND間にDC的な電流パスが生じ、消費電力削減と相反する動作が起こる可能性があった。本シリーズでは、その改善を図るため、電源シーケンス(部分的な回路機能ごとに電源オン・オフ)に対応した回路を用意した。常に電源オンである回路に配置し、専用信号を制御することにより、隣接回路が電源オフとなった場合でも、DCパスは起こらないため、大幅な消費電力の削減が可能となる。

- 小型化技術

多ピンでチップサイズ縮小化を図るために、最小のIO幅は40 μm とし、パッケージとチップを接続するためのパッドについても従来より20%小さい40 μm 狭ピッチとした。

さらに従来は専用領域に配置していたワイヤボンディングパッドをIOマクロ上に配置した。銅配線とLow-k材料による配線構造は、従来のガラス材質より機械的強度が弱く、パッド下にIO回路を配置すると、パッケージ組立て前のパッドを用いた試験やワイヤボンディング時の荷重で回路の配線に^{つぶ}潰れや断線などのダメージを受けやすくなるが、試験と組み立て時の応力に応じ、パッドで使用する配線層を最適化し、パッド下の配線間を接続するVia配置を、ダメージの受けにくい構造にすることにより実現可能とした。IOマクロ上パッドを図-3に示す。

- 高速化技術

サーバ、ネットワーク機器などで必要となる高速化技術について述べる。

1.2 GHzの高速クロックをLSI内に分配するために、配線を駆動するクロックゲートのドライブ抵抗と配線抵抗が等しくなるように複数のクロックドラ

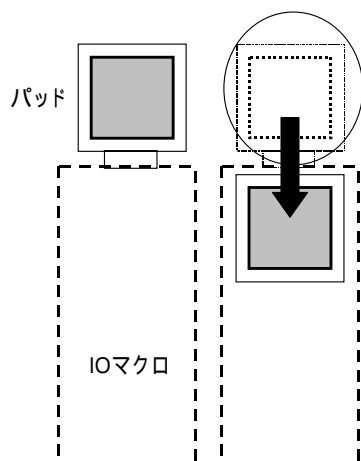


図-3 IOマクロ上パッド
Fig.3- PAD on IO Macros.

イバを用意した。これにより配線での信号劣化を抑え、高速信号の伝送が可能となる。また、配線での信号劣化を抑えるためGlobal層に信号端子を設け、LSI内で、主に論理階層内の配線に使用する下層配線を用いなくてもクロック配線が行われるような構造とした。

従来のIO領域は、LSIチップの周辺1列に配置し、IOマクロ上をリング状に電源接続していたが、多ピン化に伴い、フリップチップ実装の場合では、多段IOと呼ばれる周辺から中央に向け2段、3段と複数のIOマクロを配置することが可能である。IO領域が拡大され、ユーザ回路領域との距離が広がるため、高速伝送の妨げとなる。このため、IOを部品として規格化し、部品を組み上げることで容易にIO領域を構成し、IO領域の隙間^{すきま}にユーザロジック領域を設ける構造とした。この際、従来のIOマクロ上を電源リングで構成する方法では、ロジック回

路の電源がIO上リングから引き出されるため、高速動作における電源構造としては不足するが、最上層からメッシュ構造の電源で構成することにより、IOとロジック回路の共有できる電源とした。

● 配線技術

大規模なSRAMマクロではビット不良を救済するためのフューズ搭載が必須となる。SRAMマクロ内にフューズを配置すると、レーザ切断などを行うフューズ上には信号配線が引けないために迂回させる必要があった。本シリーズでは、フューズをチップ周辺領域など、ブロック間やクロック分配配線の妨げにならないような場所にまとめて分離配置することにより、SRAM上の配線禁止領域がなくなり、最短で配線が引けるようになった。

む す び

低消費電力化、小型化が要求される携帯機器やデジタル家電機器向けから高速動作の要求されるネットワーク、サーバ機器向けまで、幅広い分野に対応可能なシステムLSI基盤「CS101シリーズ」を開発した。

低リークトランジスタ、Low-k材料や多電源設計により、従来製品より消費電力を1/2にすることが可能となり、微細加工技術やIO上パッドにより、従来比1/2の小型化、高速トランジスタや銅配線により、従来比25%の高速化を実現することが可能となった。

今後は、製品用途を拡大するために、ASICで高騰する開発費を削減することや大規模なLSIを短期間で開発できるように、本基盤技術を展開する予定である。