

90 nm CMOS開発・量産ラインの構築

Construction of 90 nm CMOS Development and Production Line

あらまし

富士通は90 nmノードのロジックデバイスを世界に先駆けて開発・量産することを目的とし、2001年にあきる野テクノロジーセンターへ新規ウエハプロセスラインを構築した。このラインではテクノロジー開発から量産までを担うために、スピードと柔軟性を重要な要素として以下のようないくつかの施策が施されている。まず、SMIFを全面採用することにより立上げ期間短縮と設備入替えなどへの柔軟な対応を可能としている。また、既存工場で実績のあるシステムをベースに開発の効率化をサポートするCIMを導入した。さらにテクノロジー立上げという観点では、高精度微細ゲート加工のためのAPC導入、歩留まり改善指標となるBase Loadロットと新たな高速不良解析技術の運用も開始した。

本稿では、これらあきる野テクノロジーセンターラインの特色について概要を述べる。

Abstract

In 2001, Fujitsu built a new wafer process line in the Akiruno Technology Center in order to develop and commercially produce the world's first 90 nm-node logic devices. To accommodate operations ranging from technological development to commercial production of these devices, several new systems were incorporated into this process line to enhance key factors such as the process speed and flexibility. A standard mechanical interface (SMIF) system was adopted throughout the entire line to support flexible reduction of the startup time and equipment exchange. A computer-integrated manufacturing (CIM) system that had already been time-proven in conventional factories was newly modified and installed to increase the efficiency of technological development. For the new process technologies, an advanced process control (APC) system was introduced to enable highly accurate formation of gates, the "Base Load" product lot was introduced as the indicator for yield improvement, and operation of a new, high-speed fault analysis system was started. This paper outlines the features of the new process line in the Akiruno Technology Center.



清水敦男（しみず あつお）

次世代LSI開発事業部デバイス製造
部 所属
現在、90 nm ノードデバイスの開
発・量産に従事。

ま え が き

半導体のビジネスにおいて、デバイスの微細化と集積度の向上のみならず、いかに早く市場へ先端デバイスを投入するかがますます重要になってきている。このような状況の中、富士通は世界に先駆けて90 nmノードのロジックデバイスを開発・量産することを目的として、2001年にそれまで厚木研究所と三重工場に分散していたウエハプロセス開発機能をあきる野テクノロジーセンターに集約した。このラインは90 nm世代以降もテクノロジー開発と初期量産を担うことになるため、「スピード」と「柔軟性」を重要な要素としていくつかの新しい施策が施されている。

本稿では、これら施策の中からライン立上げに関してはSMIF (Standard Mechanical Interface) システムの全面適用とCIM (Computer Integrated Manufacturing) について、テクノロジー立上げに関してはAPC (Advanced Process Control) 技術適用による高精度微細ゲート加工技術の確立、歩留まり改善指標となるBase Loadロットの運用、高速の不良解析技術の導入について概要を述べる。

SMIF (Standard Mechanical Interface)

デバイス寸法の縮小化に伴い、1990年代前半まで各社は歩留まりを確保するために製造環境のクリーン化をひたすら追求してきた。クリーンルーム仕様においても、いかにクリーン度の高い環境を実現するかが技術開発の流れであった。ところが180 nm世代のころから肥大し過ぎた半導体工場の投資額を抑える手法としてSMIF方式が国内デバイスメーカーでも真剣に検討され始めた。このSMIFの基本概念は1985年にヒューレット・パカード社から発表されたもので、ごく限られた領域のみを清浄に保つという思想であり、ウエハはSMIFポッドと呼ばれる密閉容器に保管される。日本国内では富士通が国内他社に先駆けて1998年三重工場2番館のリニューアルプロジェクトで本格的な導入を開始しており、以後3年間にわたる運用実績を踏まえてあきる野テクノロジーセンターへの適用を決定した。SMIFシステムを概念を図-1に示す。

SMIFを適用することのメリットとしては次の3点が挙げられる。

(1) クリーンルーム施工費と運転費用の削減

三重工場での実績データから、SMIFを採用することにより0.1 μm 以上のパーティクルレベルとしてウエハ保管環境の清浄度はクリーンルーム清浄度に対して1,000分の1から10,000分の1以下に維持されることが分かっている。したがって、クリーンルーム清浄度の設計値としてはクラス1,000 (実際の清浄度はクラス200~300になる。) で十分であり、それに見合うFFU (Fan Filter Unit) の台数削減と設置工事期間の短縮、さらにランニングコストの低減が可能になる。従来のスーパークリーンルーム方式に比較した電力削減量は5,444 MWh/年、CO₂削減効果は2,000トン/年にもなり、エコロジにも配慮した21世紀型の半導体製造ラインだと言える。

(2) 製品処理と設置工事の両立

SMIFポッド内では外部環境の影響を受けないため、隣接した製造設備間で製品処理と設置工事を同時に行うことが可能になる。前述の施工期間短縮と合わせて、従来6箇月を要していたクリーンルーム工事開始から最初のロットインプットまでをあきる野テクノロジーセンターでは4箇月で行うことができた。クリーンルーム工事開始からロットインプットまでに要した時間を、従来との比較で図-2にまとめる。

この外部環境の変動に対する強さは、生産を全く止めずに既存設備改造や新規設備増強工事を行えるという利点を持つ。テクノロジー開発と量産の二つの機能を持つ製造ラインにとっては非常に重要な要素である。

(3) 製品処理環境の安定化

ウエハはSMIFポッド内に格納されるので、通常

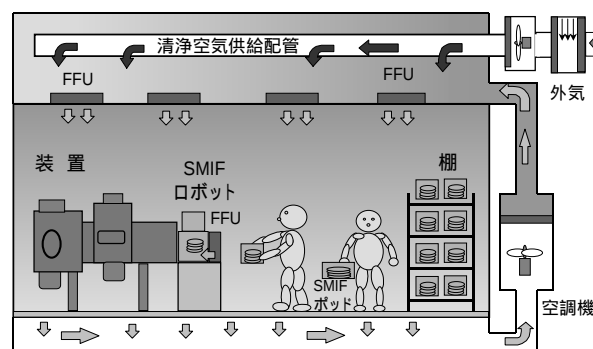


図-1 SMIF方式を採用したクリーンルームの概念
Fig.1-Concept of clean room with SMIF.

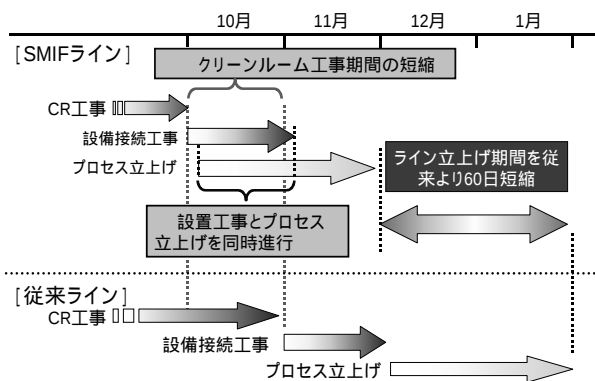


図-2 ライン立上げ期間の短縮
Fig.2-Cut-down of installation period.

処理はもとより測定や検査も含めてウエハハンドリングはすべてSMIFロボットが行う。これは、いつ、誰が処理しても全く同じ状態のウエハハンドリングを保証することになる。

SMIFポッドに格納されるということは汚染にも強い環境に置かれることでもある。クリーンルーム構成部材や製造設備からは微量の有機物が離脱している。濃度が微量であってもクリーンルーム大気のボリュームが大きく、それらが循環している環境の中にオープンカセットでウエハを保管しておくとも有機物の蓄積が問題になってくるが、SMIFポッド内は外部環境とほとんど大気の入出力がないため、保管時にクリーンルームからの有機汚染をほとんど気にしなくてもよい。

CIM (Computer Integrated Manufacturing)

あきる野テクノロジーセンターラインのCIMシステム構成ユニット間の機能関連を図-3に示す。テクノロジー開発ラインでもあることから、CIMには特に以下に示す4点の特徴を持たせている。

(1) 開発開始時からの完全電子化運用

処理条件が固まっていない開発初期段階には非定型処理が必要になるが、処理条件指示やウエハ分割などの作業指示、ロット処理時の特記事項までもすべてを電子情報として扱い、履歴管理と検索機能を使えるようにした。

(2) 開発ラインにおけるディスパッチ導入

実験ロットにはその結果をフィードバックすべき親ロットが存在する。実験ロットと言えども指定納期を守ることが開発をスケジュールどおりに行うためには必要である。あきる野テクノロジーセンター

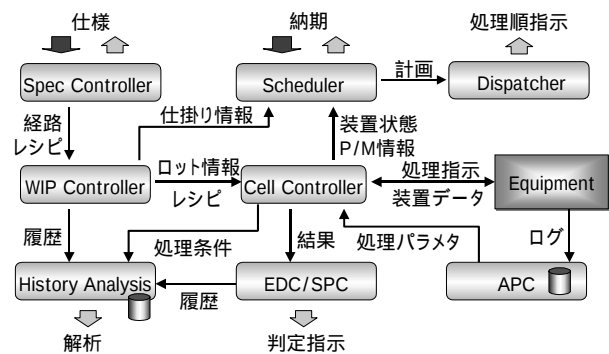


図-3 CIMシステムの機能関連図
Fig.3-Functional relation diagram of CIM components.

では全ロットの進捗予定を設備稼働状態に応じてリアルタイムに計画するダイナミックスケジューリングを5分ごとに行い、各装置に対して仕掛けりロットの処理順序を指示している。該当工程に未到着のロットについても到着時刻の予測を行い、緊急度の高いロットに対しては事前段取りが開始できる体制を構築した。

(3) 強力な履歴情報参照ツールの導入

何らかの問題発生時にロット番号をキーとして情報を検索して対象装置を見つけ、その装置をキーに対象ロットが処理された前後のイベント履歴も高速で検索できるようになっている。ロット処理履歴に加えて装置から収集される詳細プロセス情報も検索対象となっている。

(4) Webベースでの情報提供

基本的な情報はすべてWebベースで公開されるため、すべてのオペレータ、エンジニア、マネージャが24時間どこにいても工場の情報にアクセスし、データ解析を行えるようになっている。

高精度微細ゲート加工技術

90 nm ノードで最も重要な微細加工技術はハイエンドテクノロジーにおける40 nmのゲート加工である。デバイス設計上のねらい値よりもゲート長が長くなると飽和電流が低下してトランジスタの動作速度が遅くなり、逆にゲート長が短くなるとショートチャネル効果によってスタンバイ電流が増大し、待機時消費電力が大きくなってしまふ。チップ歩留まりを高くするためにはゲート長ばらつきをタイトにコントロールすることが必須である。富士通は新たにフィードフォワードとフィードバック機能から成る

APCシステムを開発した⁽¹⁾ プロセスのスキームを図-4に示す。まず初めにゲート電極エッチング前のレジストパターン寸法を測長する。ゲートエッチャはエッチシフトとエッチング条件の対応を表現するあるモデル式を持っており、この式をもとに測長値からターゲットの寸法に合致するような最適なエッチシフトとなるエッチング条件を自動的に選択する。エッチング後に再び測長が行われるとその結果はモデル式にフィードバックされ、処理を重ねるごとにモデル式の精度が向上し、以後の処理に反映されていく。通常このようなスキームでエッチングを行うと、ロットごとにトータルエッチング時間が変化するためパターンの粗密差によるゲート寸法差が生じてしまうが、後藤らは粗密差のほとんどないエッチング条件を見出し、この問題を解決している。⁽¹⁾ この技術によって40 nmゲートのばらつきを 3σ で4.0 nmに抑えることができる。今後このようなフィードフォワード機能を有するプロセス制御はゲート加工のみならずゲートサイドウォール形成や最密ピッチ配線形成加工に導入されていくものと考えられる。

なお、本システムはMES（Manufacturing Executive System）と連携しており、現場のオペレータは処理スタートを行うだけでよい。

Base Load

これまで新規テクノロジー開発段階においては、デバイス性能が目標に達していても歩留まりがなかなか立ち上がらなかった。その理由として、開発段階において歩留まりを議論できるほどのロットが流れないことと、開発ロットの条件振りが多く、同じ土俵で歩留まりを議論することができなかったという

ことが挙げられる。近年の先端デバイスはゲート長の縮小に代表される技術進歩の速度のみならず、次世代デバイスを市場に投入する早さも要求されており、最先端テクノロジーと言えども欠陥率の低減はビジネスの成否を左右する非常に重要な要素になっている。90 nmノードのテクノロジー開発においては、開発初期段階から継続して同一のTEG（Test Element Group）をコンスタントに流し、欠陥率改善指標として見るという運用を開始した。これを著者らは“Base Load”と呼んでいる。Base Load用のTEGには最密ピッチの長配線とVia Chainの歩留まりモニタが搭載されており、通常これを2層配線でプロセスアウトさせる。ロットインプットから歩留まりをアウトプットするまでのリードタイムは約2週間である。欠陥率を改善するためには何らかのプロセス改善が必要であるため、Base Loadを流す際にはその時々々のPOR（Process of Record）条件と改善条件を同一ロットで振り分けて効果を確認し、新たな条件をPORとして登録していく。

Base Loadは欠陥率改善指標になるとともに、ライン状態の診断機能も併せ持っている。通常ロジックラインに投入されるロットは少量多品種であり、回路規模やメモリ容量、配線総数が様々な品種の中で、何らかのプロセス異常が起こったときの歩留まり低下をダイレクトにプロセス異常と結びつけることが難しいが、その変化を常に同じTEGの歩留まりとして敏感に監視することが可能となる。

Base Loadにラインの一定キャパシティを常に割り振る運用を継続し、既存テクノロジーの歩留まり改善と新規テクノロジー開発のスピードを維持しようと考えている。

高速不良解析技術

90 nmテクノロジーの開発に、新たな高速不良解析技術であるKLA-TENCOR社の μ LoopTMを導入した。専用に設計されたTEGを用いてダマシン配線を形成した直後のウエハ表面を電子ビームでスキャンし、電圧コントラスト（VC）異常を検出する手法である。この技術の最大の特徴は、短時間で効率良く電気的な欠陥だけを抽出できるということと、その欠陥の物理座標を容易に特定できるということである。Via Openの不良解析を例にとると、従来手法では以下のステップを経て不良箇所の物理観察

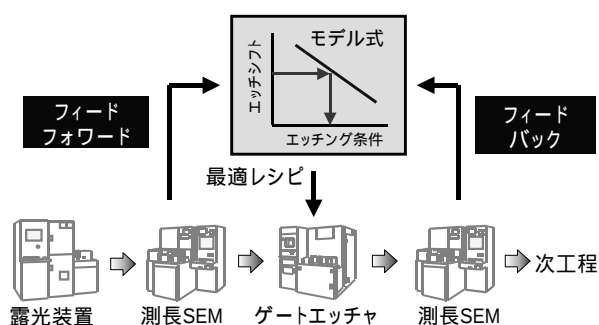


図-4 ゲート加工APCのスキーム
Fig.4-Process scheme of gate formation with APC.

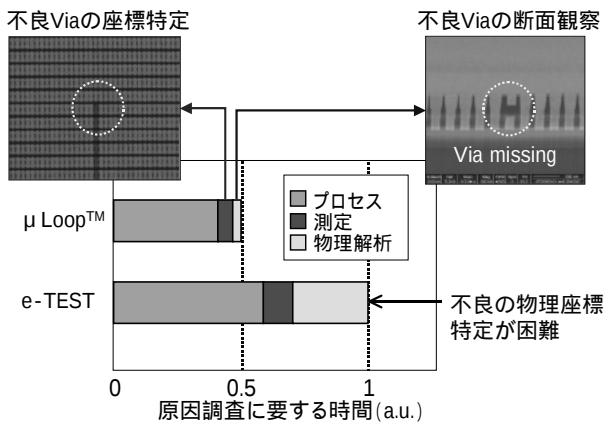


図-5 不良解析の所要時間比較

Fig.5-Comparison of failure analysis cycle time.

にたどり着く。

- (1) 層配線形成
- (2) Probe PADの形成
- (3) 電気測定
- (4) 不良座標の特定と解析

この中で最も困難なステップは(4)項である。不良座標を電氣的に特定するためにはラッチアレイのような回路と高額なテストが必要である。さらに、回路的に不良Viaを特定できても、いったん作ったProbe PADを剥離して当該Via層を露出させなければならない。ここまで首尾よくできて初めて不良Viaの物理観察が可能になる。一方今回導入した手法では、2層配線形成直後のウエハを直に電子ビームでスキャンするため、(2)項のステップが不要になる。TEGパターンはVC異常を効率良く検査するように工夫されており、限定された領域のみのスキャンによってVC異常の有無を判断することができる。ここで(3)項の測定時間も短縮できる。最後にVC異常が見つかった限定領域だけを再度詳細にスキャンすることで電氣的なOpen箇所の座標の特定に至る。図-5はこれらスキームの所要時間を相対比で表現したグラフである。ロットスタートから不良箇所の物理解析までの時間を従来比で半減させることができた。

このTEGにはランダム欠陥によるopen/shortはもとより、特定パターンの組合せによって引き起こされるシステム欠陥的なopen/shortもモニタできる工夫もなされている。実際にCMP (Chemical Mechanical Polish) スクラッチによる配線ショート、露光装置のレベリング異常によるショット性Via Open不良などを高感度に検出して製造装置へフィードバックを行っている。

本技術はテクノロジー開発段階で有効な不良解析手法であるだけでなくライン監視のBase Loadとしての役割も担っている。歩留まり評価をインプロセスで行えるため、通常の電気測定による評価に比べて数日早くラインの異常を検知しフィードバックすることが可能になっている。

む す び

90 nm ノード以降のロジックデバイス開発と初期量産を目的として2001年にあきる野テクノロジーセンターに新たなウエハプロセスラインを構築した。当ラインでは開発と量産の二つの機能を両立させるために、本稿で述べたように「スピード」と「柔軟性」を標榜した施策が施されている。SMIFの全面採用によってライン立上げ期間を短縮し、開発効率を高めるCIMシステムが第一ロットから全面サポートしている。テクノロジー開発を加速するためにキーとなる工程へAPCを導入し、歩留まり改善とライン監視のためにBase Loadと新たな高速不良解析技術の運用も開始した。これらの成果が最先端のお客様との活発な商談として現れており、今後も富士通半導体の中心拠点として稼働していく予定である。

参 考 文 献

- (1) K. Goto et al.: Advanced process control for 40 nm gate fabrication. IEEE International Symposium on Semiconductor Manufacturing, 2003, p.115-117.