

90 nm CMOS Cu配線技術

Cu Interconnection Technology for 90 nm CMOS Devices

あらまし

本稿では先端情報機器向けに開発した90 nm CMOSデバイスのCu配線技術について紹介する。富士通は、高性能化，低消費電力化，小型化の要求に応えるため，90 nm CMOSデバイスの配線技術には多くの先端技術を投入している。まず，180 nm CMOSデバイスからいち早く取り入れたCu配線を全面適用することで，配線抵抗の増加による回路遅延を防いでいる。つぎに，回路パターンの形成にはArFレーザ露光技術やOPC技術により，最小線幅が140 nmと，前世代の0.7倍という縮小化を実現した。さらに配線間のみならず，Via層間にも低誘電率絶縁膜を採用することで，配線間隔の縮小に伴う配線間容量の増加を防いでいる。また，高度なCMP技術により配線層を積層しても平坦性を維持することを可能にし，前世代よりも3層多い，Cu 10層 + Al 1層の配線構造も実用化している。

Abstract

This paper describes the copper (Cu) interconnection technologies for 90 nm CMOS devices Fujitsu has developed for cutting-edge information equipment. We have developed and introduced various advanced technologies for element interconnections in 90 nm CMOS devices to meet the requirements for high performance, low power consumption, and compactness. The Cu wiring technology that Fujitsu already introduced early on for 180 nm CMOS devices was fully applied to 90 nm CMOS devices to prevent increased circuit delays due to higher interconnection resistances. Circuit patterns are formed using an ArF laser and optical proximity correction (OPC). The minimum line width is 140 nm, which is 30 percent thinner than in the preceding CMOS generation. An insulating film with a low dielectric constant is used between the interconnections and also between via layers to avoid increases in capacitance between interconnections due to the reduced wire spacing. Furthermore, the introduction of advanced chemical mechanical polishing (CMP) technology enables us to maintain the flatness of wiring layers even when they are laminated and achieve a practical structure of 11 layers (10 Cu and one Al), which is three more layers than in the preceding CMOS generation.



内藤 謙仁 (ないとう けんじ)
次世代LSI事業部デバイス開発部
所属
現在，先端CMOS向け多層配線技術
開発に従事。



大塚 敏志 (おおつか さとし)
次世代LSI事業部デバイス開発部
所属
現在，先端CMOS向け多層配線技術
開発に従事。



細田 勉 (ほそだ つとむ)
次世代LSI事業部デバイス開発部
所属
現在，先端CMOS向け多層配線技術
開発に従事。

ま え が き

インターネットにつながるこれからの情報機器は、通信機能、高度なメディア処理機能とともに高速化、軽量小型化、低消費電力化が要求されている。この要求に応えるため、LSIの開発では世代が進むごとに回路中の配線幅や配線間隔の縮小化、配線層の多層化が進められてきた。この結果、従来はチャンネル長の縮小によるMOSFETの高速化がデバイス全体の性能向上の大部分を占めていたが、配線層数の増加や配線間隔の縮小による配線容量の増加と、配線の断面積やコンタクト面積の縮小による寄生抵抗の増加もLSI全体の性能を律速するようになってきた。このような状況下で、市場のニーズに応えるために、今回90 nm CMOSデバイス向けのCu多層配線技術を開発した。

富士通では、2世代前の180 nm CMOSデバイスから配線材料をAl（比抵抗： $2.8 \mu\Omega\text{cm}$ ）からCu（比抵抗： $1.7 \mu\Omega\text{cm}$ ）へ変更する配線技術をいち早く開発し、製品化してきた。さらに部分的に低誘電率絶縁膜を採用し、配線間の容量低減への技術開発も併せて行ってきた。90 nm CMOSデバイスでも早期量産化を実現すべくノウハウのあるCu配線を採用している。併せて低誘電率絶縁膜の適用範囲を拡大することで、縮小化に伴う配線間容量の増加への対応を行っている。

本稿では、90 nm CMOSデバイスのCu配線技術について述べる。

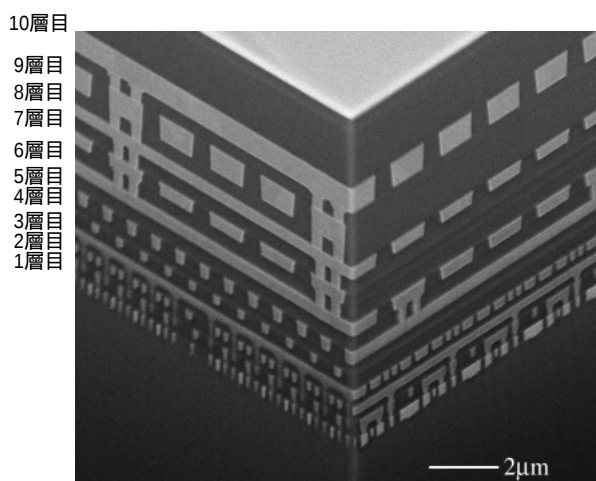


図-1 10層Cu配線断面

Fig.1-Cross sectional photo of 10 Cu layers interconnects.

配 線 構 造

90 nm CMOSデバイス用の配線層はCu 10層 + Al 1層の計11層である。配線層の断面を図-1に示す。配線層は目的ごとに、Intermediate（1-4層）、Semi-global（5-8層）、Global（9-10層）に分けて配線断面構造を決めている。これらにはすべてCu配線を採用している。さらに最上層をアルミ配線とすることにより、アセンブリ時のワイヤボンディングを容易に行えるようにした。

Intermediate層は主にLSI中の回路ブロック内や隣接回路ブロック間を接続するための比較的短い配線として用いられる。この配線層においては配線容量の低減が回路の遅延時間や消費電力削減に有効な手段になる。配線容量低減のため、前世代では配線溝の一部にのみ採用していた低誘電率絶縁膜を図-2に示すようにVia層にも採用している。この結果、最小線幅は140 nm、最小配線間隔も140 nmと前世代に比べ配線幅や配線間隔が0.7倍になっているにもかかわらず、単位長あたりの配線間容量は同等の値を得ている。

Semi-global層は後述のGlobal層から引き込まれた電気信号をIntermediate層に引き込む配線として用いられる。効果的に電気信号を引き込むため、Semi-global層は配線を厚くして、さらにピッチも560 nmと広く設定している。層間絶縁膜はIntermediate層同様、低誘電率絶縁膜を採用し配線容量の低減も図っている。

Global層はデータバス線、クロック線のようにチップ全体に配置された回路ブロック間の電気信号を受け渡すことに用いられる。配線もかなり長くなるのに加え、配線を流れる電流量も多くなる。この結果発生するIR Drop（電圧降下）を防ぐため、さ

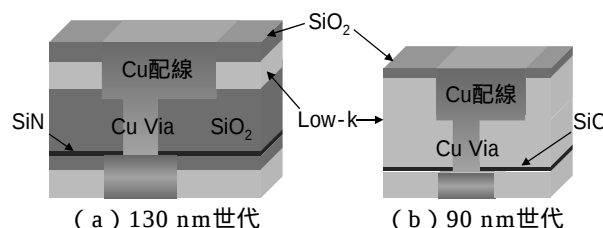


図-2 130 nm世代と90 nm世代の配線断面比較
Fig.2-Dual damascene structure: (a) 130 nm node, (b) 90 nm node.

らに配線を厚くしピッチも840 nmと広く設定してある。また層間絶縁膜は後工程への機械強度の確保のため酸化シリコン膜を採用している。

以上のような層構成で前世代に比べ、最小線幅は0.7倍、層数は前世代の7層よりも3層多いCu多層配線を開発した。つぎに、これらCu多層配線の形成を支える加工技術について紹介する。

加工技術

Cu配線の加工技術として最大の特徴はダマシン技術である。CuはAlと異なりエッチングによる加工が困難である。ダマシン技術はこの問題を解決するために考え出された技術であり、一般に、下記の手順で処理される(図-3)。

- (1) 絶縁膜を成長する。
- (2) 絶縁膜上に感光性の樹脂を塗布して露光、現像によりViaや配線パターンを形成する(図中はViaパターン)。
- (3) (2)で形成したパターンをマスクにしてViaや配線になる絶縁膜部分をエッチングする。
- (4) 全面にCuの拡散防止用としての金属膜とメッキ時の電極になるCuをスパッタにより薄く成長させる。
- (5) 電解メッキ法により(3)で形成したViaや配線溝中にCuを埋め込む。

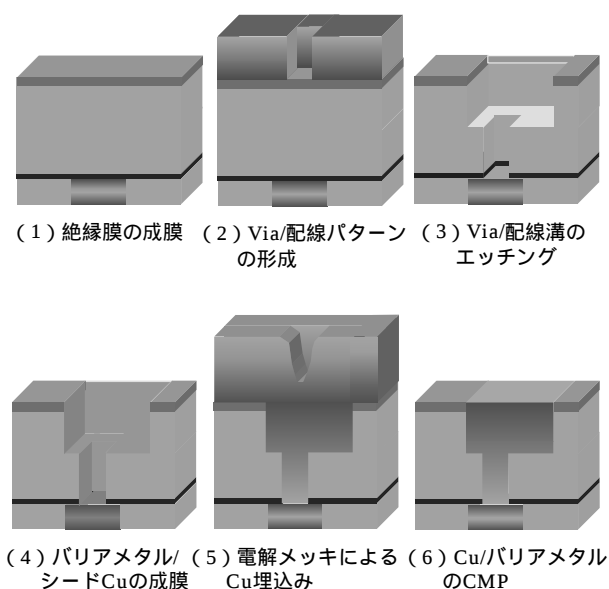


図-3 ダマシン技術

Fig.3-Schematic process flow of damascene process.

- (6) CMP (Chemical Mechanical Polishing) 法により余分なCuを除去し、同時に平坦化を行う。

ダマシン技術の中でも、Viaと配線になる溝形成を連続的に行い、Cuの埋込みも同時に行うものをデュアルダマシン技術と呼ぶ。逆にViaと配線になる溝形成を個々に行い、Cuの埋込みも別々に行うものをシングルダマシン技術と呼ぶ。デュアルダマシンの方が配線工程数の削減が可能で、低コスト化も実現しやすい。90 nm CMOSデバイスの配線形成ではデュアルダマシンを採用した。

上記のようなデュアルダマシン形成のための各処理はCu配線技術が採用された2世代前から踏襲されてきたものだが、以下ではデュアルダマシンの各処理順に従ってもう少し詳しく紹介する。

(1) 層間絶縁膜

配線間の容量はその間に満たされている層間絶縁膜の誘電率に比例する。すなわちLSIの高速動作の障害になるクロストーク(配線間に生じる相互干渉効果)を低減するには層間絶縁膜の誘電率が低いことが望まれる。また、CuはAlと異なり絶縁膜中を拡散しやすい性質を持つ。このためCuの拡散しにくい絶縁膜も必要となる。積層して配線を形成する場合はCu周辺にこの絶縁膜層(バリア層)を形成して、層間膜中にCuが拡散するのを防止する。

90 nm CMOSデバイスの配線層では配線容量の低減のために層間絶縁膜に低誘電率の絶縁膜(Low-kと呼ばれる)を採用した。低誘電率膜は前世代でも同一層間の一部だけに採用していたが、さらなる容量低減のため配線、Via層に採用している。この際、機械的強度確保のために前世代とは別の低誘電率膜(SiOC: $\epsilon = 2.9$)を採用した。またCuの拡散防止として配線層の上に成長させるバリア層も、前世代(SiN: $\epsilon = 7.0$)のおよそ65%誘電率が低いもの(SiC: $\epsilon = 4.5$)を採用している。

以上のようにして、層間絶縁膜の形成にはCu配線の信頼性を損なうことなく配線間容量の低減も行っている。

(2) リソグラフィ技術

Viaや配線の形成はパターン転写処理の繰返しにより行われる。ダマシン法ではまず、先に成膜した絶縁膜上に感光性の樹脂(フォトレジスト)を塗布し、ちょうど写真製版技術同様、所望の回路パターンを縮小投影露光、現像処理により形成する。ここ

で形成されたレジストパターンをマスクにして今度は層間絶縁膜へのパターン転写，加工処理を行う。絶縁膜に微細なパターン転写，形成するためにはまず，レジストパターンの段階で微細なパターンがシャープに形成されていることが必要になる。さらに最小のパターンが光源の波長よりも小さいため，回路パターンをかたどったマスク（レチクル）を通過した光は干渉を起こし，パターン形状が変わってしまう。

90 nm CMOSデバイスの配線層では最小の配線，Viaパターンが140 nmと前世代よりも更に縮小化しているため，露光時の光源には波長248 nmのKrFレーザに加え，波長193 nmのArFレーザも使用している。さらに配線に加えViaの露光にも近接効果補正（OPC：Optical Proximity Correction）技術を採用している。OPCとは，近接するマスクパターン間隔から実際に露光される光の強度を予測し，光の干渉による，焼付けパターン幅の変化を補正する技術である。この結果，光源に使用する光の波長よりも小さいパターンでも変形することなく一定の形状を実現している（図-4）。

以上のようにして，微細なマスクパターンの形成にも安定した形状を実現している。

（3）エッチング技術

つぎに，絶縁膜上のフォトレジストに転写された回路パターンをマスクにして絶縁膜への転写，加工を行う。転写の繰返しになるため，もともになった所望の回路パターンからのずれをどれだけ抑えるかが微細な回路パターンを形成する上で重要となる。ところが，配線間容量の低減に寄与する低誘電率絶縁膜は炭素を含んでおり，エッチングマスクとなるフォトレジストと組成が近い。このため，低誘電率

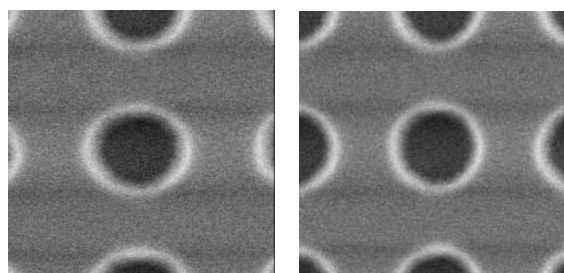
絶縁膜に対してはレジスト上に転写された回路パターンがマスクの役割を果たさず，直接低誘電率絶縁膜の加工を行っても再現性良く所望のパターン形状を得ることができない。

このため90 nm CMOSデバイスの配線形成ではフォトレジストと低誘電率絶縁膜の間に酸化シリコン膜を成膜して，こちらにレジスト上の回路パターンを加工，転写させた後，さらに酸化シリコン膜をマスク（ハードマスク）にして低誘電率絶縁膜をエッチングしている。この酸化シリコン膜は，後に述べるCMP時に低誘電率絶縁膜へのダメージを防ぐ削りしろとしての役割も担っている。また，加工時に使用するエッチングガスと層間絶縁膜との反応により生成した不純物残は薬液処理により下地Cuや低誘電率絶縁膜にダメージを与えることなく除去してやることで，断線やコンタクト不良などによる歩留り低下を防いでいる。

（4）スパッタ技術

配線材料であるCuはシリコンや酸化シリコンなどの層間絶縁膜中を拡散しやすい性質を持つ。このためエッチングにより絶縁膜中に形成した配線溝やViaにCuを埋め込む前に層間絶縁膜中への拡散防止膜として配線溝やViaの側壁に薄く金属膜（バリアメタル）をスパッタ成長させる。その後，後述するCuの埋込み時に電極の役割をするCu（シードCu）を薄くスパッタ成長させる。しかし微細化が進み，埋込みを行う部分のアスペクト比（高さ対幅）が高くなるとバリアメタルやシードCuイオンがVia底部や側壁に到達しにくくなり，十分な厚さで成長させることができない。この結果，歩留りや信頼性に影響が出る可能性がある。また前世代ではこのバリアメタル成長前にAr（アルゴン）スパッタにより下地Cu配線のクリーニングを行い自然酸化した下地Cu表面とのコンタクト抵抗の回復を行っていたが，この方法では同時に配線溝上の肩落ちを引き起こしてしまい，微細配線の場合には隣接配線間でショート不良を起こす可能性がある（図-5）。

前者の解決法として90 nm CMOSデバイスの配線層ではバリアメタルやシードCu膜のサイドカバレージを増加させるために，イオンリフレクタによるイオン収集効果と基板にRFバイアスをかけてイオンを引き込む効果を組み合わせた技術を採用した。



（a）OPCなし （b）OPCあり

図-4 Viaパターンに対するOPCの効果
Fig.4-Effects of OPC in Via patterning.

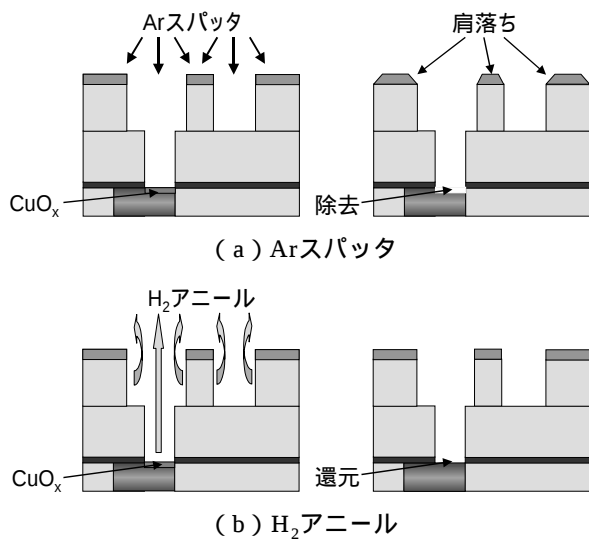


図-5 Cu表面のクリーニング技術

Fig.5-Pre-cleaning technology: (a) Ar sputtering, (b) H₂ annealing.

また後者に対しては、H₂雰囲気中での還元処理により配線溝上の肩落ちを起こすことなくVia界面のCu表面のクリーニングを実現している（図-5）。

（5）メッキ技術

Cuはドライエッチングによる加工が不可能であるため、電解メッキ法により絶縁膜中に形成した配線溝やViaにCuを埋め込む形で配線を形成する。配線やViaの縮小化を行うと、埋込み溝のアスペクト比が高くなるが、このようなパターンに均一にCuを成長させてしまうと溝中が完全にCuで満たされる前にViaや配線の上端が埋まってしまい、Viaや配線内部に埋込み不良（ボイド）が形成されてしまう。また埋込みパターンにより表面Cuに凹凸が発生するため、後のCMPによる凹凸の緩和も難しくなる（図-6）。このように微細なパターン上ではCuを均一に成長させると、配線の抵抗増加やLSIの信頼性に影響を及ぼす可能性が高くなる。

90 nm CMOSでは選択的にアスペクト比の高い部分の底からメッキされるように、メッキ時に印加する電流値の制御や、複数ステップに分けた処理を行い、高アスペクト比ながら高い埋込み性を示す技術を実現している。この技術は同時に埋込みパターンによるCu表面の凹凸も緩和し、CMPによる凹凸緩和処理を容易にしている。

（6）CMP技術

電解メッキ法によりCuを埋め込んだ後、配線分

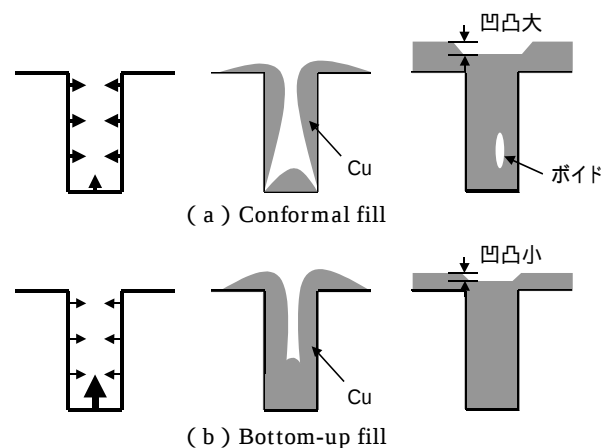


図-6 Cuメッキの埋込み技術

Fig.6-Schematic diagram of Cu plating process: (a) Conformal fill, (b) Bottom-up fill.

離上などに残った余分なCuはCMP処理により除去する。ダマシン法に用いられるCuのCMPは、砥粒を含む薬液（スラリー）により余分なCu表面を化学的に反応させつつ、研磨布（パッド）により機械的に余分なCuを除去する。この化学的研磨と機械的研磨のバランスが悪いと、配線や絶縁膜表面に研磨傷（スクラッチ）が発生したり、部分的にCu残渣が発生したりと、歩留りに影響が出る可能性が高くなる。またウエハ面内に凹凸が存在したままだと、十分な焦点深度が得られず積層時に微細な回路パターンの形成が困難になり、やはり歩留りに影響が出る可能性が高くなる。

90 nm CMOSデバイスの配線層ではCMPで使用するスラリーから開発し、さらに研磨ステップの見直しにより機械的にも高い圧力を加えることで層間絶縁膜にダメージを与えることなく余分なCuを効果的に除去することを可能にしている。この結果、スクラッチやCu残渣を低減し、安定した歩留りを実現している。また先に述べた低誘電率絶縁膜のエッチング時にマスクとして使った酸化シリコン膜も削りしろとして利用し、層ごとに平坦化も併せ実現している。

以上のように様々な技術を集めて、高歩留りと高い信頼性を誇るCu多層配線を実現した。

む す び

90 nm CMOSデバイス向けのCu多層配線技術を開発、実用化した。

ArFレーザ露光技術やOPC技術により配線幅などの縮小化を行う一方で、層間絶縁膜に低誘電率絶縁膜を採用し、単位長あたりの配線間容量は前世代と同等にすることを実現した。配線間隔の縮小化によって発生するCu配線形成上の問題も各プロセスの見直しや改善、新規技術の開発により解決し、その結果、

前世代よりも多い配線層数の積層化を実現した。

LSIの高速化、軽量小型化、低消費電力化により、デバイス全体の性能に対する配線層の影響は世代ごとに厳しくなっている。さらなる微細化、高性能化を目指してプロセス面での技術開発を進めていく。

