

90 nm CMOS超高速/低リークデバイス技術

90 nm CMOS Ultrafast/Low-Leakage Device Technology

あらまし

本稿では、富士通の90 nm世代CMOS技術であるCS100、CS100Aにおけるトランジスタ技術について解説する。CS100ではサーバ・PC用プロセッサ向け超高速デバイスを、CS100Aでは携帯電話向けに代表される低電力・高性能デバイスを開発した。超高速トランジスタは高電流駆動能力と低寄生容量が要求される。駆動能力はゲート絶縁膜の膜厚をリーク限界まで薄くし、各種独自技術でキャリア移動度を増大させることで向上させた。寄生容量についても、各種独自技術で浅く急峻な接合形成を行って駆動能力を維持しつつ短チャネル効果を抑制し、ゲート長をこの世代として業界最小の40 nmまで縮小してゲート容量を低減した。一方、低電力・高性能トランジスタはリーク抑制と性能のバランスがかぎとなる。ゲート絶縁膜はリーク仕様に合わせて厚めとし、さらに不純物プロファイルを最適化して接合リークを抑制すると同時に、CS100で開発した独自の移動度向上技術を活用して高性能化を実現した。

Abstract

This paper describes the transistors of Fujitsu's 90 nm CMOS: CS100 for high-end processors and CS100A for versatile, low-power/high-performance devices such as cellular phones. CS100 transistors were required to drive high current with small parasitic capacitance. Current was increased by reducing gate dielectric thickness to the leakage limit and employing original techniques to improve mobility. Gate capacitance was reduced by shortening the gate length to 40 nm (the world's shortest in the 90 nm node). This was achieved by improving the short channel effect using proprietary techniques for shallow and steep junction. CS100A transistors are designed to offer the best balance between leakage restriction and performance. Both gate and junction leakage specifications were met by adopting the optimal oxide thickness and impurity profile, respectively; while techniques employed to improve mobility for the CS100 boosted performance.



橋本浩一（はしもと こういち）
次世代LSI開発事業部デバイス開発
部 所属
現在、先端CMOSテクノロジーのデバ
イス開発に従事。

ま え が き

この30年余り，回路パターンの微細化を原動力として半導体チップの機能増大・速度向上・電力低減が進展してきた。微細化は，富士通をはじめとして最も先行する半導体メーカにおいて90 nm世代の本格量産が始まるところまで来ている。

富士通では90 nm世代CMOS技術としてCS100およびCS100Aテクノロジーを開発した^{(1),(2)}。これらは大きく分けて高速プロセッサ向け，および低消費電力・高性能デジタル機器向けに対応している。

前者のサーバやPCのプロセッサ向け半導体は，ますます増大する処理能力要求に応えるため，許容される消費電力の枠内で各世代の最高速を要求される。後者に属する携帯電話やデジタルAV機器向け半導体に対しても，機器の急速な機能強化のため，低消費電力かつ高性能のデバイスに対する要求はとどまるところを知らない状況となっている。

高速性・低消費電力性の向上は，LSIの集積度の向上で多くの機能を一つのチップに載せてしまうことによってある程度得られる。チップ間の信号やり取りには一般に時間も電力もかかるためである。集積度の向上は機器の小型化にも当然貢献する。つまり，システムLSI（System-on-a-Chip，SOC）化である。しかしそれだけでは多くの応用製品の要求に応えられない。

富士通の90 nm CMOS技術においては，配線低容量化技術⁽³⁾による消費電力・処理性能の向上とともに，トランジスタの高速性，低リーク性を徹底的に追求している。

本稿では，これらの超高速トランジスタおよび低リーク・高性能トランジスタ技術について紹介する。

高速プロセッサ向けCS100のトランジスタ

本章では，CS100トランジスタの特長，開発背景と目標，ベースとなる半導体プロセス技術と課題，開発した技術とその効果について解説する。

● 特長

CS100のトランジスタラインアップとスペック一覧を表-1にまとめた。またトランジスタ断面の透過電子顕微鏡（TEM）写真を図-1に示す。主な特長として，90 nm世代として実用化されたトランジスタで世界最小のゲート長40 nm，電源電圧（VDD）1.0 Vにおいて最高水準のドレイン電流（Ids）およびゲート遅延時間（tPD）を達成したことが挙げられる。

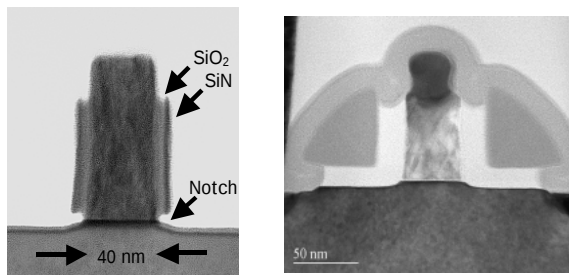
ラインアップは，標準：STD（Standard），高速：HS（High Speed），高Vth：HVT（High Vth）となっている。STDを中心に，HSは特に重い負荷を駆動する場合に，HVTはリーク電流を削減したい場合に対応している。それぞれのNch/PchトランジスタのIon-Ioff特性を図-2に示す。

● 開発背景と目標

サーバやデスクトップPC用の高速プロセッサは，ほかの用途に比べてより明確に高速性が競争力の源泉となる。一般に電源電圧を上げれば高速動作するが，消費電力が急速に大きくなってしまい発熱が問題となる。またトランジスタの閾値電圧（Vth）を下げれば駆動能力が向上して高速動作するが，リーク電流が増えるためにやはり消費電力が大きくなってしまふ。消費電力は動作電流とリーク電流の和で決まるということである。したがって，この制約条件の下で最高の駆動能力を持つトランジスタが要求されることになる。

表-1 CS100トランジスタ諸元

項目	HS	STD	HVT
ゲート長（物理長）	40 nm		
ゲート絶縁膜厚（容量換算値）	1.9 nm		
電源電圧（V）	1.0		
オン電流Nch（ $\mu\text{A}/\mu\text{m}$ ）	1,050	960	740
オン電流Pch（ $\mu\text{A}/\mu\text{m}$ ）	450	390	290
オフ電流（Nch，Pch）（nA/ μm ）	300	70	5
ゲートリーク電流Nch/Pch（nA/ μm ）	40 / 16		
ゲート遅延時間（ps）	6	7	9



(a) サイドウォール・ノッチ構造

(b) 全体

図-1 CS100トランジスタ断面のTEM写真
Fig.1-Cross-sectional TEM photographs of CS100 transistor.

一定の消費電力の枠組みの中で最高速を得るためには、VDDとオフ時リーク電流 (I_{off}) が一定の条件の下で、

- (1) ドレイン電流 (I_{ds}) を大きく、
 - (2) ゲート容量 (C_g) を小さく、
 - (3) 接合容量 (C_j) を小さく、
 - (4) 配線容量を小さく
- することが目標となる。

トランジスタの I_{ds} 増大のためには、

- (1a) ゲート絶縁膜の電気的実効膜厚 (T_{eff}) を薄くすること、
 - (1b) キャリアの移動度 μ を大きくすること、
 - (1c) 寄生抵抗を下げること
- が必要である。

- ベースとなる半導体プロセス技術と課題

CS100もベースは130 nm世代など従来から一般に用いられているCMOS技術であり、トランジスタ部分のプロセスの概要は次のようなものである。まずシリコン基板表面に浅い溝を掘って素子領域同士を区分けし、酸化膜で埋め込んでSTI (Shallow Trench Isolation) 構造を形成する。つぎに各素子に合わせてウェル不純物を注入した後、素子領域のシリコン表面にゲート絶縁膜として酸窒化膜を形成する。その上に多結晶シリコンのゲート電極を形成し、最後にソース・ドレインとなる不純物拡散層を作り込んだ上に CoSi_2 を形成して電極とする。

このベースの上で、上述の各開発目標は、限界やトレードオフ関係を持つ。(1a) T_{eff} を薄くするのはゲート絶縁膜の物理膜厚 (T_{ox}) を薄くすればよいが、リーク電流を一定以下に抑える必要があるため、薄膜化に限界がある。 T_{eff} 薄膜化は(2) C_g 低

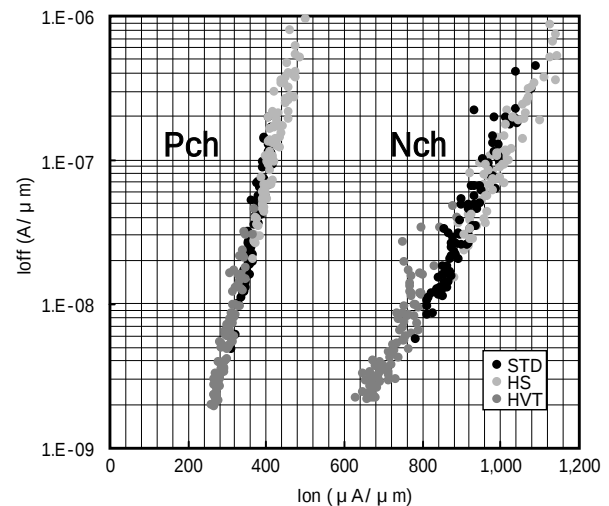


図-2 CS100トランジスタのIon-Ioff特性
Fig.2-Ion-Ioff of CS100 transistors.

減にも不利な方向となる。またゲート絶縁膜とする酸窒化膜の窒素濃度を上げると(1a)には有利だが、(1b)とトレードオフになる。

(1a)と(2)を両立するにはゲート長 (L_g) の微細化(短チャネル化)が決定的であるが、これは同時に各種問題を引き起こす。その一つは(1c)とのトレードオフであり、基本的に短チャネル化しようとする拡散層の寄生抵抗を下げるのが困難となる。別の一つもやはり I_{ds} の問題で、一般に短チャネル化するとトランジスタのキレ(サブスレッショルド係数)が悪くなるため、 I_{off} を維持しようとすると V_{th} を高くせざるを得なくなり、結果として I_{ds} を低下させてしまう。

これらの現象は130 nm世代までは顕著でなく、さかのぼればむしろゲート長の短縮によって I_{ds} を増大させていた。短チャネル化と I_{ds} 増大が両立しなくなってきたのが、90 nm世代で顕著になった最大の課題である。そして一方で、短チャネルのためにトランジスタ特性が L_g の製造ばらつきに敏感になってしまうことは、従来世代と同様である。

- 開発した技術とその効果

各種新規技術を開発・採用することで、上述のようなトレードオフを乗り越えて、最高水準の性能を引き出すことに成功した。

まずゲート絶縁膜については、酸窒化膜中の窒素濃度・分布を最適化して、移動度とリーク電流を維持しつつ T_{eff} を向上させた⁽¹⁾ 具体的には窒素を、ゲート絶縁膜/シリコンの界面付近で濃度を下げ、

多結晶シリコン/ゲート絶縁膜の界面で濃度を上げるような形にした。短チャネル化のために熱処理量を削減した効果もあって、最適化した窒素濃度でホウ素の突き抜けは問題にならなかった。また、信頼性項目の一つNBTI (Negative-Bias Temperature Instability) は窒素濃度の最適化の中で同時に満足させるようにした。

キャリア移動度を向上させるため、上記窒素分布に加えて、界面状態を改善する独自処理を開発した。さらに、STIなどトランジスタの周辺構造から及ぼされるストレスを制御するようにして移動度を改善している。移動度はチャネル部のストレス状態に強く依存するためである。とくにNMOSFETのチャネル方向に加わるストレスが移動度を低下させる圧縮側にならないような制御技術を開発した。

ゲート長は、90 nm世代として世界最小の40 nmまで微細化した。この微細なゲート電極を精度良く加工形成するため、つぎのような技術を開発・採用した。フォトリソグラフィ工程では解像度を高めつつ、マスク寸法の誤差に鈍感で安定性がよい、独自の位相シフト技術を適用した⁽⁴⁾。ゲート図形として任意のパターンに対応するため、この位相シフト技術にマッチする光近接補正 (OPC) 技術を組み合わせている。またエッチング工程でレジストを細らせる処理 (トリミング) を行うことで、フォトリソグラフィで形成が必要な寸法を緩和して負担を軽減している。さらにエッチング工程でトリミングを行う際に、前工程でのレジストの出来上がり寸法に連動させてトリミング量を変えることでゲート電極の寸法調整を施す、独自のAPC (Advanced Process Control) 技術を採用した⁽⁵⁾。以上により十分なゲート長精度を確保できた。

ゲート長の縮小と同時に、短チャネル化の問題点を解決する必要があった。この点を究めたところがCS100トランジスタの最大の特長とも言える。

短チャネル化は基本的に接合を浅くすることで達成できる。しかし同時に寄生抵抗が増大しないようにするため、濃度分布を急峻^{きゅうしゅん}に形成することが必要だった。そのために、不純物の種類ごとに異なる拡散特性を考慮して、イオン注入と熱処理の関係を最適化している。加えて独自のオフセット構造⁽⁶⁾独自の窒素共注入⁽⁷⁾など、不純物分布を制御する手段を総合的に最適化を図った。結果として、Lgが40 nmまでサブスレッショルド係数の劣化が小さく、かつ、Idsの低下を抑えることができた。

これらの施策は同時に、チャネル不純物やポケット不純物にも影響を与え、結果として接合容量の削減にも効果を及ぼしている。

以上のような独自技術の開発と最適化の過程において、TCAD (Technology CAD) も活用した⁽⁸⁾。試作したトランジスタの各種dc特性、ac特性から、インバースモデリング技術によってデバイス構造を推定した。そして目標構造との差異分析を行って状況を把握し、さらなる必要施策を明確化できた。

低消費電力高性能機器向けCS100Aのトランジスタ

本章ではCS100Aトランジスタの特長、開発背景と目標、課題、開発した技術とその効果について解説する。

● 特長

CS100Aのトランジスタラインアップとスペック一覧を表-2にまとめた。CS100Aには低リーク (LL) 版と一般向け (G) 版の2系統のトランジスタラインアップを準備した。前者の特長は低スタンバイ電

表-2 CS100Aトランジスタ諸元

項目	CS100A_LL				CS100A_G			I/O, アナログ (共通)	
	UHS	HS	STD	LL	UHS	HS	STD		
電源電圧 (V)	1.2				1.0			2.5	3.3
ゲート長 (nm)	80				60			240	340
ゲート酸化膜厚 (nm)	1.8				1.5			5	7
オン電流Nch ($\mu\text{A}/\mu\text{m}$)	820	715	584	450	740	630	480	590	600
Pch ($\mu\text{A}/\mu\text{m}$)	395	320	285	200	330	280	200	280	274
オフ電流Nch (A/ μm)	30n	3n	0.3n	10p	30n	5n	0.5n	0.2p	0.3p
Pch (A/ μm)	30n	3n	0.3n	10p	30n	5n	0.5n	0.1p	0.2p

力と高速性とをカバーすることにある。後者は、前世代からのスケール性とバランスが特長である。以下、主にLL版に関して解説する。

CS100Aのトランジスタは、MPU向けCS100の開発で得た技術を生かすことによって高い競争力を有している。有力ファウンドリメーカーが公表している、LL版に相当するトランジスタ特性との比較を図-3に示す。CS100Aの特性は全体として右側にあり、 I_{off} が同程度のトランジスタ同士を比較したとき I_{on} がより大きいことを示している。

CS100Aの別の特長は、SRAMマクロの品種をはじめとして提供するライブラリの多様性にある。SRAMセル代表例の表面走査電子顕微鏡（SEM）写真を図-4に示す。またアナログ素子についても、高精度ペアトランジスタ、低温度係数抵抗、MIM（Metal-Insulator-Metal）キャパシタ、高Qインダクタなど種々の高性能素子を提供している。

● 開発背景と目標

携帯電話に代表される携帯機器では、動作の合間の待機時、さらにはスリープモードに入ったときの電力消費を最小化することが第一の要件である。このためにはトランジスタのリーク電流を最小化しなくてはならない。

一方で、デジタルカメラや携帯ビデオ機器は言うまでもなく、携帯電話においても画像データなど大きな情報に対して複雑な処理を必要とするようになってきた。このためトランジスタの高速性も重要な要件である。

加えて、コストも要件あるいは制約条件である。

チップ面積縮小が第一であり、したがってSRAMセルの縮小も必要となる。コスト面で更に決定的なのはSOC化である。これは同時に動作時電力の低減、処理の高速化にも効果的となる。このSOC化のため、I/O電圧が複数必要となったり、高精度のアナログ素子も同じチップ上に作り込んだりすることが必要となる。

● 課題

ベースのプロセス技術はCS100同様であるが、固有の主要課題は、高速性を確保しつつトランジスタのオフ時リーク電流を徹底的に低減することであった。リーク電流には（１）ゲートリーク、（２）サブスレッショルドリーク、（３）接合リークの成分がある。（１）の抑制にはゲート絶縁膜を厚くする必要があるが、 I_{ds} が低下してしまう。（２）の抑制は V_{th} を引き上げることだが、これも I_{ds} を低下させる。また V_{th} を上げるために不純物濃度を上げると（３）が増大してしまう。

● 開発した技術とその効果

低リークと高性能のバランスをとるため、CS100A LL版では $V_{DD} = 1.2\text{ V}$ としゲート長を80 nmとした。リーク仕様に合わせてゲート絶縁膜を厚くし、 I_{ds} 低下を抑制するため V_{DD} を高めとし、これらとバランスのとれるゲート長としている。この設定は必要不純物濃度との関係で接合リーク低減にも効果がある。そして業界の先導的仕様となっている。

一方、CS100で開発した各種独自技術はCS100Aの高性能化にも活用している。移動度向上のための窒素分布、界面処理、およびストレス制御がその中

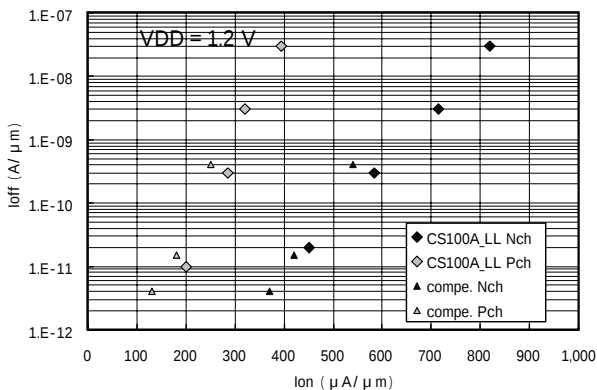


図-3 CS100A_LLトランジスタ特性の比較

Fig.3-Performance comparison between CS100A_LL transistors and competitors'.

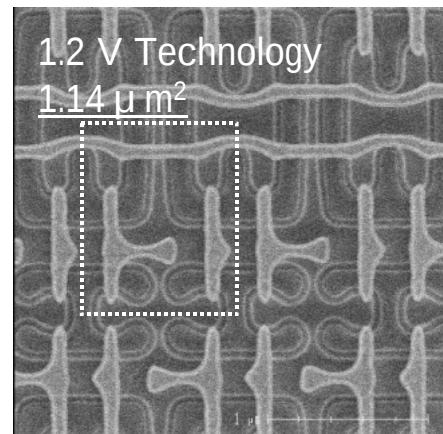


図-4 CS100A SRAMの表面SEM写真

Fig.3-SEM photograph of CS100A SRAM.

心である。そして、接合リーク低減のために不純物プロファイルの最適化を行っている。

結果として、低リーク（LL）トランジスタのオフ時リークを十分に低減しつつ I_{ds} を稼ぎ、HSとUHSトランジスタは電流駆動能力を一層高めることができた。

加えて、ゲート長80 nmとすることでリソグラフィコストが低減でき、なおかつOPCの活用によってSRAMセルの縮小は十分達成できている。

む す び

高速プロセッサ向けCS100では高電流駆動能力かつ低寄生容量のトランジスタを開発した。駆動能力はゲート絶縁膜の電気的膜厚をリーク限界まで薄くし、各種独自技術でキャリア移動度を増大させることで向上させた。寄生容量については、ゲート長をこの世代として業界最小の40 nmまで縮小してゲート容量を低減した。このため、各種独自技術で浅く急峻な接合形成を行って短チャネル効果を抑制しつつ駆動能力を維持するようにした。また独自のリソグラフィ技術、APC技術を駆使することで、十分なゲート長精度を確保した。

携帯電話やデジタルAV機器に向けたCS100Aでは低消費電力・高性能デバイスを開発した。リーク抑制と性能のバランスがかぎであり、ゲート絶縁膜はリーク仕様に合わせて厚めとし、さらに不純物プロファイルを最適化して接合リークを抑制すると同時に、CS100で開発した独自の移動度向上技術を活用して高性能化を実現した。

参 考 文 献

- (1) S. Nakai et al.: A 90-nm CMOS Technology with “Sidewall-Notched” 40-nm Transistors and SiC-Capped Cu/VLK Interconnects for High Performance Microprocessor Applications. Symposium on VLSI Technology, 2002, p.66.
- (2) Y. Takao et al.: 0.65V Device Design with High-performance and High-density 100nm CMOS Technology for Low Operation Power Application. Symposium on VLSI Technology, 2002, p.122.
- (3) 内藤謙仁ほか：90 nm CMOS Cu配線技術. *FUJITSU*, Vol.55, No.3, p.199-204 (2004).
- (4) H. Futatsuya et al.: Model-based OPC for Phase Shifter Edge Lithography. Optical Microlithography XV, Proceedings of SPIE Vol.4691, 2002, p.1148.
- (5) 清水敦男：90 nm CMOS開発・量産ラインの構築. *FUJITSU*, Vol.55, No.3, p.205-209 (2004).
- (6) S. Pidin et al.: Experimental and Simulation Study on Sub-50 nm CMOS Design. Symposium on VLSI Technology, 2001, p.35.
- (7) Y. Momiyama et al.: Lateral Extension Engineering using Nitrogen Implantation (N-tub) for High-Performance 40-nm pMOSFETs. International Electron Devices Meeting Technical Digest, 2002, p.647.
- (8) T. Sugii et al.: Transistor Design for 90 nm-Generation and Beyond. *FUJITSU Sci. Tech. J.*, Vol.39, No.1, p.9-22 (2003).