

新メディアプロセッサFR400

New Media-processor “FR400”

あらまし

高性能組み込み用VLIWプロセッサであるFR-Vファミリーの製品として、新たにFR400を開発した。FR400は既に製品化しているFR500に対して命令発行数、レジスタ数やキャッシュサイズを半分にしコストダウンを図りながらも随所に性能を保つ工夫をした結果、大幅な性能対価格比の向上を図ることができた。

本稿ではVLIWの概念をはじめFR400の命令セットアーキテクチャについて説明する。さらにFR400の最初の製品であるMB93401の内部構成や省電力機構について解説する。最後にFR400をシステムLSIのコアとして使用した応用製品の例としてMFP (Multi Function Printer) およびDSC (Digital Still Camera) の例を上げ、画像処理アルゴリズムをソフトウェアで行う場合の優位性について説明する。

Abstract

We have developed a new media processor, the FR400, which is a member of the high-performance embedded VLIW processor FR-V family. Compared with the FR500, the instruction issue count, number of registers, and cache size of the FR400 have been reduced by half, resulting in lower costs. Nevertheless, by improving performance in all possible ways, cost-performance has been raised significantly. This paper first discusses the concept of VLIW and then describes the instruction set architecture of the FR400. The internal configuration and power-saving feature of the MB93401, which is the first product containing the FR400, are outlined. Finally, the paper discusses the superiority of using the FR400 as the core system LSI for products where image processing algorithms are executed using software, with reference to multi-function printers (MFPs) and digital still cameras (DSCs) as examples.



桜井 厚(さくらい あつし)
第二システムLSI事業部ソリューション・プロセッサ開発部 所属
現在、FR-Vプロセッサ、ARMプロセッサの開発およびサポートに従事。

ま え が き

VLIW^(注1)アーキテクチャを採用した高性能組み込み用マイクロプロセッサFR-Vファミリーの新メンバであるFR400プロセッサと、FR400プロセッサを搭載したシステムLSI製品であるMB93401について、そのアーキテクチャとインプリメンテーションを解説する。

FR400は既に製品化しているFR500⁽¹⁾に対して大幅な性能対価格比の向上を実現した、新しい組み込み用メディアプロセッサである。

スーパスカラとVLIW

一般的に単一プロセッサの性能向上に関する方式は、スーパスカラとVLIWに大別される。いずれの方式もILP (Instruction Level Parallelism ; 命令の並列性) を有効利用するものであり、FR-VファミリーはVLIW方式⁽²⁾を採用する。

スーパスカラプロセッサ⁽³⁾では演算器に命令が供給される段階において動的にスケジューリングを行う。具体的にはレジスタ干渉の検出や演算器の使用可能性検出を行い、命令を待ち合わせる操作が行われるが、このためにリザベーションステーションと呼ばれるハードウェアが必要となる。さらに投機的な命令実行の場合、演算された結果はプログラム順序どおりにレジスタに書き込まれる必要があるため、リオーダバッファと呼ばれるハードウェアが必要となる。

一方、VLIWプロセッサでは命令のスケジューリングは命令をオブジェクトコードに翻訳する際にコンパイラにより行われるため、動的に命令を並べ替えるハードウェアが不要であり、したがって、面積的に小さくかつ低消費電力であると言える。

命令セットアーキテクチャ

FR400シリーズの命令セットアーキテクチャは三つのカテゴリから成る。第1は整数命令セットであり、一般のRISCと同様な四則演算、論理演算命令を持つ。第2のカテゴリとしてFR-Vシリーズの特長であるメディア命令セットがある。メディア命令セットにはSIMD^(注2)演算命令があり、効率的なメディア処理を行うことができる。第3のカテゴリとして大域スケジューリングが可

能となる条件付命令セットを持つ。条件付命令を用いることで分岐命令が削除できる。そのため基本ブロックを拡張することができ、コンパイラによる命令最適化の対象を広げることが可能となる。一方FR500に存在した浮動小数点演算命令は削除した。対象アプリケーションをメディア処理に絞り、面積コストの高い資源である浮動小数点演算器を削除したことによる。

FR400では新規に26種類の命令を追加した。命令追加にあたってはJPEG^(注3)、JBIG^(注4)、MPEG-4^(注5)などのメディア処理プログラムを分析し、それらのプログラムの最適化に効果のある命令を実装した。

JPEGやMPEGの圧縮アルゴリズムとしてDCT (Discrete Cosine Transformation) が使用されるが、その中では行列演算が多用される。メディアSIMD命令は単一命令を複数のデータに及ぼすことが可能な命令であり、行列演算のような複数のデータの積和をとる場合に有効である。

メディアSIMD命令の効果的な使用例を図-1に示す。「斜め」に演算を行うことにより4命令で行列演算を実行することが可能となる。具体的には、

$$(1) \text{ MQMUL : } y_0 = a_{00} \times x_0 ; y_1 = a_{11} \times x_1 ; y_2 = a_{22} \times x_2 ; y_3 = a_{33} \times x_3$$

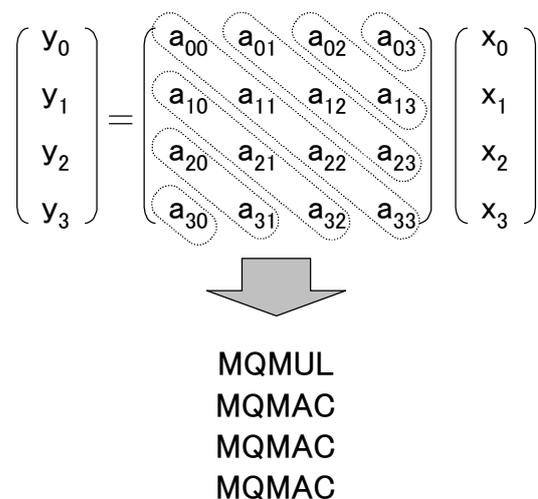


図-1 SIMD命令の例
Fig.1-Example of SIMD instructions.

(注1) 依存関係のない複数の命令を非常に長い一つの命令としてまとめ、同時に実行する方式。
(注2) 単一命令、複数データ実行方式。

(注3) Joint Photographic Experts Groupの略語。静止画像データの圧縮方式の一つであり、写真などの自然画の圧縮に効果的。
(注4) Joint Bi-level Image Experts Groupの略語。2値画像の圧縮方式の一つ。
(注5) Moving Picture Experts Groupの略語。動画データデータの圧縮方式の一つで、通信速度の低い回線を通じた、低画質、高圧縮率の映像の配信を目的とした規格。

(2) MQMAC : $y_0 = y_0 + a_{01} \times x_1 ; y_1 = y_1 + a_{12} \times x_2 ; y_2 = y_2 + a_{23} \times x_3 ; y_3 = y_3 + a_{30} \times x_0$

(3) MQMAC : $y_0 = y_0 + a_{02} \times x_2 ; y_1 = y_1 + a_{13} \times x_3 ; y_2 = y_2 + a_{20} \times x_0 ; y_3 = y_3 + a_{31} \times x_1$

(4) MQMAC : $y_0 = y_0 + a_{03} \times x_3 ; y_1 = y_1 + a_{10} \times x_0 ; y_2 = y_2 + a_{21} \times x_1 ; y_3 = y_3 + a_{32} \times x_1$

の4ステップで実行される。

本命令により、SIMD命令がない場合の10倍以上の高速化を達成した。

開発コンセプト

FR-Vファミリーの既存製品であるFR500と比較して価格を1/3にし、また性能低下を30%以下に押さえることを開発目標とした。これは最終商品の価格ターゲットを、例えば民生用デジタルカメラや多機能プリンタの価格帯である\$300近辺に設定したことによる。

これを実現するためにトランジスタ数を1/2以下に削減した。具体的にはキャッシュ容量を1/2にし、キャッシュポートもデュアルからシングルに削減した。また命令発行数を4から2にし、レジスタファイルも64エントリから32エントリとした。一方ストアバッファ容量は性能低下にならないよう、4段と同数にした。

また例外処理を簡略化し、例外原因保存レジスタの削減だけでなく開発期間の短縮をねらった。

仕様概要

FR400プロセッサとその製品であるMB93401の仕様概要を表-1に示す。

ここで「FR400プロセッサ」とは整数ユニット、メディアユニット、キャッシュユニット、バスインタフェースユニットを含むプロセッサコアを指す。MB93401はそのFR400プロセッサを内蔵し、さらにオンチップバス、クロックユニットなどのサポートモジュール、TimerやUARTなどのペリフェラルを搭載したシステムLSIである。

DMACは2次元転送モードを持つ。これはMPEG-4や画像処理において矩形領域の転送が頻出することから設けた。さらにディスクリプタチェイニング機能によりフレキシブルな転送が可能となる。

性能に関しては、FR-400の場合、MPEG-4 (QCIF, 64 kビット/秒, 15 fps) のデコードが6.7 MHzで可能であり、代表的な32ビットRISCプロセッサと比較して倍近くの性能となっている。

内部構成

FR400プロセッサおよびMB93401の内部構成を図-2に示す。仕様概要でも述べたように、FR400プロセッサは整数ユニット、メディアユニット、キャッシュユニット、バスインタフェースユニットから構成される。

MB93401はFR400プロセッサを内蔵し、高速プロセッサバスにより各種モジュールを接続する。高速プロセッサバスに接続されるモジュールにはDMAC, LBI (Local Bus Interface), SDRAMC, DSU (Debug Support Unit), バスブリッジがある。バスブリッジは高速プロセッサバスと低電力周辺バスとを接続する。低電力周辺バスに接続されるペリフェラルにはIRC (Interrupt Controller), Timer, UARTがある。

外部バスは2系統あり、一方はSDRAM専用バス、他方はフラッシュメモリ, SRAMやASICなどを接続するためのローカルバスである。ローカルバスは非同期SRAM, ROMを外部接続回路なしに接続可能である。さらにバス開放機構によりローカルバス上の外部バスマスタが、MB93401内のペリフェラルだけでなくSDRAMへもアクセス可能となる。

パイプライン構造

FR400プロセッサは既存のFR500プロセッサと比較して半分以下のトランジスタ数としながら、性能低下を極力抑えるように設計した。既存品では7段であったパ

表-1 仕様概要

項目	内容	
MB93401 FR400プロセッサ	命令発行数	2 ({ I, I, M, M, B } から最大2命令) I : 整数命令, M : メディア命令, B : 分岐命令
	レジスタ	32ビット×32ワード×2
	キャッシュ	命令 : 8 Kバイト, 2ウェイ データ : 8 Kバイト, 2ウェイ ノンブロッキング
	性能	533 MIPS (I, I) 2,400 MOPS (2MAC×2, I) 500Dhrystone MIPS
	消費電力	コア : 500 mW@1.8 V, 267 MHz
	オンチップバス	高速プロセッサバス, 低電力周辺バス
	外部バス	SDRAMバス (64/32ビット) ローカルバス (32/16ビット)
	プロセッササポートモジュール	クロックユニット, デバッグユニット
	ペリフェラル	SDRAMC, Timer (3ch), UART (2ch), DMAC (4ch), IRC, GPIO
	テクノロジー	0.18 μm, CMOS5層配線
パッケージ	FBGA288	

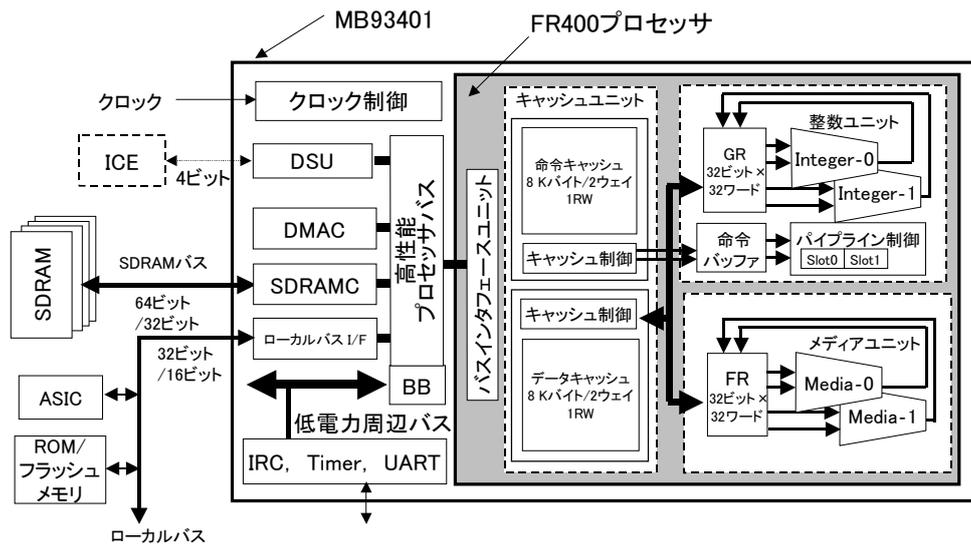


図-2 内部構成
Fig.2-Internal structure.

IA	IC	IU	ID	EX	RW
----	----	----	----	----	----

- IA: 命令アドレス
- IC: 命令キャッシュ
- IU: 命令アンパック&アライン
- ID: 命令デコード
- EX: 演算
- RW: レジスタライト

図-3 基本パイプライン構造
Fig.3-Basic pipeline structure.

パイプライン段数を短縮し、6段パイプラインとした。FR400プロセッサの基本パイプライン構造を図-3に示す。

これにより分岐ペナルティが削減され、分岐性能が向上した。さらにメディア命令パイプラインは8段から6段に短縮することでメディア演算ループにおけるレジスタ干渉が削除でき、性能の向上につながった。

FR400プロセッサは静的分岐予測機構を持つ。この機構により条件コードが決定されるより3サイクル前に分岐ターゲットのフェッチが可能になる。コンパイラが分岐命令中のヒントビットをセットすることにより、プロセッサに対して分岐する確率が高いか分岐しない確率が高いかを指示する。例えばメディア処理の最内ループでは分岐する確率が高いため、分岐予測効果は高い。

分岐側の予測かつ分岐実行 (=分岐予測ヒット) の場合と分岐予測をしない場合 (1サイクルの先行制御あり) のパイプラインを図-4に示す。図から明らかなよう

に、分岐予測しない場合は条件コードの確定を待ってから命令キャッシュアクセスを行うため、分岐ペナルティが3となるが、分岐予測かつ予測ヒットの場合はペナルティが1に短縮される。

省電力機構

MB93401のクロックユニットはパワーマネジメント機能を持つ。パワーマネジメント機能には、クロックギアモード (3種) およびスタンバイモード (5種) の2種のモードがある。

クロックギアモードは、クロック波形を「歯抜け」にすることにより、周波数を動的に下げる機能であり、プロセッサクロック周波数をハイ、ミディアム、ローの3通りで可変にできる。スタンバイモードはシステムLSIの各クロック系 (プロセッサ、プロセッサバス、周辺、SDRAM) のどのクロックを停止させ、どのクロックを動作させるかをあらかじめ決めておき、それをアプリケーションから選択することで消費電力を下げるができる。ノーマル、コアスリープ、バススリープ、PLL動作、PLL停止の5種のスタンバイモードがある。

図-5は上記5種のスタンバイモードにおいてLSIとしての消費電力がどれだけ変化するかを測定したグラフである。コアスリープモードではFR400プロセッサのクロックが停止される。この場合ノーマルモードに対して40.3%の電力を削減することができる。

さらに、バススリープモードではFR400プロセッサおよび高速プロセッサバスとそれに接続されるモジュール

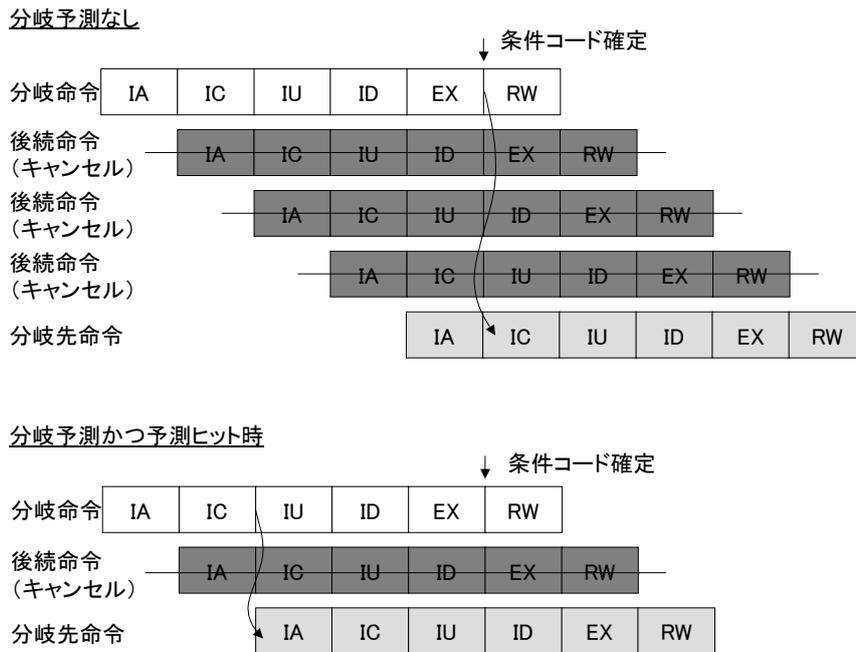


図-4 分岐予測の効果
Fig.4-Effect of branch prediction.

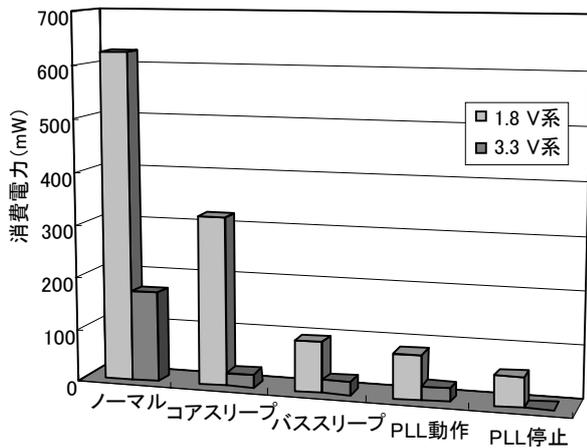


図-5 スタンバイモードと消費電力
Fig.5-Stand-by modes and power consumption.

ルのクロックが停止される。これによりノーマルモードに対して70.3%の電力を削減することができる。

ソフトウェア処理

FR400プロセッサは、その高い性能対価格比を生かし、民生用マルチメディア製品、具体的にはデジタルカメラ、多機能プリンタなどのイメージング処理を行うアプリケーションに適用することを想定している⁽⁴⁾

従来ASICなどのハードウェアで行われていたイメージング処理をソフトウェアで実時間実行することが可能となってきた。このためフレキシビリティが高まり、コ

スタウンを行うことが可能となり、開発期間も短縮できるようになる。

フレキシビリティという面では障害の解決のような消極的なものとどまらず、デバイスドライバのアップデートによる機能向上のように、ハードウェアを変更せずに最終商品の価値を高める積極的なメリットがある。

一方コストダウンという面では、例えばJPEG、MPEG-4などのハードマクロを搭載した場合にはそれを使用しなくてもチップ面積が必要になるのに比べて、ソフトウェア処理の場合には必要となる機能をその都度フラッシュメモリなどからロードして使用すればよく、チップ効率が高い。

さらにASICの長い開発期間も無視できない。ソフトウェアを多用することにより、開発期間を大幅に短縮することが可能となる⁽⁵⁾

多機能プリンタ

アプリケーションアルゴリズムのソフトウェア処理の具体例としてMB93401評価ボードを使用し多機能プリンタ (MFP: Multi Function Printer) を擬似的に構成したときの例を説明する。このシステムはMFPのシステム性能を測定することを目的とした (図-6)

MFPIはコピー機能、FAX機能、プリンタ機能などを併せ持つ多機能プリンタであり、以下にカラーコピーを

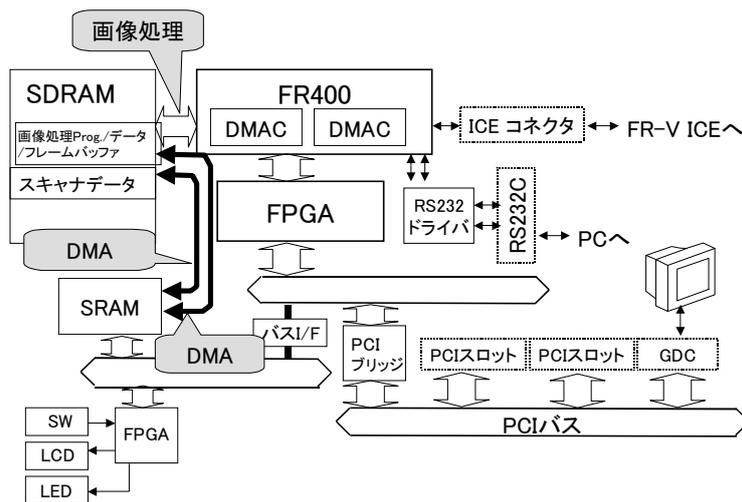


図-6 擬似MFP構成とデータの流れ
Fig.6-Pseudo MFP structure and data flow.

行った場合の処理の具体例を示す。

機能的にはラインイメージセンサLSI側から出力されたデータに対して

- ・空間フィルタ（平滑化 $n \times n$ ビットマスク）
- ・解像度変換
- ・色空間変換（RGB^(注6)からCMYK^(注7)，変換）
- ・誤差拡散（32ビットCMYKを2値化）

などの画像処理を行い、プリントエンジン側に対してデータを出力する。

ハードウェアから見ると、ラインイメージセンサLSI側からのデータはDMAによりMB93401に接続されるSDRAMに転送される。SDRAM上で上記画像処理をされたデータはプリントエンジン側に再度DMAにより転送される。MFPにおいては画像をすべて読み込んで処理をせず、バンドと呼ばれる複数のスキャンラインを一度に処理することが多い。上記の処理はバンドごとに1ページが終わるまで繰り返される。

このときSDRAM上にダブルバッファを持ち、DMA処理を時間的に重ねてパイプライン処理をすることにより、MFPとしての性能はプロセッサ処理の総和時間で決まる。

通常、MFPの性能はppm（Page Per Minute：1分間に印刷できる枚数）で表されるが、266 MHzのFR400プロセッサで実行した結果、600 dpi，A4，RGB24ビット

(注6) コンピュータで色を表現する際に用いられる表記法の一つ。色を赤（R）・緑（G）・青（B）の三つの組み合わせとして表現する。

(注7) 色の表現方式の一つ。藍色（Cyan）、深紅色（Magenta）、黄色（Yellow）、黒（black）の配合比率を変化させて、すべての色を表現する。カラー印刷で利用されている方式。

トのスキャナ入力に対し、すでに述べた画像処理を施した性能は8.55 ppmとなった。

デジタルカメラ

第二の応用例としてデジタルカメラ（DSC：Digital Still Camera）をとりあげる。FR400プロセッサを使用したDSC用システムLSIのブロック図を図-7に示す。

このシステムLSIはFR400プロセッサおよび高速プロセッサバス、低電力周辺バスを基本に構成される。高速プロセッサバスには画像転送用DMACとSDRAMC、バスブリッジが接続される。低電力周辺バスにはUSB、オーディオ、コンパクトフラッシュなどのインターフェースが接続される。

ここで画像処理のアルゴリズムが重要になるのはMFPと同様であり、CCD側から出力されたイメージデータに対して

- ・ベイヤ RGB変換
- ・ノイズ低減
- ・ホワイトバランス
- ・色処理
- ・色補正
- ・輪郭強調
- ・RGB YC^(注8)変換
- ・JPEG圧縮

などの処理を行う。これらはハードウェアにより行われる場合もあるが、例えば更に肌色処理の独自アルゴリズム

(注8) 輝度信号（Y）と、輝度信号と青色成分の差（CB）、輝度信号と赤色成分の差（CR）の三つの情報で色を表す形式。

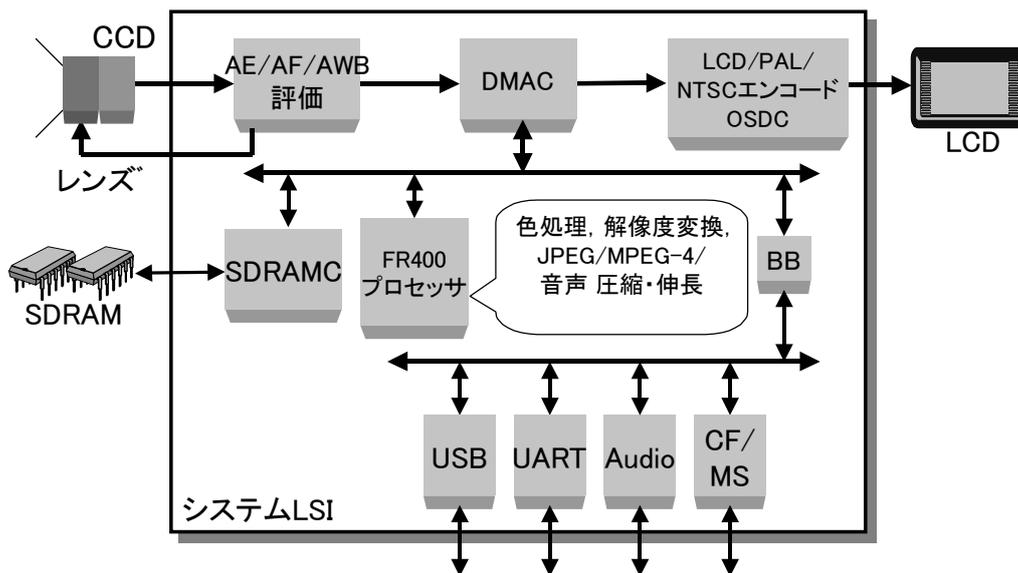


図-7 DSC用システムLSIのブロック図
Fig.7-Digital still camera structure.

ムを付加して機能を高める場合や、新しい規格であるJPEG2000への対応の場合のように、ソフトウェア処理のほうが自由度が高い。

一方電力消費に関しては、従来ハードウェア処理と比較して一桁大きいと言われていたが、集積度向上によるLSIの電源電圧の低下に従い電力消費が2乗に比例し減ってきた結果、あまり変わらなくなっている。具体例を上げるとMPEG-4 (QCIF, 15 fps) の処理に関して、電源電圧1.0 V近辺ではハードウェアデコーダでもFR400によるソフトウェア処理でもLSI内部消費電力は十数mWとあまり変わらず、外部大容量DRAMでの消費のほうが支配的となる。

近年、DSCでありながらMPEG-4の動画が撮影でき、またMP3による音楽の再生ができるなどのように、多彩なアプリケーションへの対応が見られるようになってきた。最終商品へ付加価値をつける場合にチップ効率が良くフレキシビリティの高い、ソフトウェアによる映像、音声処理が一層重要になってきている。

む す び

FR-Vファミリーの新メンバーであるFR400プロセッサ

および最初の製品であるMB93401について解説した。FR400の低価格かつ高速な処理性能を生かした民生用マルチメディア機器の開発の参考にして頂ければ幸いである。

今後はFR400プロセッサを搭載するシステムLSIやASICの開発を行い、多彩なイメージング処理を安価に実現できる最終商品の開発に貢献していきたい。

参考文献

- (1) 高橋宏政：システムLSI用VLIWプロセッサコア．*FUJITSU*, Vol.52, No.4, p.368-373 (2001)．
- (2) ヘネシー&パターソン：コンピュータ・アーキテクチャ．日経BP社, p.317-319 (1992)．
- (3) マイク・ジョンソン：スーパースカラ・プロセッサ．日経BP社, p.43-48 (1992)．
- (4) FR-Vのイメージングソリューション．*FIND*, Vol.19, No.4, p.37-42 (2001)．
- (5) 特集 ソフトウェア：ハードウェアとの決別．日経エレクトロニクス, p.132-135 (2000)．