

0.11 μm CMOS技術

0.11 μm CMOS Technology

あらまし

本稿では、ブロードバンドインターネット時代を支える情報化機器に向けて開発した、0.11 μm CMOS半導体技術を紹介する。高速・低消費電力への強い要求に応えるためにトランジスタは0.13 μm 世代の露光技術に新規開発の微細加工技術を組み合わせて0.11 μm ゲート長を実現した。また、配線技術としては前世代の高性能サーバ向けLSI開発の成功で培った高信頼性Cu配線技術を進化させてASIC用として初めてCu配線 + 低誘電率絶縁膜の配線構造を実用化した。配線の断面形状を最適化することによりアルミ配線に対してRC遅延時間で1.6倍以上の改善を行うとともに、近年問題になりつつある隣接配線間のクロストークノイズも大幅に改善している。また、システムLSIでは内蔵メモリの容量が急激に増加しているが、本テクノロジーでは前世代の50%面積のメモリセルと新規回路技術により8 Mビットの大規模内蔵メモリマクロの搭載を可能にしている。

Abstract

This paper introduces a newly developed 0.11 μm node CMOS technology suitable for the system LSIs that are needed to realize a comfortable broadband Internet society. For high-speed, low-power consumption devices, a minimum gate length of 0.11 μm was developed by combining 0.13 μm DUV lithography technology with advanced etching technology. By improving the highly reliable Cu wiring technology developed for LSIs for internal high-end servers of the previous generation, we developed a new ASIC wiring structure made of Cu wires and insulation layers with a low dielectric constant. Because the cross section shape of the Cu wires was optimized, their RC delay times are about 1.6 times shorter than those of aluminum wires and the cross talk noise between adjacent wires, which is regarded as a serious problems, has been remarkably reduced. Recently, the capacity of the internal memory of system LSIs has rapidly increased. We developed large-scale, 8Mbit internal SRAM chips by using the new circuit technology and reducing the memory cell area by about 50%. This paper gives an overview of the new 0.11 μm technology.



久保田勝久 (くぼた かつひさ)
第一システムLSI事業部第一開発部
所属
現在、先端CMOSテクノロジーの開発
に従事。



粟屋友晴 (あわや ともはる)
第一システムLSI事業部第一開発部
所属
現在、先端CMOSテクノロジーの開発
に従事。



古用和人 (ふるもち かずと)
第一システムLSI事業部第一開発部
所属
現在、先端SRAMマクロの開発に
従事。

ま え が き

ブロードバンドインターネット時代を迎え各種携帯機器など情報化機器からの高速化・低消費電力化の要求はとどまるところを知らず、それらを支える微細CMOS半導体技術への要求はますます強まりつつある。

富士通では、このたび最新の微細加工技術を駆使した0.13 μm 世代のCMOSテクノロジーを開発した。

先端市場の要求に応えるため、トランジスタのゲート長は0.11 μm とした。従来CMOSの最小加工寸法を用いるゲート長は前世代技術の0.7倍比というのが常であったが本テクノロジーでは従来の0.7倍よりも更に微細化を加速した0.11 μm を採用した。また、低抵抗のCu配線と低誘電率絶縁膜を組み合わせ、信号配線のRC遅延を大幅に改善している。さらに、システムLSIに占める比率が年々高まっているメモリ用に高密度SRAMセルを開発し、大容量SRAMの搭載を可能にしている。

本稿では0.11 μm CMOSテクノロジー (CS90A) のトランジスタ技術、配線技術、SRAM技術について紹介する。

0.11 μm トランジスタ技術

微細な加工を行い、トランジスタ面積の縮小を図ることは、性能の向上、コストの低減のために重要である。本章では0.11 μm CMOSテクノロジー実現のための要素技術と、搭載素子について述べる。

露光技術

リソグラフィは現時点で最も量産安定性に優れる波長248 nmのKrFレーザを採用している。0.18 μm 世代からレンズ性能が改良されたものである。微細な加工を可能にするために、近接効果補正技術、位相シフトマスクを採用している。

近接効果補正は、近接した二つのパターン間での光の干渉により、焼付けパターンの幅が僅かに変わってしまう影響を補正する技術である。すなわちパターンが近接している場合、二つのパターンの間隔から、実際に露光される光の強度を予測し、パターンの形状を補正している。これにより精度の良いパターンの形成が可能である。

位相シフトレチクルはシフトと呼ばれる光の透過膜を付けた部分と付けない部分の光路差によって光の位相を反転させ、その2種の光を意図的に干渉させることで光の強弱を強調する露光方式である。パターンエッジの光の強弱が強調され、ファインパターンの露光が可能とな

る。トランジスタのゲートを形成するポリシリコンのパターンを露光するのに用いている。

エッチング技術

露光の限界以上の微細パターン形成のためにトリミング技術を採用した。手順は以下のとおりである。

まず、通常どおりにシリコンウエハ上にパターンの焼付け・現像・不用部のレジスト除去を行い、レジストのパターンを形成する。その後、ウエハ上のレジストに全面的に軽くエッチングをかけ、横方向に縮小させる。これによって焼付け時より細い、所望のサイズのレジストパターンを得る。その後は従来どおり、ゲートポリシリコンのエッチングを行う。

この技術により波長248 nmのKrF露光技術でありながら、0.11 μm という、次世代の波長193 nmのArF露光技術と遜色のない微細化を実現している。

最小サイズのトランジスタ断面を図-1に示す。

高周波信号対応

RF (Radio Frequency) 帯の需要に応えるため、配線層を用いたインダクタの開発を進めている。2.5 GHz/10 GHzの入出力回路、高周波PLL (Phase Locked Loop) 回路などの需要に応えるためである。また、インダクタの性能を向上させるため、高抵抗基板のオプションを準備している。

トランジスタ技術

従来から用いている、浅い溝を絶縁物で埋めて素子分離を行うSTI (Shallow Trench Isolation) 技術、トランジスタの寄生抵抗を低減するメタルソース/ドレイン形成技術、2種類の酸化膜厚を同一チップ上に形成する2度酸化技術、HCI (Hot Carrier Injection) 防止のためのLDD (Lightly Doped Drain) 構造、トランジスタ

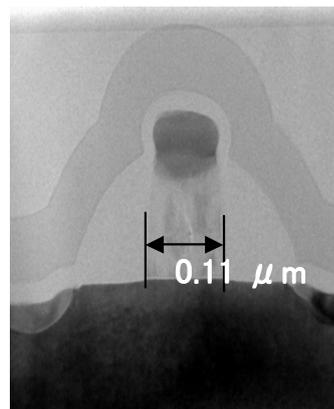


図-1 0.11 μm トランジスタ断面
Fig.1-Cross section of 0.11 μm transistor.

の微細化に伴うショートチャネル効果防止のための Pocket-II技術などを採用している。

トランジスタ種類としては、1.2 Vコアトランジスタ (0.11 μm) に加えて2.5 Vトランジスタ (0.24 μm) もしくは3.3 Vトランジスタ (0.34 μm) の2種類のトランジスタのうち1種の混載を可能とするように2種類のゲート酸化膜厚を用意した。さらにイオン打ち込み濃度などの組合せにより、1.2 V用は3種類、2.5 V用は2種類の仕様のトランジスタを設定し、各種用途に応じて選択できるようにしている。トランジスタの諸元を表-1に示す。

そのほかの素子

CS90Aに搭載可能な素子として、トランジスタのほかに下記の素子を開発している。

(1) 容量

- ・ゲート酸化膜容量
- ・MIM (Metal Insulator Metal) 容量 (開発中)

(2) 抵抗

- ・ポリシリコン抵抗 (Silicide PolyとNon Silicide Poly)
- ・LDD拡散抵抗 (開発中)

(3) インダクタ

- ・最上層配線インダクタ

要求されるアプリケーションに応じてこれらの素子が選択できる。

Cu配線技術

トランジスタの微細化による性能の向上によって、配線部分の時定数による遅延が相対的に大きくなりつつあり、LSIの性能向上のためには避けて通れない課題となりつつある。

また、配線間隔の縮小とともに、隣接配線間の容量が増加しており、充放電電流による消費電力とゲート遅延の増加、クロストークによる誤動作・遅延時間の増加の解決も課題である。

富士通では0.18 μm 世代よりCu配線技術を開発してきたが、上記課題解決のために、0.13 μm 世代からは全面的に、サーバ向けLSIで高信頼性技術を立ち上げてきた成果を盛り込んだCu配線を採用することとした。併せて配線容量低減のために低誘電率絶縁膜を採用している。

以下、CS90Aの配線技術について述べる。

配線構造

CS90Aの最大配線層数は8層とした。配線層の断面例を図-2に示す。最上層は配線層数に関係なく常にアルミ配線とした。これにより、ワイヤボンディング、SRAM冗長用のFuse形成、表面酸化の問題などが容易になる。

配線層ごとに配線膜厚の最適化を行った。配線層をIntermediate層 (1~4層)、Semi-global層 (5~7層)、Global層 (8層) に分けて断面構造を決めている。断面寸法を決めるにあたって、体積抵抗率がアルミの約3/5というCuの強みを活用した。すなわちCu配線のアスペクト比を減らし、Low-K膜を配線の横に配置して、薄い配線でアルミ並みの抵抗と隣接配線間容量の低減を指向した。アスペクト比の軽減は加工の容易性も実現している。

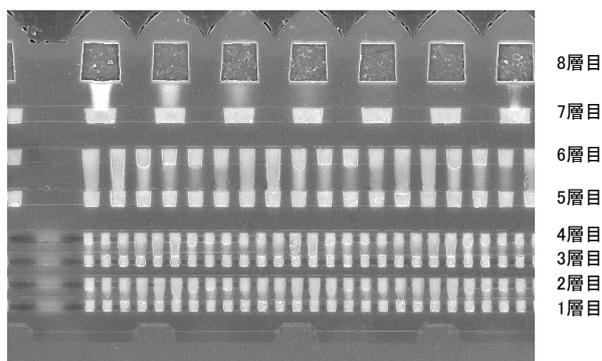


図-2 Cu配線断面図

Fig.2-Cross section of Cu interconnect.

表-1 トランジスタ諸元

		1.2 Vトランジスタ			2.5 Vトランジスタ		3.3 V トランジスタ
		標準	高速	超高速	標準	高速	
Vth	P	- 0.26 V	- 0.13 V	- 0.05 V	- 0.45 V	- 0.3 V	- 0.44 V
	N	0.24 V	0.12 V	0.05 V	0.45 V	0.25 V	0.45 V
Ion	P	2.3 mA	2.7 mA	3.5 mA	2.6 mA	3.2 mA	2.6 mA
	N	5.5 mA	6.2 mA	7.6 mA	5.5 mA	6.5 mA	5.9 mA
Ioff	P	1.9 nA	30 nA	410 nA	2.7 pA	288 pA	2.1 pA
	N	2.4 nA	30 nA	860 nA	3 pA	680 pA	2.8 pA

Intermediate層は主にマクロ内配線やマクロ間接続などの比較的短い配線での性能を重視した。この場合は配線抵抗よりも配線容量低減が遅延時間、消費電力削減に有効である。この目的で0.13 μm 世代の配線では、配線膜厚 0.275 μm の薄膜配線とともに、後述の低誘電率絶縁膜を使用し、隣接配線間容量の低減を行っている。最小配線ピッチは1層が0.36 μm 、2~4層は0.4 μm である。0.18 μm 世代の配線断面との比較を図-3に示す。

Semi-global層は回路ブロック間接続やクロック分配などのある程度長く負荷容量が大きい配線を想定した。重い負荷を駆動するため、配線厚は0.475 μm として、配線抵抗を低減している。前世代のアルミ中間配線層と比較して、配線厚は約60%、抵抗値は同等、隣接配線間容量は約70%とCu配線の強みを発揮している。最小配線ピッチは0.6 μm である。

Global層は配線厚1.17 μm のアルミ配線を使用している。

加工技術

Cuはアルミと異なり、エッチングが困難で、酸化しやすく、絶縁膜中を拡散しやすい。これらの問題を解決するには、Cuを包み込むような構造を維持しながら加工することが必要である。このような視点からDamascene加工技術が開発された。Damascene技術で配線を形成するのは、下記の手順で行う。

- (1) 絶縁膜を成長させる。
- (2) 絶縁膜のViaや配線となる部分をエッチングする。
- (3) 全面に拡散防止のバリアメタルを薄く成長させる。
- (4) Cuをメッキ法で成長させる。
- (5) CMP (Chemical Mechanical Planarization) で余分なCuを削り取り、同時に平坦化する。

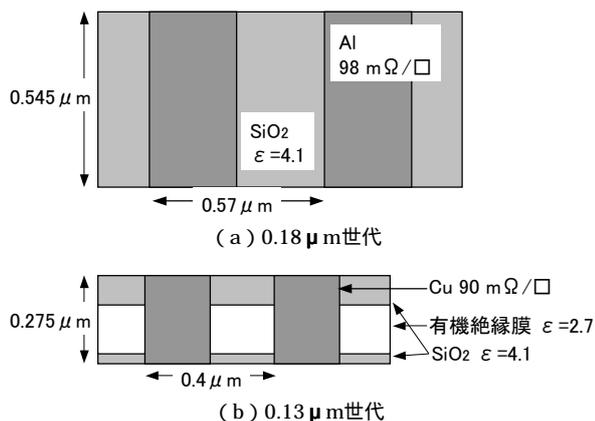


図-3 0.18 μm 世代と0.13 μm 世代の配線断面比較
Fig.3-Interconnect cross section comparison between 0.18 μm node and 0.13 μm node.

Damascene技術では、Cuをエッチングしないため、アルミ配線と違って配線材がエッチング時のプラズマ中に露出されない。また、空气中に暴露されるのは上面のみで、側面・下面は加工中も加工後もバリアメタルで囲まれる。このために酸化され難く、周囲の絶縁膜にCuが拡散していかないため、Cu配線の加工方法として理想的である。

Damascene技術で、Via部と配線部の溝形成を連続的に行き、Cuでの埋め込みを同時に行うものをDual Damascene技術と呼ぶ。配線工程数の削減が可能で、短TAT・低コストを実現するのに有利である。CS90AではDual Damascene技術を採用した。

アルミはエッチング工程上難しい材料になりつつある。比較的柔らかい材料であるため、微細化の進展とともに、先端後退（細い配線の先端がエッチング時に後退してしまう）や疎密による幅のばらつき（配線の横をエッチングしてしまうサイドエッチなどにより、隣の配線までの距離で配線幅が微妙に変わる）などの加工限界が見えつつある。これに対してDamascene技術では絶縁膜をエッチングするためにこれらの問題が起り難く、さらなる微細化に向けて有利と考えている。

低誘電率絶縁膜の採用

配線間容量の低減のために、配線層間膜に比誘電率2.7の有機絶縁膜を採用した。従来用いられていたガラス (SiO_2) と比較して誘電率は約65%である。加工の容易性と容量の低減を両立させるため、隣接配線間容量低減に一番効果的な配線層間絶縁膜に挿入している。

SRAM技術

0.13 μm 世代の内蔵型SRAMは以下の特徴をもっている。

メモリセルサイズ

テクノロジーの進歩とともに、1チップに搭載されるメモリセル容量は大容量化の一途をたどっている。それに対応するため、メモリセルサイズは $X = 1.32 \mu\text{m}$ 、 $Y = 1.88 \mu\text{m}$ 、 $S = 2.48 \mu\text{m}^2$ を実現している。このサイズは0.18 μm 世代に対し約50%のメモリセルサイズ縮小化を達成している。メモリセルのSEM写真を図-4に示す。

電源アーキテクチャによる省面積

0.13 μm 世代のSRAMではメモリセルによる小面積化のみならず、電源配線のレイアウトの工夫による省面積をも達成している。

0.18 μm 世代ではSRAMマクロの周辺に電源リングを

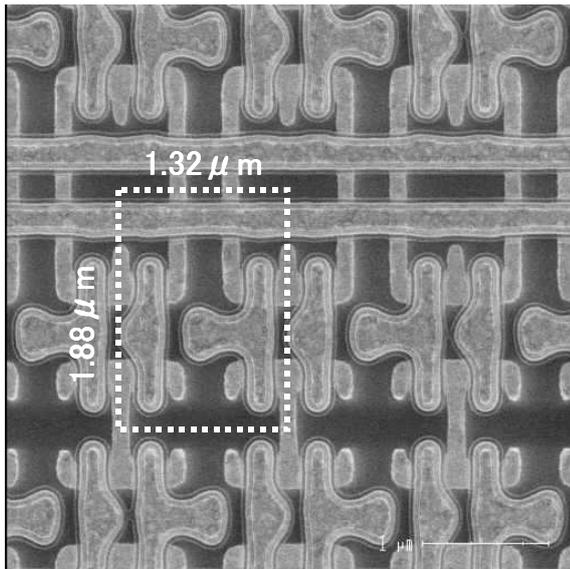


図-4 SRAMメモリセルSEM写真
Fig.4-Photograph of 6-transistor SRAM memory cell.

設置するアーキテクチャを採用していたが、0.13 μm 世代では、5層目配線より直接電源電圧を供給するアーキテクチャとし、SRAM周辺の電源リングを不要とした。これによって、小容量のSRAMマクロを多数配置した場合の電源配線エリアを劇的に削減することに成功しているとともに、5層目以上の配線によるSRAMマクロ上の信号配線の通過を許容することでより効率的な信号配線レイアウトを可能とし、LSIの省面積化に貢献している。

高密度型SRAMの回路技術

テクノロジーの進歩により、トランジスタが微細化されるに従って、製造ばらつきが大きな問題としてクローズアップされている。そこで、この問題に対処するためSRAM動作に関わる内部同期信号発生部にセルフタイミング回路を採用した。これは、とくに製造ばらつきに影響されやすい読み出しタイミングを生成する回路を、選択回路、メモリセル、読み出し回路を模した回路とすることで、製造ばらつきに起因するタイミングのずれを補正する回路である。この回路を採用することで、製造ばらつきに対する許容範囲が大きくなったのはもちろん、様々なワード・ビット構成のSRAMマクロでも安定動作し、動作電源電圧保証範囲をより広くすることが可能となった。

高密度型SRAMの低電圧動作

テクノロジーの進歩に伴い電源電圧はより低電圧化する傾向にある。これは、電力が電圧の二乗に比例して減少

するため、とくに消費電力の面で有利である。本テクノロジーの高密度型SRAMでは、先に述べたセルフタイミング回路を採用することで0.8 Vまでを動作補償範囲とし、より低消費電力なLSI設計を可能とした。

高速性能

テクノロジーの進歩によって期待されるもう一つの性能はその高速性である。本テクノロジーでは1.2 Vという低電圧にもかかわらず、0.11 μm トランジスタを駆逐することによって、アクセスタイム1.08 ns (@2 kW \times 72 bit品, 1.2 V, 25 $^{\circ}\text{C}$)、サイクルタイム1.32 ns (@2 kW \times 72 bit品, 1.2 V, 25 $^{\circ}\text{C}$)という超高速性能を実現している。

大容量型SRAMの安定動作

本テクノロジーで提供される大容量型SRAMは、安定動作を可能にするために、高密度型SRAMマクロと同様セルフタイミング回路を採用するとともに、小振幅信号線を完全に排除し内部信号をすべてフル振幅化する回路を採用した。これによって、大容量型SRAMで問題となりやすい小振幅信号線のノイズ問題を克服し、0.18 μm 世代の最大容量の8倍にあたる8 MビットまでのSRAMマクロの提供が可能となっている。

む す び

世界最先端の0.13 μm 世代CMOSテクノロジーを開発した。

トリミング技術、OPC (Optical Proximity Correction) 技術により0.11 μm の微細加工を可能にし、SRAMメモリセル面積は2.48 μm^2 を実現した。Cu配線技術と低誘電率絶縁膜の導入により、前世代と比較して同等の配線抵抗で65~70%程度の隣接配線間容量を実現した。

メモリセル面積の縮小のほか、電源アーキテクチャの変更、SRAMマクロ上の配線通過許容などにより、SRAMの配置面積を縮小した。セルフタイミング回路の採用により、製造ばらつきなどの許容範囲の広い、安定性のあるSRAMにしている。これらにより大容量メモリの搭載を容易にした。

システムLSIの高性能・高機能化を支える基盤としてのCMOSテクノロジーの微細化、高性能化への要求はとどまることがない。さらなる高性能化を目指してウエハプロセス・回路設計両面での先端技術の開発を進めていく。