

# 100 nm世代以降のシステムLSIに向けたリソグラフィCAD技術

## Lithography CAD Technique for 100 nm-node System LSI

### あらまし

光露光用リソグラフィCADにおいては、並列処理を応用したOPCシステムの開発により100 nm世代のシステムLSIに対して、ますます困難になるマスクパターン作成や超解像技術処理を高速に行うことが可能となった。さらに、超解像技術の検証としてリソグラフィックDRCを活用することで、システムLSIの開発期間の短縮や試作コスト削減に貢献している。

また、電子ビーム露光用リソグラフィCADにおいては、多品種変量生産時代の重要課題であるレチクルコスト削減を達成するための施策として、共用ブロック方式を実現した。部分ブロック抽出機能、ブロック抽出シミュレータを使うことにより、自動的に最適な共用ブロックパターンを抽出するためのデータ処理システムを開発した。電子ビーム露光技術は、先端テクノロジー開発への貢献だけでなく、電子ビーム直描の下方展開でも、技術的、スループットの大きな効果が見出せることが分かった。

### Abstract

In lithography CAD for photo-exposure, the development of the OPC system using parallel processing has enabled high-speed mask pattern generation and resolution enhancement processing, both of which are becoming more and more difficult for 100 nm-node system LSIs. Also, lithographic DRC, which is used to verify resolution enhancement processing, has helped reduce the development time and prototyping cost of system LSIs. In lithographic CAD for electron-beam exposure, the common block method has been developed as a means of reducing reticle cost, which is an important problem when multiple products are manufactured in varied quantities. A data processing system has been developed to use the partial block extraction function and block extraction simulator for automatic extraction of optimum common block patterns. The electron beam exposure technology not only contributes to developments in advanced technology but also strongly promotes the downward expansion of electron-beam direct writing in terms of both technology and throughput. This paper gives an overview of these techniques for 100 nm-node system LSIs.



星野裕美 (ほしの ひろみ)  
CADシステム統括部第二システム部 所属  
現在、リソグラフィCADの開発に従事。



辻村 亮 (つじむら りょう)  
CADシステム統括部第二システム部 所属  
現在、リソグラフィCADの開発に従事。



滝田 博 (たきた ひろし)  
CADシステム統括部第二システム部 所属  
現在、リソグラフィCADの開発に従事。

## ま え が き

半導体デバイスの微細化技術の進展はめざましく、そのなかでも、半導体基板上のパターンを形成するリソグラフィ技術はキーテクノロジーである。

光露光技術は、その高スループット性から、電子ビーム露光により形成されたマスクを用いる一括縮小転写により、量産技術に使用されており、これまで開発されたArF（レーザ波長193 nm）リソグラフィでは100 nm、現在開発中のF2（レーザ波長157 nm）リソグラフィでは70 nmの最小寸法を目標にしている。いずれも、位相シフトなどの超解像技術を用いて、使用波長の半程度程度の解像度が求められており、光近接効果補正（OPC：Optical Proximity Correction）や露光シミュレーションなどの超解像技術が加わったリソグラフィCAD（Computer Aided Design）が必要不可欠となっている<sup>①</sup>。リソグラフィCAD技術は、設計レイアウトからマスクデータ処理、そして、リソグラフィプロセス技術とを、これまで以上に密接に関連させ結びつける技術として、今後の微細化とともにますます重要性が高まっている。

光露光において、光の波長に起因する解像限界付近では、回折や干渉などの光近接効果により光学像がひずんでしまい、設計したマスクパターンを形成できなくなるという問題がある。OPCはこの光近接効果を予測し、あらかじめマスクパターンを補正（変形）することで、設計どおりのパターン解像を可能とする技術である。

100 nm世代を迎え、さらなる微細加工が要求されるようになると、LSI設計基準を満たしてもレジスタパターンが断線・短絡するなどの形状劣化が起こることがある。このため設計段階において、露光を考慮したDFM（Design for Manufacturing）設計の重要性が注目されつつある。これら超解像技術、DFM技術はデータ処理に膨大な時間がかかるが、LSI開発期間の短縮や試作コストの削減に非常に有用であるため、集積度向上に伴って、超解像技術の多様化・高精度化が進められている。

一方、電子ビーム（EB）露光技術、とくにEB直描技術は、計算機制御により高速ビーム偏向が可能であるため、CADデータに基づいたマスクレス描画機能が特長であり、光露光用マスク作製、少量多品種デバイス作製用として、光露光とともに不可欠な実用リソグラフィ技術である<sup>②</sup>。EB直描技術は、微細加工性において光リソ

グラフィ技術の追従を許さないポテンシャルを有し、また多品種変量生産時代には、マスクを前提とする光リソグラフィ技術に比べ、マスク不要によるコストダウンが期待できる。しかし、描画装置のスループットが低いという弱点のため、研究開発や特別仕様のLSIなど、用途が限定された生産使用に留まっているのが実状であった。

部分一括露光（ブロック露光）は、電子ビーム直描技術の欠点であるスループットの低さを大幅に改善する露光方法であるが、ブロック露光の性能を十分に発揮し高スループットを実現するためには、高精度を要する部分を含め、ショット数が最も少なくなるようにブロックを形成するためのリソグラフィCADが必要である。

本稿では、100 nm世代以降のシステムLSIに向けたリソグラフィCAD技術、とくに、光リソグラフィCADの超解像技術と、DFMの一環としてリソグラフィックDRC（Design Rule Check）技術を紹介する。

さらに、システムLSIに向けEB直描技術において、複数の品種で共通のブロックマスクを使用することにより、マスクレスによるQTAT（Quick Turn Around Time）とコストダウンを実現する「共用ブロック露光技術」を確立したので、共用ブロック露光技術のコンセプトと本技術を実現するためのデータ処理方式、適用結果についても報告する。

## リソグラフィCAD技術

本章では、リソグラフィCAD技術の動向と、100 nm世代を迎えた最近のトピックスを紹介する。

## リソグラフィCAD技術の動向

CADの処理方式は、データ量の増加に伴い、処理の高速化を図るため、並列処理、階層処理と進展し、100 nm以降は階層並列処理が必要になると思われる。さらに、100 nm世代を迎え、リソグラフィのプロセスマージンは極めて小さく、このプロセスマージンを最大限に稼ぐために、高効率、高精度のOPC技術が必要になる。

OPCの処理方法は、ルールベースとシミュレーションベースに分かれる。ルールベースは、シミュレーションベースほど精度は高くないが、高速な処理が可能のため、ロジックパターンのチップ全面に補正をかける場合に有効である。シミュレーションベースは、処理に時間がかかるが高精度な補正が可能となる。このため、メモリセルなどクリティカルなパターンの補正に効果的である。180 nm世代では、処理時間の問題からルールベー

スが主流となっていたが、100 nm世代ではチップ全面に高精度な補正が必要となり、シミュレーションベースでは処理時間が数日以上かかるため、シミュレーションベースとルールベースの混在したハイブリッドOPCが必要となっている。

また、複数のマクロやIPが混在したシステムLSIにおいては、最初から一つのチップにすることを考えていないため、設計方式・ルールなどが一定でないことにより、設計データ階層が十分に利用できず、レイアウト設計からマスク作製における、マスクパターン作成や超解像技術を行う処理に大きな負担となる。そのためシステムLSIでは、マスクパターン作成や超解像技術の開発期間に占める割合が急速に増加し、処理システムの更なる高速化が必要である。EB露光においても、高精度化と高スループット化を達成するために、EB近接効果補正をはじめとする各種CAD技術が必要である。100 nm以下対応のEB近接効果補正を施して作成した露光データにより露光した60 nmのゲートパターンを図-1に示す。

光リソグラフィCADの超解像技術

光リソグラフィでは、用いる露光波長以下の線幅解像力が必要となるが、超解像技術である位相シフトマスクを用いることにより、露光波長以下の解像力を得ることが可能である。しかし、ULSIデバイスプロセスに位相シフトマスクを適用するには、設計レイアウトされたパターンに対し位相シフトを、多様な設計者の要求を満たしながら最適に高速配置する技術が必要不可欠であり、同時にウエハ上に転写された露光パターンの形状ひずみや線幅寸法変動を防ぐための光近接効果補正も必須となる。著者らは光リソグラフィの超解像を実現する並列処理を応用したCADシステムを開発した。<sup>(3),(4)</sup> 補正結果の例を図-2に示す。

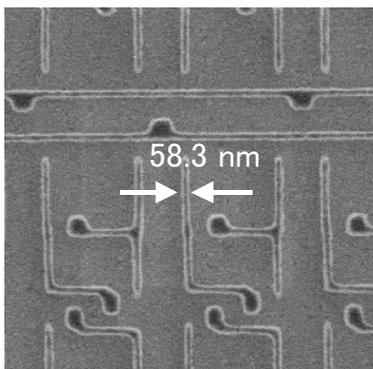


図-1 ロジックゲート層のSRAM部露光写真  
Fig.1-Exposure result of SRAM part of gate layer in logic data.

本システムでは光近接効果補正において、線幅、間隔などの条件に応じた補正量、ハンマーヘッド、セリフサイズを指定できる。先端部のハンマーヘッドは、幅、長さとも可変サイズとし、最適なハンマーヘッド形状を作成する。ロジックデータはますます大規模化しており、チップ全体を近接効果補正処理するには長大な処理時間が必要とされるが、規模に応じた並列処理をすることによって、超高速なチップレベルの近接効果補正処理が可能となる。並列処理をする場合、並列度を上げるに従って高速化の効果が頭打ちになるが、境界パターン参照方式、可変領域分割方式、システムバッファを使った非同期転送方式などの高速化手法<sup>(4)</sup>により、10並列を超える高い並列処理でもリニアな高速化を実現した。マスクパターン形状が凹凸になる近接効果補正は、補正によるデータ量の増加が激しく、その後のデータハンドリングや露光が困難になりがちであるが、独自に開発したデータ圧縮処理機能により、データサイズを最小限度に抑えている。

リソグラフィックDRC

100 nm世代以降のリソグラフィCAD技術においては、OPC処理の問題のみならず、リソグラフィ的な（2次元近接効果の影響などを含め、転写されるレジストパターン形状を考慮した）レイアウト検査（リソグラフィックDRC）を行うことが重要と考えている。<sup>(5)</sup> デバイスの微細化、高集積化に伴い、単なる設計基準のみを満足するだけではレジストパターンが断線、短絡したり、予想外の形状劣化を生じたりする可能性があるためである。リソグラフィックDRCを用いたOPCの検証とは、設計段階において、OPC処理後のパターンを（レチクル作製時と同一処理により）発生させ、光強度分布のシミュレーションを行い、レジスト形状を予測し、不良か所があれば

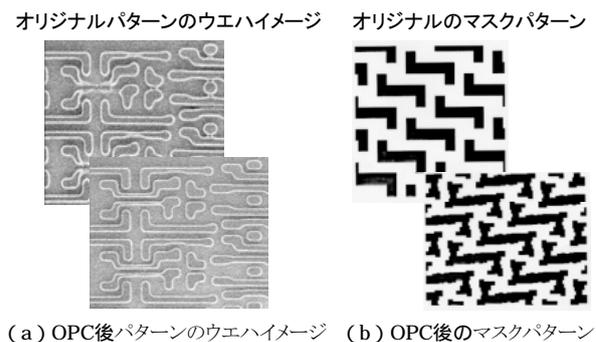


図-2 オリジナルとOPC後のパターン比較  
Fig.2-Comparison between original and OPC patterns.

ば抽出し、設計者にフィードバックするものである。これを活用することで、開発期間の短縮や試作コスト削減が可能である。設計段階において、近接効果補正の最適化を含めたレイアウトの修正を行うことにより、精度劣化などの問題を事前に回避できる。ただし、シミュレーションを何度も繰り返すため処理の負荷が非常に重く、チップ全面に対して検証する場合は、高性能なワークステーションを使用しても数日を必要とする。そのため、並列処理を利用し、露光シミュレーションのような負荷が重い処理も、プロセッサの台数を確保することで高速処理が達成できる。

### EB直描露光用CAD技術

システムLSIなどに代表される多品種変量生産時代では、レチクル製作費が数100万円オーダとなっている現状において、開発品やEngineering Sample (ES) 品などの多品種少量生産品種は、レチクル製作費の負担が増大しトータルの収益を圧迫している。さらに、ES用数枚の所要のみで量産に適用されないレチクルがどれくらいあるかについては、ざっと180 nm世代では350 nm世代の1.5倍と、世代が進むにつれて未量産化率は上昇の傾向にある。

これらの問題を解決するには、マスクを前提とするリソグラフィ技術に比べ、レチクル不要によるコストダウンが期待できるEB直描が有効なリソグラフィ技術とい

える。しかし、量産に適用するにはスループットが低すぎるという難点がある。

### 課題と解決手段

課題は、レチクルコストとレチクル作成工数の削減である。著者らは、これらの問題を解決するためのリソグラフィ技術として、ブロック露光を選択した。可変矩形露光方式に比べ、ブロック露光は、多数のショットで露光しなければならない複雑なパターンも1ショットで露光できるため、ショット数が激減しスループットが大幅に向上する。また、マスクを用いるため、寸法精度の向上にも有効である。しかし、ブロックマスクが不可欠であるため、マスク作成に関わるTATとコストに懸念が残る。

この問題を解決するための露光手法として、「共用ブロック露光方式」<sup>6)</sup>を考案した。これは、複数の品種で共通のブロックマスクを使用することにより、マスク交換が不要となり、QTATとコストダウンを実現するものである。ブロックマスクには1,000種類以上のブロックを搭載できるため、1枚のマスクに、セルライブラリブロックや同品種の多層ブロック、同テクノロジーの別品種ブロックを搭載することにより、ブロックマスクを複数品種のデータで共通に使用できる。したがって、実質的にはマスクレスと同等の運用が可能となる。

### ブロックマスクとシステムLSIの構成

アドバンテスト社製ブロック露光装置 (F5120) 用のブロックマスクの構成<sup>7)</sup>を図-3の左側に示す。1枚のマ

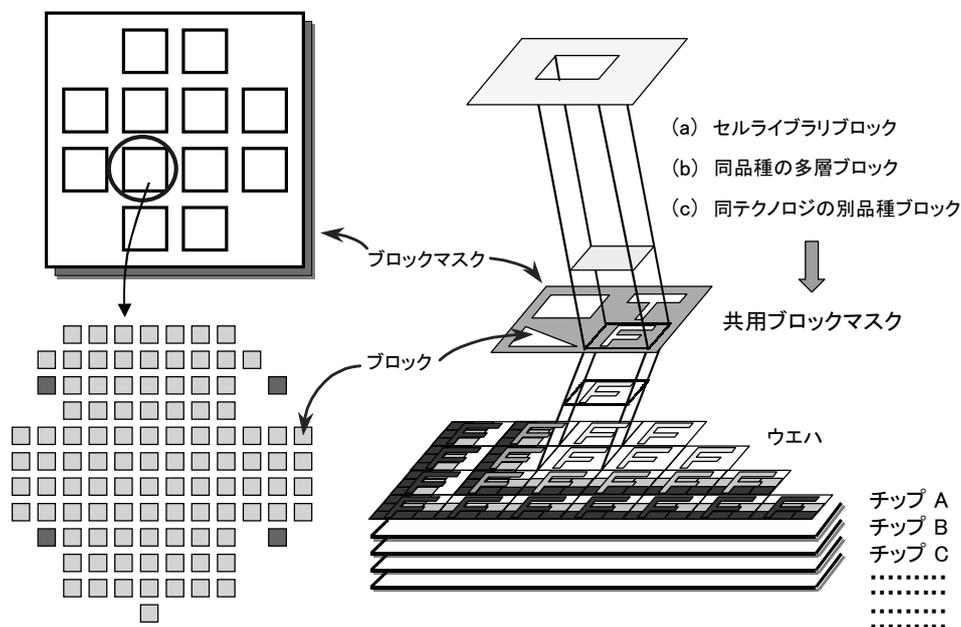


図-3 ブロックマスクの構成と共用ブロックの概念  
Fig.3-Configuration of block mask and concept of common block exposure.

スクに12のエリアがあり1エリアには100個のブロックが存在するため、1枚のマスクでブロックは1,200個搭載できる。このように1枚のマスクに膨大な数のブロックを搭載できるため、1枚のブロックマスクを複数品種のデータで共通に使用することが可能である。通常マスク交換には数時間のロスが発生し、マスク内のエリア移動でさえも10数分が費やされるが、ブロックマスク、またはブロックエリアを共有することで、これらの時間が削減できる。システムLSIは、多くの種類のセルライブラリ、IP、回路ブロックの中から必要な単位を組み合わせられて構成されているので、この単位をブロックに置き換えることが可能であることは想像できる。

共用ブロックの概念

共用ブロックマスクには次の3種類のブロック搭載が可能である。(a) セルライブラリブロックを搭載、

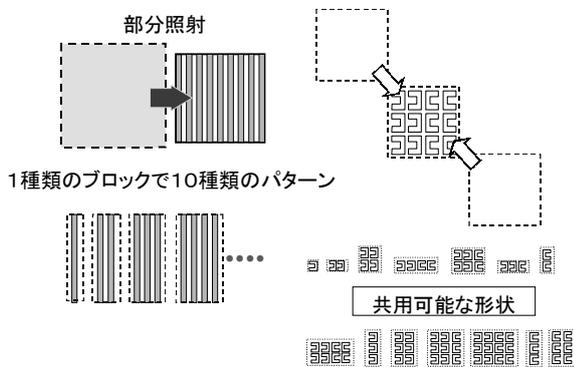


図-4 部分ブロック方式  
Fig.4-Partial block method.

(b) 同品種のデータ中で、複数層分のブロックを搭載、  
(c) 同テクノロジー内の異なる品種から抽出したブロックを搭載する(図-3の右側)。とくに(a)において、設計時に利用されるセルライブラリは、テクノロジーごとで共通の図形単位であるので、共有としての利用率が高く、ショット圧縮効果が期待できる図形群と言える。このセルライブラリの中から、より有効な図形群を抽出する必要がある。

共用ブロック抽出機能

本技術を実現するために二つの特徴的な手法を導入した。一つは、ブロック種類数の消費を抑えるための「部分ブロック方式」であり、(a) に特に効果を発揮する。もう一つは、複数のデータで共通に効率良く使用できるブロックを、自動かつ高速に抽出する「ブロック抽出シミュレータ」であり、(b),(c) に特に効果を発揮する。

部分ブロックとは、ブロックの一部にビームを照射し、ブロック内のパターンを部分的に転写するものである。部分ブロックの例を図-4に示す。例えば、ブロックサイズ内にセルが10列入る場合は、ブロックにビームを部分的に照射することにより、1, 2, 3, 4, 5...10列までを1種類のブロックで露光することが可能となる。本来ならブロックが10種類必要であるので、ブロック種類数を1/10に圧縮できることになる。

ブロック抽出シミュレータの処理フローを図-5(a)に示す。階層化設計されたLSIのレイアウトデータに対し、設計データの階層構造を利用した階層処理により、高圧縮データを高速に作成している。ブロック抽出処理、

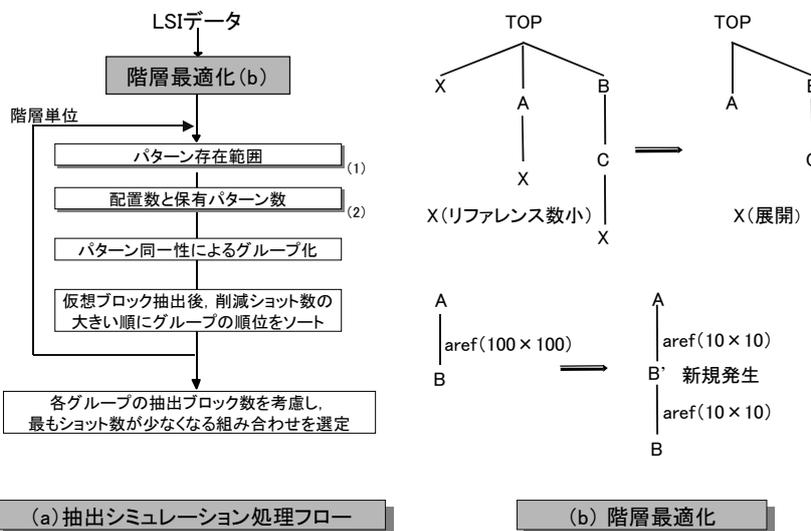


図-5 ブロック抽出シミュレータと階層最適化  
Fig.5-Block extraction simulator and layer optimization.

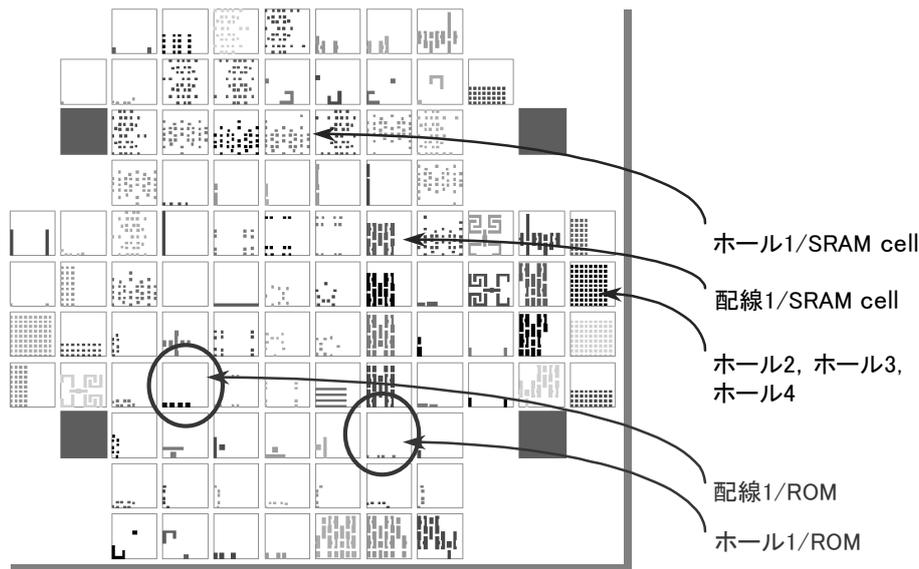


図-6 適用例 (180 nm-nodeシステムLSIの共用ブロックマスク)  
Fig.6-Technology application (common block mask of 180 nm-node system LSI circuit).

露光データ構成に適合するように、まず入力データの階層構造に対し、小量データ階層の展開、大量データの階層化、仮想階層発生、大面積階層の分割などの最適化を図る〔図-5 (b)〕。つぎに、指定されたブロック数、ブロックサイズにおいて最もショット数が少なくなるようなターゲットを選出する。高速、高精度に抽出シミュレートするために、ターゲット階層をフローに示す手順で選出する。無駄な総当りによる長時間処理を防ぐため、(1) 階層単位の大きさ、(2) 階層単位の配置数と保有パターン数に閾値を設け探索階層の削減を図っている。

#### 適用結果

共用ブロック露光技術を180 nmテクノロジーの3品種のシステムLSIに適用した結果を述べる。図-6は共用ブロックマスクである。対象は配線層とした。配線層への適用は、第一層目のフォトレチクル作成TAT (フォトレチクルの頭出しまでのTAT) を削減できる効果がある。

全面を可変矩形で露光した場合と比較すると、共用ブロックを使用した場合の平均ショット圧縮率は、配線部分で20%、ホール部分で50%であった。さらに3品種分のブロックを1エリアに収めたため、エリア移動時間も削減でき、各層平均の露光スループットは全面を可変矩形露光した場合に比べ6倍に向上した。TATに関しては、フォトレチクル頭出し手番が4日から2日に短縮し、レチクルコストに関しては、全フォトレチクル代に対し、4層配線の8層分をEB露光で置き換えると6割に削減できることが分かった。システムLSIのクリティカルレイ

ヤへの高精度化をねらうために、ゲート層まで適用すると、さらに2割が削減でき、全フォトレチクル代に対し、4割まで削減できることになる。これは、100 nm世代以降のシステムLSIに適用することにより、著しいコスト削減効果が見込める結果である。

## む す び

本稿では、100 nm世代以降のシステムLSIに向けたリソグラフィCAD技術を述べた。並列処理を応用したOPCシステムの開発により、LSIの大規模化、微細化に伴って、ますます困難になるマスクパターン作成や超解像技術処理を高速に行うことが可能となった。さらにリソグラフィックDRCを活用することで、開発期間の短縮や試作コスト削減が可能となり、とくに1,000万ゲートを超える集積規模からなるシステムLSIの開発期間短縮に威力を発揮すると思われる。今後の課題としては、LSIの大規模化に対応して設計階層構造を考慮した階層並列処理への対応などが挙げられる。

また、多品種変量生産時代の重要課題であるレチクルコスト削減を達成するための施策として、共用ブロック方式を実現した。部分ブロック抽出機能を使うことにより、複数のライブラリセルを1種類のブロックで露光でき、ブロック抽出シミュレータを使うことにより、自動的に最適な共用ブロックパターンを抽出するためのデータ処理システムを開発した。EB露光技術はLSIの先端技術開発に利用されているため、精度面、スループット

面でも向上してきた状況のもとに、先端テクノロジー開発への貢献だけではなく、EB直描の下方展開も検討した結果、技術的、スループットのにも大きな効果が見出せることが分かった。

#### 参考文献

- (1) A. Kahng et al. : Subwavelength lithography and its potential impact on design and EDA . 36<sup>th</sup> Design Automation Conference , p.799-804 ( 1999 ).
- (2) 松井真二ほか：電子ビーム露光技術の現状と展望．応用物理 Vol.70 , No.4 , p.411-417 ( 2001 ).
- (3) T. Haruki et al. : Development of total support system for alternate-type PSMs with optical proximity correction . *SPIE* , Vol.3748 , p.222-232 ( 1999 ).
- (4) 辻村亮ほか：並列マスクCADシステムの開発と実用化 . Vol.J84-D-1 , No.6 , p.558-567 ( 2001 ).
- (5) H. Futatsuya et al. : Development of a lithographic DRC technique interactive use and batch processing , *SPIE* , Vol.3679 , p.659-665 ( 1999 ).
- (6) H. Hoshino et al. : Data Processing for EB Block Exposure Using Common Block Extraction . 5<sup>th</sup> HTCP Lithography , P.11 ( 2001 ).
- (7) K. Sakamoto et al. : Electron-beam block exposure system for 256M dynamic random access memory . *J. Vac. Sci. Technol. B* , Vol.11 , No.6 , p.2357-2361 ( Nov/Dec. 1993 ).