サブ100 nm世代のトランジスタと多層配線技術

Transistor and Interconnect Issues for Sub-100 nm Generations

あらまし

本稿では,100 nm世代以降のCMOSをターゲットに,短チャネル効果抑制技術と多層配 線技術について検討した結果を述べる。短チャネル効果の抑制にはチャネル方向に急峻な分 布が実現可能なインジウム不純物のポケット構造が必須である。また,ポケット注入時のチ ャネル部表面へのイオンの進入は,キャリア移動度低下につながるため極力避けるべきであ る。このため,ポケット注入のマスクとなるゲート電極にノッチ(刻み)を入れゲート長 50 nmのトランジスタを試作した結果,CV/Iでの性能は1.2 ps(nMOSFET),2.5 ps (pMOSFET)の超高速を実現した。一方,多層配線技術の課題は,低誘電率の絶縁膜中に 高アスペクトの溝や孔を形成しメタルを埋め込む技術,それらの表面処理技術,低誘電率の エッチングストッパの開発である。LSIの高性能化にはこれらトランジスタと配線の遅延を 同時に改善していくことが重要である。

Abstract

This paper describes transistors with a sub-50 nm gate length and interconnects fabricated using a dual Damascene technology to realize high-performance, sub-100 nm LSI generations. To avoid degradation in carrier mobility and short-channel effects, a notched-gate structure and an indium pocket structure are used. The CV/I metric shows an ultra-fast performance of 1.2 ps and 2.5 ps for nMOSFETs and pMOSFETs, respectively. In addition to improving the transistor characteristics, the interconnects should also have a low resistance and capacitance. This paper also reviews a dual Damascene interconnect technology for realizing the required characteristics. To realize high-performance in sub-100 nm generations of system on a chips (SOCs), transistors and interconnects should both be improved.



杉井寿博(すぎい としひろ) Cプロジェクト部デバイス開発部 所属

現在 , CMOSデバイスおよびフロ ントエンドプロセス開発に従事。



中村友二(なかむら ともじ) Cプロジェクト部デバイス材料開 発部 所属 現在,CMOS材料およびバックエ ンドプロセス開発に従事。

特

まえがき

今日までLSIはスケーリング則による微細化で,集積 度,動作速度を飛躍的に向上させてきただけでなく,低 消費電力,コストの低減も実現してきた。しかし, 100 nm世代以降のCMOSでは,これらのメリットすべ てを微細化から享受できずトレードオフの関係になる。 例えば消費電力の低減を優先すれば高速動作に有効なト ランジスタのドレイン電流の減少は避けられない。また, 集積度を優先すれば配線容量が増大し速度は遅くなる。 従来のスケーリング = 高性能の図式が破綻しつつある。

前述のトレードオフ回避にはどうすればよいかである が、トランジスタ部の高性能化はその抵抗か容量を減ら すことにつきる。抵抗に関係するドレイン電流がテクノ ロジ世代ごとに減少することがなければベストである。 しかし,電源電圧の低下とチャネル部不純物の高濃度化 のため,100nm世代以降それは難しい状況である。た とえ移動度劣化のない高誘電率のゲート絶縁膜が手に 入ったとしても,Si酸化膜換算膜厚で1nm前後が必要 になる100 nm世代以降は,反転層容量の存在が大きく 影響し,オフ電流の設定にもよるが,国際半導体ロード マップ⁽¹⁾どおりのドレイン電流の維持は厳しい。このた めゲート容量の削減を目指したゲート長短縮の加速が重 要なトランジスタ設計指針になる。一方,多層配線にお いてもその負荷を軽くする必要がある。したがってます ます重要になるのが,トランジスタでは短チャネル効果 の抑制,多層配線では配線抵抗低減と配線間容量の低減 である。

本稿では,100 nm世代以降のCMOSをターゲットに, 短チャネルでの動作と多層配線技術について検討した結 果を述べる。

インジウムポケット構造

ゲート長が0.25µm前後の世代から,短チャネル効果 を抑える目的で,「ポケット」あるいは「ヘロー」と呼 ばれるチャネル不純物導入プロセスが採用されてきた。 これはゲート電極の加工後にチャネル不純物と同種のイ オンをゲート電極側面から注入し,積極的にチャネルに 沿った横方向の不純物分布を設計することを目的として いる。これによりゲート長の縮小に伴いゲート電極直下 の不純物が重なり合ってチャネル濃度が上昇し,自己整 合的に短チャネル効果が抑制される。0.13µm世代まで は短チャネル効果は主にスケーリング理論に準拠した チャネル部の不純物の高濃度化と前述のポケット構造に 頼ってきた。しかし、0.1µm世代からはチャネル部不 純物濃度が1 × 10¹⁸/cm³を超えるようになり、キャリ ア移動度低下,接合容量増大が顕著になり、より精密に プロファイルを制御することが必要になってきた。また 低い電源電圧でもドレイン電流の減少をできるだけ抑制 するため、低いしきい値を実現することがかぎになる。 上記の二つの要件を満足するためには、チャネル部は一 様な不純物濃度プロファイルではなく、できるだけ必要 な部分にだけ不純物を置くようにした局在化したプロ ファイルが望ましいと考えられる。この点を確かめるた め、微細化に必要なチャネル分布をゲート長60 nmを例 にシミュレーションで検討した。図-1で3種類(#1-3)



図-1 計算に使用した3種類のポケットの横方向分布 Fig.1-Three types of lateral profile used for device simulation.



図-3 しきい値のゲート長依存 Fig.3-Threshold voltage roll-off characteristics measure at 1 V.

の点線はゲート電極の左右2方向から注入された不純物 を,実線は合計の濃度を示す。これより急峻な横方向プ ロファイルの場合(#2),しきい値のゲート長依存が改 善されることが図-2より分かる。このような分布の実現 には,注入分布の分散が小さく,熱拡散の少ない不純物 を用いることが有効である。

前述のシミュレーション結果を踏まえてトランジスタ の試作を行った。インジウム(In)は従来のボロン (B)と比べて質量が大きく拡散定数も小さいため,横 方向に急峻なプロファイルを実現するのに有望な不純物 であると考え,両者の比較を行った⁽²⁾ Inポケット,Bポ ケット,ポケットなしの場合の,しきい値のロールオフ 特性を図-3に示す。InポケットとBポケットは同じドー ズ量で,注入深さの中心値が同じになるように加速エネ ルギーを選んでいる。Inポケットのトランジスタは ゲート長100 nmまでしきい値の低下がない良好な特性 を示している。また,しきい値の絶対値も0.18 Vと十分 低く,ゲート長60 nmにおいても0.1 Vである。一方, B ポケットの場合はゲート長200 nm近傍からしきい値は 低下している。これから, Inの方が横方向分布が急峻 に保たれ,ターゲットとする100 nm以下のゲート長で 効果的にチャネル濃度を上昇させ,短チャネル効果を抑 制できたと考えている。

ノッチゲート電極構造

前章では短チャネル効果抑制の観点からポケット注入 を議論したが,ここではドレイン電流も含めたチャネル プロファイルの観点から検討を行った結果について述べ

(a) ノッチなしの場合のポケット注入による不純物分布

(b) ノッチありの場合のポケット注入による不純物分布

図-4 シミュレーションにより求めたポケット不純物の分布 Fig.4-(a) Simulated pocket impurity profile without notch. (b) Simulated pocket impurity profile with notch.

る。前述のポケット注入イオンはトランジスタ内のソー ス/ドレインエクステンション部側面を囲むように配置 されるが,このときチャネル部へのイオンの進入は移動 度低下につながるため極力避けるべきである。このプロ ファイルを実現可能にするにはポケット注入のマスクと なるゲート電極の形状設計が必要である。従来のゲート 電極形状は矩形 {図-4(a)}をしているが,ここでは ゲート電極のゲート絶縁膜に接する側に刻み(ノッチ) {図-4(b)}を形成し,その形状効果でポケット注入に よるチャネル部へのイオンの進入抑制をねらった結果を 述べる⁽³⁾

ポケット注入のマスクとなるゲート電極にノッチを入 れることで,トランジスタ部に導入される不純物のプロ ファイル設計の自由度が増す。シミュレーションで, 「ノッチあり」「ノッチなし」の場合のトランジスタ内部 でのポケット注入イオンのプロファイルがどのように変 わるかを評価した一例を図-4に示す。ノッチがない通常 のゲート電極構造 { 図-4 (a)} ではポケット注入された 不純物は,キャリアが走行するチャネル部を含んで広範 囲に分布している。一方,ノッチ構造ではチャネル部へ の不純物の侵入は少なくなるが,短チャネル効果抑制に 必要なエクステンション部の角の部分には十分な量の不 純物が存在している。この不純物プロファイルからノッ チゲート構造では,短チャネル効果を抑制しつつ,チャ ネル部でのキャリア移動度の劣化は抑制され,高ドレイ ン電流化が期待できると考えられる。

実際にトランジスタを試作,評価した結果を以下に示 す。試作したノッチゲートの断面SEM像を図-5に示す。 ノッチは反応性イオンエッチング(RIE)で形成してい るためプロセス工数の増大はない。ゲート絶縁膜厚は 2.1 nm, エクステンション部の浅い接合形成には, nMOSFETでは5 keV以下の加速エネルギーで砒素を, pMOSFETには1 keV以下でボロンをイオン注入した。 ポケット注入は, nMOSFETでは砒素, pMOSFETで はボロンを使用した。活性化のため1.025 , 2~3秒の 条件の熱処理を行った。しきい値のゲート長依存を図-6 に示す。n/pMOSFETともにゲート長40 nm前後まで短 チャネル効果が抑制できている。CV/Iのオフ電流依存 を図-7に示す。ここでCはゲート容量,Vは電源電圧,I はドレイン電流である。CV/Iは評価されるトランジス タで構成した回路の動作速度の指標になる。図からオフ 電流の増大とともにCV/Iは減少し,100 nm世代の高速 用途に許容される100 nA/µmのオフ電流におけるCV/I は, nMOSFETで1.2 ps, pMOSFETで2.5 psの超高速 性能が得られている。

図-5 試作したノッチゲートの断面SEM像 Fig.5-Cross-sectional SEM image of fabricated notched-gate.

不純物配置揺らぎによるしきい値への影響

より短いチャネル長での動作を目指すには,短チャネ ル効果抑制だけでは不十分で,LSIチップ内のトランジ スタ特性ばらつきを抑制することも重要になる。ゲート 長などプロセス起因のばらつきを抑制することは微細化 とともに重要になり,それに対処するプロセスの改善が 進められている。一方,ばらつきに関して特筆すべき点 は,微細化が進むとたとえプロセス起因のばらつきが全 くなくても,トランジスタの特性がばらつくようになる ことである。しきい値制御のためにトランジスタのチャ ネル部に注入される不純物の数や配置が統計的に揺らぐ

図-6 ノッチゲートトランジスタのしきい値のゲート長依存 Fig.6-Threshold voltage roll-off characteristics of notch gate n/pMOSFETs.

Fig.7-CV/I as function of off-current.

図-8 しきい値ばらつきのゲート長依存 Fig.8-Variation of threshold voltage as function of gate length.

表-1 国際半導体ロードマップ(ITRS1999)におけるしきい 値ばらつきの目標値

年	2002	2005	2008	2011
ゲート長 (nm)	85	65	45	32
しきい値ばらつき (mV)	14	11	8	6

ことにより,各種電気特性がばらつくのである。このば らつきはトランジスタ寸法が十分大きい世代では問題に ならなかったが,微細化が進むほど顕著になってきた。 ゲート長(Lg)とゲート幅(W)の縮小に伴いチャネ ル中に存在するしきい値制御用の不純物原子数は減少す るためである。とくにこの問題が深刻なのが,高集積化 のためにゲート長だけでなくゲート幅も小さいトランジ スタの使用が必須のSRAMである。SRAMに使用され るトランジスタのチャネル内不純物数は,例えばゲート 長 = ゲート幅 = 50 nmの場合では50個程度になる。 チャネル内不純物数が多い場合は数個の揺らぎの影響は 小さかったが,総数が50個ではその揺らぎの影響は無 視できない。そのため不純物揺らぎに起因するしきい値 電圧のばらつきを定量的に把握する必要性が高まって きている。

今回,不純物の配置の揺らぎとしきい値ばらつきの関 係を調べることができる新しい測定方法を開発した^{(4),(5)} その方法は,通常の測定でしきい値,Vth(F)を求め, さらにソースとドレインを入れ替えて新たにしきい値電 圧,Vth(R)を求めて,Vth(F)-Vth(R)のばらつきを調べ る,というものである。Vth(F)とVth(R)は同じトラン ジスタで測定されるため,Vth(F)-Vth(R)という量には,

図-9 LSIのトランジスタ遅延と配線遅延の推移 Fig. 9-Effects of feature size on interconnect delay.

プロセス起因のばらつきは寄与せず,従来は実験が困難 だった微細なトランジスタのばらつきを調べることが可 能になる。また,不純物の数の揺らぎの寄与もなく,不 純物の配置の揺らぎだけが反映されることになる。この 測定方法を用いて,不純物の配置の揺らぎに起因するし きい値ばらつき を微細なトランジスタで評価した結果, 図-8に示すようにゲート長0.1µm以下,ゲート幅0.3µm のトランジスタでは,10mVを超えた。しきい値ばらつ きには,不純物の配置揺らぎのほかに不純物の数の揺ら ぎ,ゲート長の加工揺らぎなどの寄与もあるため,微細 トランジスタのしきい値ばらつきはこの値を上回る。国 際半導体ロードマップ(ITRS1999)におけるしきい値 ばらつきの目標値(表-1)と比較すると,これからのト ランジスタ開発ではしきい値ばらつきの抑制が非常に重 要なことが分かる。不純物の配置の揺らぎに起因するし きい値ばらつきは,加工ばらつきをなくしても残る量の ため、これを踏まえた回路設計が必要である。

Cu/Low-k多層配線技術

LSIの微細化の進展に伴い, 配線抵抗と配線容量によるLSI性能への影響が無視できない値になりつつあり (図-9), 配線材料にAl/SiO₂を用いた配線構造では,全体に占める配線遅延の割合が0.18µm世代以降,急激に増大する。隣接する配線間隔の縮小化や配線間の対向面積の増加を抑制しつつ, 配線間容量や配線抵抗を低減するため, 絶縁材料には従来のSiO₂より低誘電率の材料を用い, Alの代わりにCuを配線材料に用いたLSIの開

サブ100 nm世代のトランジスタと多層配線技術

図-10 Cu配線のデュアルダマシンプロセスの流れ Fig.10-Dual-Damascene process flow for Cu interconnects.

発が進められている^{(),6} CuはAlに比べ比抵抗が低く, 融点が高いことから,配線遅延の低減と信頼性の大幅な 向上が期待されている。

微細な配線パターンの加工・形成は,これまでメタル 層(Al)を全面成膜し,この上にエッチング耐性のあ るマスクを被せ,不要なメタル領域をエッチングにより 除去して,所望の配線構造を形成した。しかしCu配線 の場合,ドライエッチング法による微細構造形成が実用 上困難であるため,絶縁膜のエッチングで,基板内にあ らかじめ溝構造を形成し,溝内にCuを埋め込む方法 (Damascene:ダマシン法)が用いられている。とくに 上下の配線を相互に接続するビア孔と上層配線の溝をあ らかじめ形成した後,一括してCuを埋め込む方法 (デュアルダマシン法)が開発の中心となっている。。こ のCu配線プロセスの流れを以下に示す(図-10)。

- (1) 層間絶縁膜,エッチングストッパ膜,配線間絶縁 膜を堆積し(a),所定の領域にビア孔と配線溝を形 成する(b)。
- (2) 溝・孔内にバリア金属を成膜し(c),その上にCu を埋め込む(d)。埋込みを電解めっき法で行う場合 は,バリア金属上にまずシードCu膜を成膜し,その

図-11 Cu/FSG 6層配線の断面SEM写真 Fig.11-Cross-sectional SEM image of Cu/FSG interconnects.

上にめっき成膜する。

 (3) 溝の外に堆積したCu層およびバリア金属層を CMP(Chemical Mechanical Polishing)で研磨除 去する(e)。

(4) 配線Cu表面にカバー膜を成膜する(f)。

以上の工程を繰り返すことで,多層Cu配線構造が形成される。その一例としてCuとFSGを用いた6層配線の

断面SEM写真を図-11に示す。

ダマシンプロセスを用いたCu配線の高性能化に向け, 多くの課題が残されている。例えば,低誘電率の厚い絶 縁膜中に深い溝や孔をエッチングする技術や,低誘電率 特性を損なうことなく溝・孔表面を処理する技術が必要 である。また微細な溝や孔にCuを埋め込むには,溝・ 孔の形状,バリア材料とその成膜条件,シードCu膜の 成膜条件,めっき成膜条件などの最適化が重要である。 CMP加工では,配線Cuが余分に削られる量(ディッシ ング量)をできるだけ小さくして配線厚を均一に保ちつ つ,絶縁膜上にバリア金属を残さない研磨技術が必要で ある。

配線の高性能化に向けた新材料・プロセス技術

Cu配線の性能を引き出すには,配線間と層間の絶縁 膜を低誘電率化して,配線容量を下げることが不可欠で ある。ここで重要なポイントは,デュアルダマシン溝・ 孔構造をエッチングする際に挿入するエッチングストッ パと,Cu表面のカバー膜の存在である。現在用いられ ているSiN膜は比誘電率が約7と高く,配線全体の実効 誘電率を増加させるため,性能低下の大きな要因となる。

エッチングストッパを完全に除去するには,配線間絶 縁膜の時間制御エッチング技術が必要となり,その実現 性は低誘電率(Low-k)絶縁膜の種類に強く依存する。 Low-k材料は大別して有機系と無機系に分けられ,さら に成膜法で塗布系とCVD系に分類できる。従来のSiO₂ 膜,SiO₂にフッ素を添加したFSG膜,有機系Low-k膜, およびC,Hを含んだSiO₂膜の誘電率と,熱的・機械的 物性値を表-2に示す。多種多様なLow-k絶縁材料の中か ら,Cu配線用絶縁材料を選択する際には,材料固有の 誘電率に加え,エッチング加工のしやすさがかぎとなる。

			有機系	C,H添加SiO₂膜		
P-SiO ₂	FSG	SiLK	SiOC	Porous Silica		
成膜方法	CVD	CVD	スピン塗布	CVD	スピン塗布	
比誘電率(k)	4.1	3.6	2.6-2.8	2.7	< 2.3	
Tg ()	-	-	450-490	-	-	
熱伝導率 (W/mK)	1.2	0.89	0.18	0.39	-	
弾性率 (GPa)	80	80	2.7	35	5	
硬さ (GPa)	20	8.5	0.29	1.5	1.0	
熱膨張係数 (ppm/K)	0.6	1.0	69	11	20-30	

表-2 Low-k層間絶縁材料

注:熱膨張係数 (Coefficient of Thermal Expansion)

Cu表面のカバー膜は,Cu拡散の阻止機能に加え,ビ ア孔をエッチング加工する際のエッチングストッパ,お よび配線表面の保護膜として用いられている。Cu配線 の信頼性にかかわる問題はCuの表面拡散に起因するこ とが多いため,配線表面を安定に保護するカバー膜が必 要である。

バリア金属には,Cuと反応しにくい高融点金属が用いられている。配線の側面と底面を覆うバリア金属は, その厚さ分だけ配線抵抗を増加させるため,抵抗率の低いバリア材料が必要である。TiN,Ta,TaN,WNなどが検討されている。材料選択の判断基準として抵抗率が低いことに加え,以下が挙げられる。

- (1) 可能な限り薄くしてもバリア性能を維持できる。
- (2) Cuおよび層間・配線間絶縁膜との密着性が強い。
- (3) CMP加工が容易。
- (4) 高アスペクトの溝・孔内へ均一に成膜可能なこと。 デザインルール0.18µm~0.13µm世代では,PVD法 で成膜したTaN,Taが一般的であるが,今後ますます 微細孔への成膜が困難になるため,CVD法による成膜 が検討されている。

Cuの埋込み法には,めっき,スパッタ,CVDがあり, 通常これらの方法をいくつか組み合わせる場合が多い。 現在のデュアルダマシン配線は,電解めっきを中心に開 発が進められている。電解めっき法は成膜速度が高く, 低抵抗(2µ cm以下)で,結晶粒の大きな高品質膜を 容易に成膜できる。装置構成は,めっき液とアノード電 極,およびカソードとなる基板から成り,基板にはカ ソード電極として作用するシード膜が必要である。通常 シード膜はCuで形成し,ビアや溝に対する埋込み特性 はシード膜の被覆形状と電解めっきの埋込み能力のバラ ンスによって決まる。シード膜の形成技術としてはイオ ン化スパッタなどの指向性スパッタ法が先行しているが, その被覆形状はビアのエッチング形状に強く依存する。 将来的にはコンフォーマルな被覆が可能なCu-CVDや無 電解めっきの実用化が望まれる。

むすび

100 nm世代以降のCMOSをターゲットに,高性能化 に必須な短チャネル動作のためのトランジスタ設計技術 と多層配線技術の課題について述べた。LSIの高性能化 には両者でどちらか性能が劣る方で律速されるため,量 産開始に向けてバランス良く特性改善していくことが重 要と考える。

参考文献

- (1) International Technology Roadmap for Semiconductor, 1999 Edition.
- (2) Y. Momiyama et al. : Channel Engineering for Sub-100 nm nMOSFET using Indium Tilted Channel Implantation. Symp. on VLSI Tech. , p.67-68 (1999).
- (3) ピディン・セルゲイほか: ノッチゲート構造によるSub-50nm CMOSの試作.2001年春季応用物理学会 予稿集.
- (4) T. Tanaka et al. : Direct Measurement of Vth Fluctuation Caused by Impurity Positioning . Symp. on

VLSI Tech., p.136-137 (2000).

- (5) T. Tanaka et al. : Vth Fluctuation Induced by Statistical Variation of Pocket Dopnat Profile. International Electron Device Meeting Technical Digest , p.271-274 (2000).
- (6) D. Edelstein et al. : Full Copper Wiring in a Sub-0.25 μ m CMOS ULSI Technology . International Electron Device Meeting Technical Digest , p.773-776 (1997).
- (7) C. W. Kaanta et al. : Proc. of 1991 VMIC Conf., p.144 (1991).