

システムLSI用VLIWプロセッサコア

VLIW Processor Core for System on a Chip (SOC)

あらまし

今後のデジタル民生機器用のシステムLSIは、ハードウェアによる処理を主体としたASIC (Application Specific Integrated Circuit) 的手法から、プロセッサをコアとし、その上でアプリケーションプログラムを実行させ処理する「プログラマブル」なプラットフォームに変わっていくものと考えられる。

このプログラマブルなプラットフォームの中核となるプロセッサコアには高い処理性能のほかに、コンパクトなコアサイズ、低消費電力といった相反する要件を満たすことが要求されるため、新たにFR-Vアーキテクチャを開発した。FR-VはVLIW(Very Long Instruction Word) 方式を採用することで、通常のCPUの行う汎用処理と画像・音声処理などのメディア処理の両方を効率良く実行できるとともに、低消費電力、コンパクトなコアサイズを実現できる。FR-Vアーキテクチャに基づいた最初のプロセッサであるFR500を開発し、当初の目標どおりの性能を得た。

Abstract

The System on a Chip (SOC) for future digital consumer products will change from the Application Specific Integrated Circuit (ASIC) system (in which processing is mainly performed by hardware) to the programmable platform system (in which application programs are executed on a processor core). The processor core for programmable platforms must satisfy various requirements, for example, a high processing performance, small core size, and low power consumption. The FR-V architecture was developed to satisfy all of these requirements at the same time. The FR-V uses the Very Long Instruction Word (VLIW) architecture to efficiently execute media processing (e.g., image processing and audio processing) in addition to general-purpose data processing and to achieve a low power consumption and small core size. We developed the FR500 as the first implementation of the FR-V architecture and achieved the expected performance. This paper describes the FR-V architecture.



高橋宏政 (たかはし ひろまさ)

システムLSI開発研究所第二開発
プロジェクト部 所属
現在、FR-Vプロセッサの開発に
従事。

ま え が き

デジタル民生機器において要求される処理能力は、画像・音声などの処理がますます必要になってきたことから年々高くなってきているが、一方、許容される開発期間はどんどん短縮化されつつある。

従来、これらの製品に使用するLSIは、商品ごとまたは用途ごとに必要な処理機能をASICとして専用・最適設計してきた。

ASICは、目的に特化して固定した機能として最適化されるものの、流用・可変・追加などの柔軟性に欠ける。今日、市場から要求されているデジタル民生機器の迅速な展開のためには、プロセッサをコアとし、その上でアプリケーションプログラムを実行させるという「プログラマブル」なプラットフォームに変換していく必要がある。このプロセッサコアを中心とし、各種I/O、メモリなどを搭載したプログラマブルなプラットフォームを1チップで実現したものが、新世代のシステムLSIである。このようなプログラマブルなプラットフォーム用システムLSIを実現することによって、ソフトウェアの変更・改良による迅速な新機能の搭載や、他社との差別化を図るための独自アルゴリズムの搭載などがタイムリに可能となる。

このプログラマブルなプラットフォーム用システムLSIのプロセッサコアとしては、既存のプロセッサコアでは要求される処理性能、消費電力、コアサイズを実現することが難しいため、新たにFR-Vプロセッサを開発した。

FR-Vアーキテクチャ

- アーキテクチャ概要

デジタル民生機器に組み込まれるプロセッサの要件としては以下の五つがある。

- (1) プログラマブル化を支える高性能
- (2) 低消費電力
- (3) 短い開発サイクル
- (4) コンパクトなコードサイズ
- (5) コンパクトなコアサイズ

(1) 項は画像や音声といったこれまで専用のASICなどによるハードウェアで行っていた比較的重い処理をソフトウェアで実行するプログラマブルなプラットフォームを実現するために必要な要件である。

画像や音声の処理を行うためには高い性能が必要とな

るが、これらの処理には並列処理を行うことが有効である。並列処理の方法にはPentium IIIのようなPCやWS用のプロセッサに広く用いられている「スーパースカラ」方式と、最近インテル社のItanium⁽¹⁾やトランスメタ社のCrusoe^{(2),(3)}で採用された「VLIW (Very Long Instruction Word)」方式の二つがある。

スーパースカラ方式とVLIW方式を図-1に示す。命令を並列に実行するためには「命令スケジューリング」を行う必要があるが、これをプロセッサチップ内に内蔵したハードウェアで行うのがスーパースカラ方式である。これに対してこれをソフトウェア(コンパイラ)で行うのがVLIW方式である。

このようにVLIW方式ではスーパースカラ方式と違って複雑なハードウェア・命令スケジューラをプロセッサチップ内に内蔵する必要がないことから、プロセッサの回路規模を削減することが可能なため、上記要件(1)を満たしつつ(2),(3),(5)を達成できる。しかし、一方、命令スケジューリングを行うコンパイラの性能が十分高い必要がある。

富士通では既にVPP500, VPP5000といったスーパーコンピュータにVLIW方式を採用し、VLIWコンパイラ技術にも実績がある。これらの技術をベースとしてFR-VアーキテクチャおよびFR-Vコンパイラの開発を行った。

FR-Vアーキテクチャの実現例を図-2に示す。FR-Vアーキテクチャはプログラマブルなプラットフォームの中核であり、これまで、ASICなどハードウェアで行っ

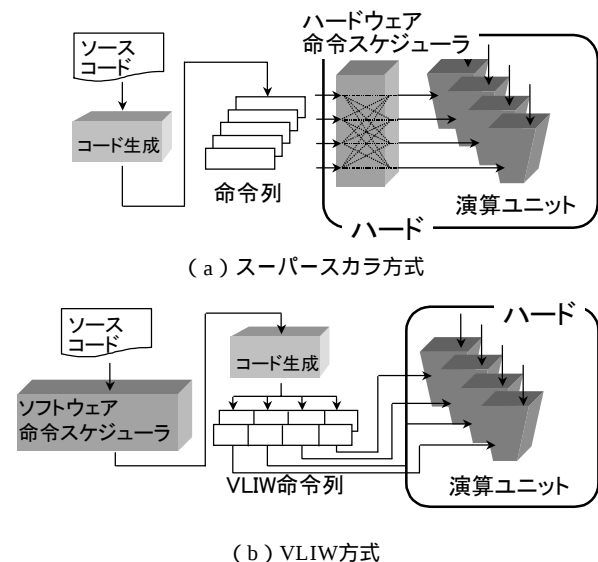


図-1 スーパースカラ方式とVLIW方式
Fig.1-Superscalar and VLIW.

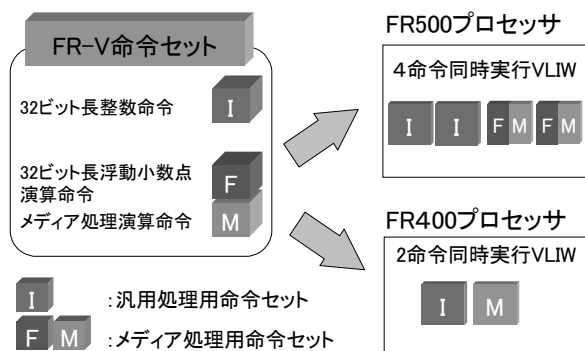


図-2 FR-Vアーキテクチャの実現例
Fig.2-FR-V architecture.

ていた画像・音声の処理をソフトウェアで行うので、浮動小数点演算命令（F）、メディア処理演算命令（M）からなるメディア処理用命令セットと、一般のCPUが持っている汎用的な処理を行うための汎用処理用命令セット（I）の両方の命令セットを持っている。これらの命令をVLIW方式によって同時並列的に動かすことによって、一般のCPUの処理と、画像・音声といったメディア処理を同時に処理することができる。並列度は対象アプリケーションの必要に応じて8並列、4並列、2並列といったように変えることができる。

上記要件（4）のコードサイズに関しては従来のVLIW方式ではスーパースカラ方式よりもコードが大きくなっていた。これを改善するためにFR-VアーキテクチャではPacking Flag方式と呼ぶコード圧縮方式を開発し、スーパースカラ方式と同等なコードサイズを実現できるようにした。

命令セット

FR-Vアーキテクチャの命令セットは、図-2に示すように以下の三つの命令セットから成る。

- (1) 汎用処理用32ビット長整数命令セット（I）
- (2) メディア処理演算命令セット（M）
- (3) 32ビット長浮動小数点演算命令セット（F）

(1) 項は通常のCPU処理を行うためのRISC型命令セットであり、(2)、(3) 項は画像処理、音声処理といった処理量の大きなメディア処理を行うための命令セットである。(2) と (3) のメディア処理演算命令と浮動小数点演算命令には一つの命令で同一種類の演算を二つまたは四つのデータに対して行うSIMD（Single Instruction stream/Multiple Data stream）型演算命令がある。

さらに、FR-Vアーキテクチャの命令セットはコンパ

イルによる命令スケジューリングを助けるためにNon-Excepting命令と条件付き実行命令という2種類のタイプのコンパイラ支援命令を持つ。

FR-Vコンパイラ

VLIW方式では前述のようにコンパイラが非常に重要であり、コンパイラの性能でプロセッサの性能が決まるといっても過言ではない。FR-Vコンパイラは、富士通のスーパーコンピュータ用のVLIWコンパイラ技術およびベクトルコンパイラ技術をベースとして開発した。

前節で述べたコンパイラ支援命令のうち、Non-Excepting命令は例外発生を抑止するタイプの命令である。通常、例外が発生する可能性がある命令を、条件分岐命令を越えて移動させることはできない。これは、例外が発生する可能性のある命令を条件分岐の後から前に移動した場合、条件分岐の方向が本来その命令を通らない方向に分岐し、かつ前方に移動した命令が例外を発生すると、本来入るはずのない例外状態にプロセッサの状態が入ってしまうためである。Non-Exceptingタイプの命令は例外発生を抑止する機能を持つので、このタイプの命令を使うことによって、コンパイラは条件分岐命令を越えて命令を移動することが可能となる。

もう一つのコンパイラ支援命令である条件付き実行命令は、条件によってその命令の実行・非実行を制御できる命令で、条件分岐命令をこのタイプの命令で置き換えることが可能となる。一般に条件分岐動作は実行ステップ数の増加というペナルティを伴い実効性能を低下させるので、条件分岐動作を回避させることで実行性能が向上する。また、条件分岐命令の削除によって、分岐命令と分岐命令の間にはさまれた部分（ベーシックブロック）の命令数を多くすることができるので、命令の並列化が容易になる。

通常、コンパイラはベーシックブロック内のみのスケジューリング（狭域スケジューリング）を行うが、FR-Vのコンパイラ支援命令を使用することで、分岐命令を越えた広域的な命令スケジューリングが可能となり、命令レベルの並列度を向上させることができる。

FR500プロセッサ^{(4),(5)}

構成

FR500はFR-Vアーキテクチャによる最初のプロセッサである。FR500のブロック図を図-3に示す。FR500は4並列VLIW型のプロセッサで、同時に発行される4命令のうち、2命令（i0, i1）を汎用処理のユニットであ

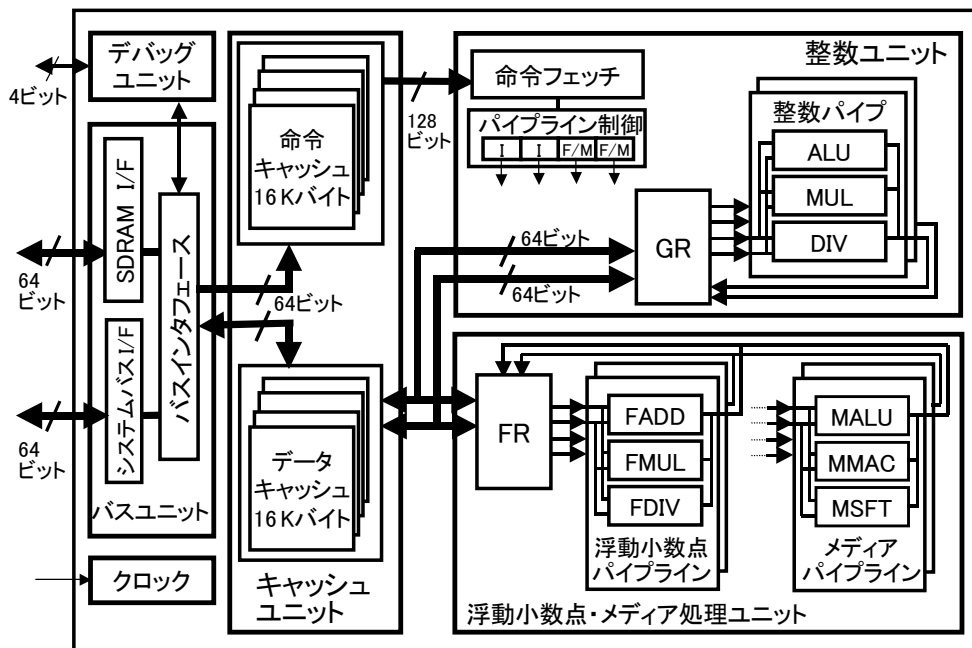


図-3 FR500ブロック図

Fig.3-FR500 block diagram.

る整数ユニットに、残りの2命令（i2，i3）を画像、音声などを効率良く処理するメディア処理ユニットに割り当てている。

整数ユニットは2本の演算パイプラインを内蔵し、クロック周波数266 MHz時のピーク性能は532 MIPSである。メディア処理ユニットは2本の浮動小数点パイプライン（FU0，FU1）と2本の16ビットメディアパイプライン（MU0，MU1）から成る。浮動小数点パイプラインはSIMDによるデータレベルの並列実行が2並列で可能で、ピーク性能は1,064 MFLOPSである。また、16ビットメディアパイプラインは4並列のSIMDで、かつMAC（Multiply and Accumulate）構造を持っている。MAC演算を2演算と数えると一つのパイプラインで最大8個の演算を行えるため、そのピーク性能は4,256 MOPSである。

レジスタファイルは整数演算用とメディア演算用の二つがあり、それぞれ32ビット×64ワードの構成である。コンパイラによる命令スケジューリングを適切に行い、効率良く並列処理を行うためにレジスタ数は一般的なRISCプロセッサの倍の64本とした。命令キャッシュとデータキャッシュは、それぞれ16 Kバイトである。

FR500は、外部バスとしてSDRAM接続用のメモリバスとシステムバスの2本の外部バスを持つ。メモリバスは64ビット、133 MHzで直接SDRAMを接続すること

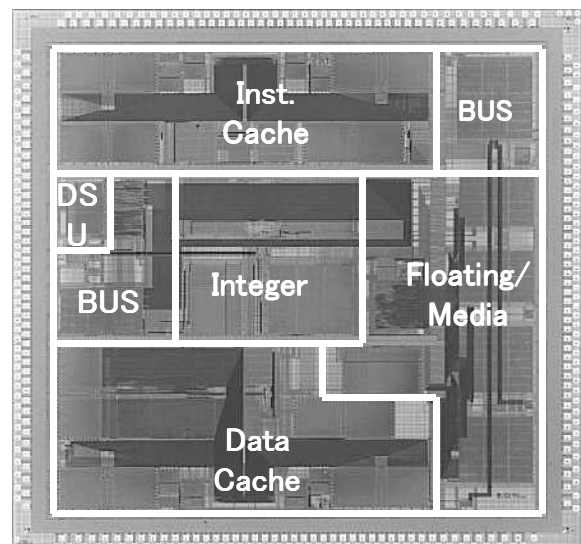


図-4 FR500チップ

Fig.4-FR500 chip.

ができる。また、システムバスは64ビット、133 MHzでパイプラインアクセスが可能な高速のバスであり、ピークのスループットは1 Gバイト/秒に達する。

266 MHz動作時の消費電力は、キャッシュを含むCPUコア部で1.5 W、チップで2.0 Wと低く抑えている。FR500のチップ写真を図-4に、主要諸元を表-1に示す。

- 性能

FR500の実効性能を表-2に、Pentium IIとの性能比

較を表-3に示す。これらは後述するVDK (FR-V Design Kit) ボード上の実測値である。FR500では、前述したVLIW方式とメディア処理命令の組合せによって、富士通の従来の組込みプロセッサであるSPARClite (100 MHz) と比較して、JPEGエンコードで約12倍、JPEGデコードで約15倍、JBIG (Joint Bi-level Image Group) で約6倍の性能が得られた。また、画像処理に

関しては同一周波数のPentium IIの2.4倍～6.5倍の性能が得られた。ここで、JPEG、MPEG4、画像処理はメディア処理命令を使用しているが、JBIGは整数命令のみを使用しているため、前者の方がメディア処理命令の効果により性能向上率がより大きい。

ソフトウェア開発環境

FR-Vのソフト開発環境としては、Softune V5 (富士通)、OPENplus (ガイオ・テクノロジー社)、Tornado II /VxWorks (Wind River社) およびGNUpro (Red Hat社) がある。Softune V5には上記の富士通製高性能VLIWコンパイラが組み込まれているが、本コンパイラはGNUpro開発環境との連携も可能である。

FR500のソフト開発・評価用ボードであるVDK (FR-V Design Kit) を図-5に示す。このボード上で各種アプリケーションソフトの開発および評価が可能である。

表-1 FR500の主要諸元

アーキテクチャ	4並列型VLIW
クロック	266 MHz
処理性能	532 MIPS 1,064 MFLOPS 4,256 MOPS
キャッシュ	I: 16 Kバイト/D: 16 Kバイト
消費電力	1.5 W (コア) 2.0 W (チップ)
総トランジスタ数	6.7 M トランジスタ
チップサイズ	7 mm × 7 mm
パッケージ	Plastic BGA 352
プロセス	0.18 μ m CMOS

表-2 FR500の実効性能

アプリケーション	性能	備考
JPEGデコード	41 ms	640 × 480色変換含む
JPEGエンコード	45 ms	640 × 480色変換含む
JBIGデコード	68 ms	1,728 × 2,376
JBIGエンコード	74 ms	1,728 × 2,376
MPEG4デコード	880 f/s	QCIF

表-3 FR500とPentium IIの性能比較

画像処理の種類	Pentium IIとの性能比較
空間フィルタ	4.8倍
イメージ描画	2.8倍
イメージ + 回転	3.6倍
イメージ + アンチエイリアス	6.5倍
イメージ + 色変換	5.7倍
イメージ + ディザ処理	2.4倍

: Pentium II 266 MHzの性能 = 1としたとき

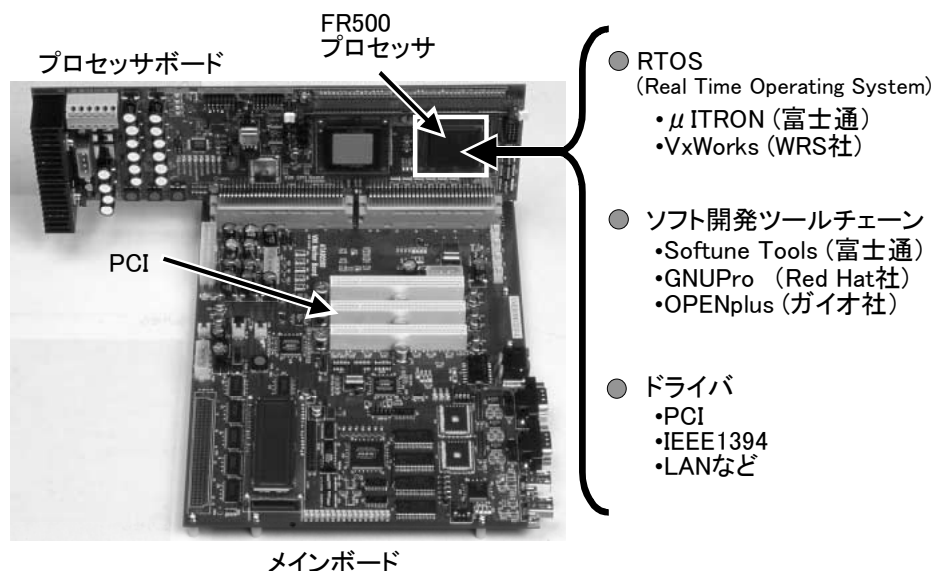


図-5 ソフト開発・評価ボード：VDK

Fig.5-Evaluation board: VDK.

む す び

FR-Vプロセッサは今後のプログラマブルなプラットフォーム用システムLSIの中核となる高性能プロセッサコアとして開発され、最初のインプリメントであるFR500によって当初の目標どおりの性能を発揮していることが確認できた。

本稿で述べた4並列型FR500に続いて、下方展開した低消費電力・低価格型の2並列型FR400も既に開発を終了している。また、さらに高性能をねらったFR-Vコアも開発中である。

参 考 文 献

- (1) Intel, HP Makes EPIC Disclosure . *Microprocessor report vol.11* , (October 27 1997) .
- (2) D. Ditzel : Transmeta's Crusoe : A Low-Power x86-Compatible Microprocessor Built with Software . Proceeding Notebook for COOL chips III , April 2000 .
- (3) Crusoeの船出 . 日経エレクトロニクス , p.131-165 , (3-13 2000) .
- (4) A. Suga et al. : Introducing The FR500 Embedded Microprocessor . *IEEE Micro* , Vol.20 , No.4 , (July/Aug 2000) .
- (5) H. Okano et al. : A 350MHz 5.6GOPS/1.4GFLOPS 4-way VLIW Embedded Microprocessor . *IEICE Trans* , Vol.E84-C No.2 , p.150-156 (February 2001) .
- (1) Intel, HP Makes EPIC Disclosure . *Microprocessor*