

# 高速光通信用GaAs IC

## High-speed GaAs IC for Optical Communication

### あらまし

通信ネットワークの大容量化に対応するため、光通信装置用高速GaAs ICとして、2.5 Gbps動作のD-FF内蔵レーザ駆動用ICと10 Gbps動作の受信モジュール用IC(3種)を開発した。

2.5 Gbps D-FF内蔵レーザ駆動用ICは、新規に開発したゲート長0.4  $\mu\text{m}$ のMESFETを採用し、出力の立ち上がり/立ち下がり時間は80 ps、位相余裕300 ps(2.5 Gbps動作時)と良好な特性が得られた。

今回開発した10 Gbps光受信モジュール用ICは、PreAMP、EQL&CDR、VCOの3種類のICチップであり、エミッタにInGaP、ベースにGaAsを使った高信頼度の高性能HBTを採用した。10 Gbpsにおいて、最小受信感度 -26.5 dBmと良好な特性が得られ、通信装置の小型化・低コスト化に寄与している。

### Abstract

We have developed a 2.5 Gbps D-FF integrated GaAs laser diode driver IC and three ICs for a 10 Gbps optical receiver module for large-capacity, trunk-line optical transmission systems. The 2.5 Gbps IC was fabricated using the newly developed GaAs MESFET process with a gate length of 0.4  $\mu\text{m}$ . The rise/fall time of this driver's output is 80 ps, and the data/clock phase margin is 300 ps at 2.5 Gbps. The 10 Gbps ICs developed for the optical receiver module are a Preamp, an EQL&CDR, and a VCO. The emitters of the transistors in these ICs are made of InGaP, and the bases are made of GaAs. These ICs were fabricated using a high-performance, highly reliable HBT process. The received minimum optical power of the optical receiver module using these ICs is -26.5 dBm at 10 Gbps. These ICs will help to reduce the package size and cost of transmission systems. This paper describes these new devices.



内藤英俊(ないとう ひでとし)

富士通量子デバイス(株)高速デバイス事業部第二設計部所属  
現在、高速デジタル通信システム用化合物半導体の開発に従事。



滝川正彦(たきがわ まさひこ)

(株)富士通研究所基盤技術研究所化合物LSI研究部所属  
現在、化合物半導体デバイスの開発に従事。



大野健一(おおの けんいち)

富士通量子デバイス(株)高速デバイス事業部所属  
現在、化合物半導体ICの開発に従事。

## ま え が き

近年、インターネットを介したサービスの普及に伴い、データ通信容量が飛躍的に増加しつつある。それに対応する手段として、伝送速度が2.5 Gbpsから10 Gbpsへと上昇していくことに加えて、WDM(Wavelength Division Multiplex)システムが普及しつつある。

すでに広く実用化され、波長多重化が進んでいる2.5 Gbpsの光伝送WDMシステム用のICに対しては、低コスト化、小型化、低消費電力化、高機能化への要求が強い。高周波特性の優れているゲート長 $0.4\mu\text{m}$ のMESFETプロセスを用いて、小型、低消費電力のD型フリップフロップ(D-FF)内蔵レーザ駆動用ICを開発した。

また伝送速度10 Gbpsによる大容量伝送ネットワークは既に商用ネットワークとして広く稼働しているものの、WDMシステムへの適用を目指すに当たって、よりコンパクトで安価なモジュールが必須となっている。光受信モジュールとして小型・低コストを目指すためには、部品数、調整用素子の削減に結びつく多機能集積ICの実現が最も威力を発揮する。今回、この要求に応えるため、超小型・低コスト10 Gbps光受信モジュールを目指した多機能集積ICを開発した。

これらのICにより、フォトニックネットワークの光インタフェース部の小型化が可能となる。

本稿では、2.5 Gbps D-FF内蔵レーザ駆動用IC、および10 Gbps光受信モジュール用ICのデバイス技術、回路技術および特性について述べる。

## 2.5 Gbps D-FF 内蔵レーザ駆動用 IC

### ● デバイス技術

2.5-10 Gbps動作を目指して、ゲート長 $0.4\mu\text{m}$  BP-LDD (Buried-P Lightly Doped Drain) MESFET技術と最大4層まで可能な多層配線技術を開発した。本デバイスの主要諸元を表-1に、MESFET構造を図-1に示す。セルフアライン技術<sup>(1),(2)</sup>を用いてMESFETのゲート電極を形成しており、高速動作を達成するため、短ゲート化を図り、さらにゲート電極にAu/WSiの2層構造を採用してゲート抵抗の低減を図った。また短チャネル効果の抑制とソース抵抗の低減を両立させるため、通常のBP-LDD構造に第2のLDD (Lightly Doped Drain)層( $n'$ 層)を追加した構造とした。

これにより、単体FETで遮断周波数( $f_T$ )45 GHz、最大動作周波数( $f_{\text{max}}$ )65 GHzの性能が得られた。配線には低抵抗で信頼性の高いAuを使用し、層間絶縁膜には、誘電率が小さく、配線容量を低減できるポリイミドを使用している。

表-1 高速光通信用ICのデバイス主要諸元

| 項 目 |                  | 仕 様                        |
|-----|------------------|----------------------------|
| FET | FET構造            | Self-Aligned BP-LDD MESFET |
|     | ゲート長             | $0.4\mu\text{m}$           |
|     | ゲート構造            | Au/WSi 2層ゲート               |
|     | $V_{\text{th}}$  | $-0.1\text{ V}$            |
|     | $g_m$            | $350\text{ mS/mm}$         |
|     | $f_T$            | 45 GHz                     |
|     | $f_{\text{max}}$ | 65 GHz                     |
| 配線  | 配線層数             | 2層(最大4層)                   |
|     | 配線/層間膜           | Au/ポリイミド                   |
|     | 最小配線ピッチ          | $3.2\mu\text{m}$           |

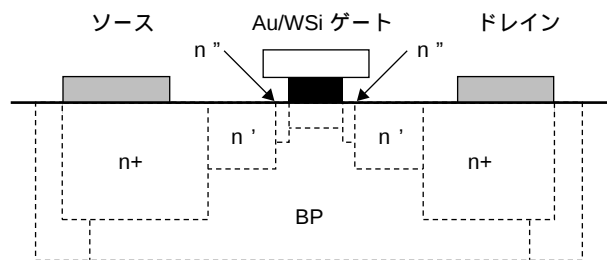


図-1 MESFETの構造断面  
Fig.1-Structure of  $0.4\mu\text{m}$  MESFET.

### ● 回路技術および特性

2.5 Gbps D-FF内蔵レーザ駆動用ICのブロック構成を図-2に示す。本ICは、データ入力バッファ、クロック入力バッファ、フリップフロップ、セレクト回路、デューティ制御部、駆動電流供給部、マーク率検出部、バイアス電流供給部で構成される。

セレクト回路では、フリップフロップによるデータのリタイミング機能とフリップフロップを使用しないスルー機能の切換えを行う。マーク率検出部では、データの平均直流電圧を検出して、レーザ駆動電流値を制御するためのフィードバックループの構成を可能としている。またデューティ制御部では、変調器内蔵型のレーザ駆動にも対応できるように広範囲なデューティ制御を可能としている。入力部信号のインタフェースは、周辺回路との整合性を考慮してECL(Emitter Coupled Logic)互換レベルとしている。2.5 Gbps D-FF内蔵レーザ駆動用ICの動作波形を図-3に、主要諸元を表-2に示す。駆動電流80 mA、立ち上がり/立ち下がり時間80 ps(20-80%値)、位相余裕300 ps(2.5 Gbps動作時)が得られており、レーザ駆動用ICとして良好な特性が確認できた。駆動電流、バイアス電流を除く消費電力は0.83 W、D-FF IC<sup>(3)</sup>とレーザ駆動用IC<sup>(4)</sup>の組合せと比較して、約20%の低消費電力化と50%の小型化が実現された。またチップサイズは

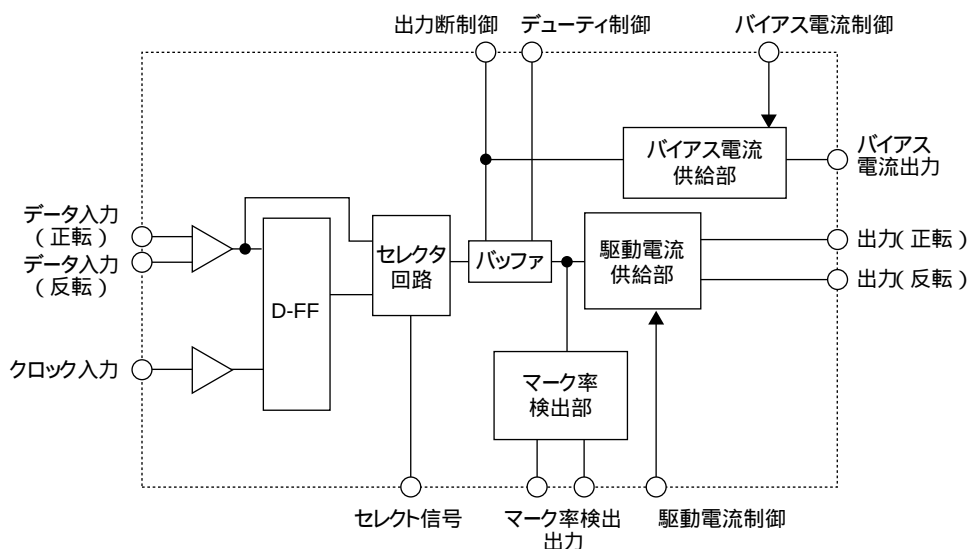


図-2 2.5 Gbps D-FF内蔵レーザ駆動用IC構成図  
Fig-2-Block diagram of 2.5 Gbps laser diode driver IC with D-FF.

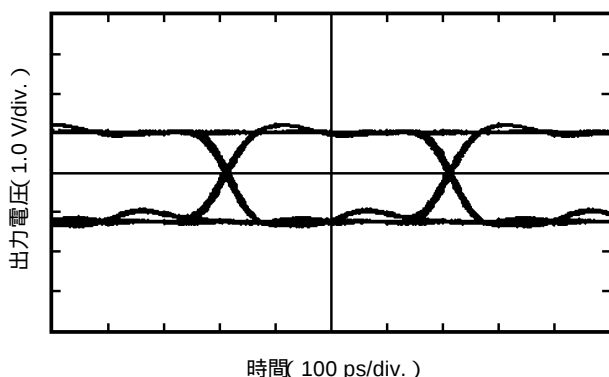


図-3 2.5 Gbps D-FF内蔵レーザ駆動用IC出力波形  
Fig.3-Output waveform of 2.5 Gbps laser diode driver IC.

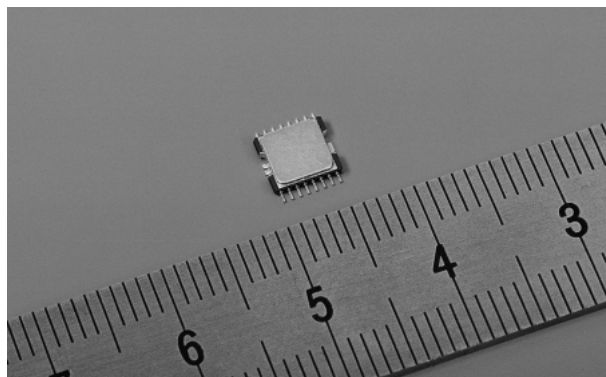


図-4 2.5 Gbps D-FF内蔵レーザ駆動用IC  
Fig.4-2.5 Gbps laser diode driver IC.

表2 レーザ駆動用ICの主要諸元

| 項目            | 仕様                       |
|---------------|--------------------------|
| 最高動作速度        | 2.5 Gbps                 |
| 出力電流          | 80 mA (負荷抵抗30Ω)          |
| 出力振幅          | 2.5 Vpp (負荷抵抗50Ω)        |
| バイアス電流        | 70 mA                    |
| 立ち上がり/立ち下がり時間 | < 100 ps (20-80%)        |
| 電源電圧          | -5.2 V                   |
| 電源電流          | 160 mA (出力電流, バイアス電流を除く) |

1.9 × 1.9 mm<sup>2</sup>で、小型の表面実装型のセラミックパッケージ(5.5 × 5.6 mm<sup>2</sup>)に実装されている(図-4)。

#### 10 Gbps 光受信モジュール用 IC

##### ● デバイス技術

10 Gbps光受信部において、アナログ回路部には数十kHz

から10 GHzまでの広帯域特性が要求される。この要求に対応するため、基本トランジスタとして高速ヘテロ接合バイポーラトランジスタ(Hetero-junction Bipolar Transistor: HBT)<sup>(5)</sup>を採用した。このHBTの特徴は図-5に示すように、エミッタにInGaP、ベースにGaAsを用いて、遮断周波数( $f_T$ )0 GHz、最大動作周波数( $f_{max}$ )110 GHzの高速性を達成するとともに、基幹通信系に対応する高信頼性を併せて実現した。通常エミッタ材料として用いられているAlGaAsに比べ、結晶欠陥の少ないInGaPを用いることにより、通電による欠陥増殖が抑えられ、光通信システム用ICとして十分な信頼度が確認されている。

高感度なアナログ回路部をデジタル回路部と集積する場合、クロストークをいかに抑えるかが重要である。電源ラインと信号ラインの干渉を少なくするようレイアウトを工夫したほか、マイクロ波用パワーアンプなどで

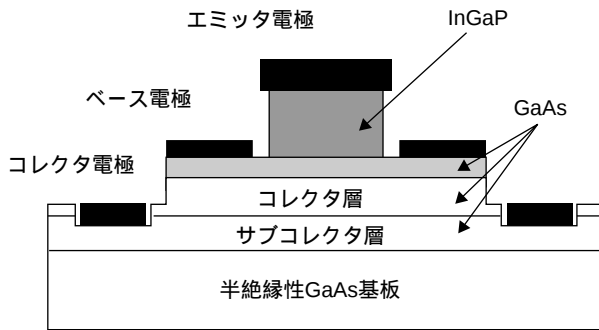


図-5 InGaP/GaAs HBTの断面  
Fig.5-Structure of InGaP/GaAs HBT.

使われている背面ビア技術を用いて回路内の高周波での接地を安定化させた。

● 回路技術および特性

今回10 Gbps光受信モジュール用に開発したICは、前置増幅IC( Preamplifier : 以下, PREAMP ), 等化増幅器を含むクロック・データ再生IC( EQLizing amplifier & Clock and Data Recovery circuit : 以下, EQL&CDR )と電圧制御発振器( Voltage Controlled Oscillator : 以下, VCO )の3種類である。

PREAMPの基本回路には、帯域平坦性を得やすいベース接地型増幅回路を採用している。<sup>(6), (7)</sup> 図-6に示すように、トランスインピーダンス63 dBΩ、帯域11.7 GHz、入力換算雑音電流密度11 pA/√Hz( 100 kHz )とフラットで良好な特性が得られた。

EQL&CDRは、等化増幅器のほか、クロック抽出・再生のためのフェーズロックループ( PLL )回路とデータ識別回路( DEC )から構成される。クロック抽出・再生にPLL技術を用いることにより、従来用いられていたタイミングフィルタが不要となり、モジュール全体の小型化に寄与している。EQL&CDR内の等化増幅器は、受光素子の帯域のばらつきを補正するため、利得可変の差動増幅器と跳ね上げフィルタを内蔵しており、利得は29 dB、帯域は8.4 GHzであり、フラットで良好な特性が得られた。

またPLL回路の重要要素であるVCOに関しては、ジッタ発生を抑えるため、基本発振回路として位相雑音の少ないシングルエンドハートレー回路を用いた。

最も多機能を集積しているEQL&CDRのチップサイズは4 × 4 mm<sup>2</sup>であり、1,300個のトランジスタと1,200個の抵抗体を集積している。また消費電力は、自然空冷での使用が可能な3.5 W以下となっている。

今回開発したICとAPD( ならだれ増倍型フォトダイオード )<sup>(8)</sup>を組み合わせた光受信部の構成を図-7に示す。光通信ネットワークにおいて、長距離を伝送されてきた信号

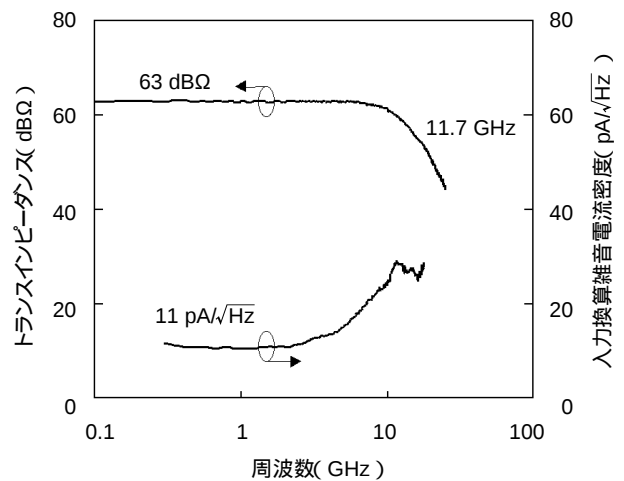


図-6 プリアンプの周波数特性  
Fig.6-Frequency characteristics of pre-amplifier.

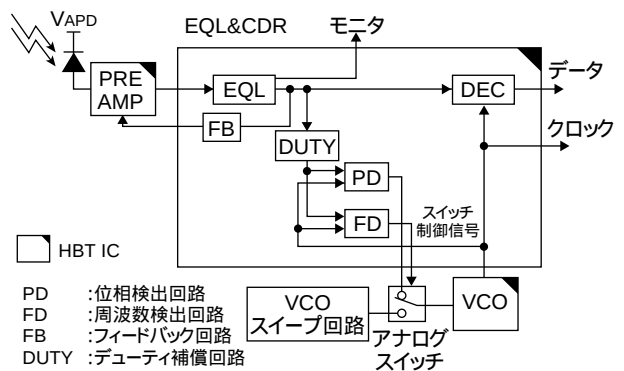


図-7 光受信部の構成  
Fig.7-Block diagram of optical receiver.

は大きく劣化しているもので、このままPLL回路に入力すると異なった位相にロックされるなどの誤動作を招く。この誤動作を回避するため、±30%の範囲のデューティ補償回路を設けた。またクロストークの影響を少なくするためにVCO部を外付けとしている。FEC( Forward Error Correction )対応による伝送速度上昇( 10.7 Gbps )に対しても、VCOを変更することで対応することが可能である。CDR部の総合特性として10 Gbpsにおいて位相余裕は270度であった。またジッタ量は1.3度( 4.5 MHz離調 )であり、ITU-T規格に十分対応できる値が得られた。以上のICを総合した受信特性を図-8に示す。10 GbpsのSTM-64信号に対する符号誤り率 $10^{-12}$ 時の最小受信感度は-26.5 dBmであった。

む す び

光通信システムの大容量化の要求に対応した高速GaAs

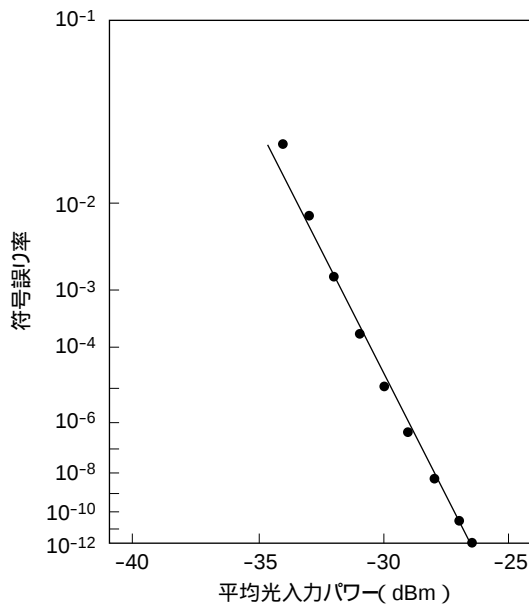


図8 受信部総合特性 - 10 Gbps STM-64信号に対する符号誤り率特性 -  
Fig.8-Bit error rate characteristics of 10 Gbps STM-64.

ICとして、2.5 Gbps D-FF内蔵レーザ駆動用ICと、10 Gbps 光受信モジュール用ICを紹介した。光通信システムの大容量化の流れはとどまるところか加速している。今後、10 Gbps WDMシステムに続き、40 Gbps光通信システムからの要求に応えるべく、超高速ICの開発を進めていきたい。

## 参考文献

- (1) N. Yokoyama et al. : A GaAs 1K Static RAM Using Tungsten Silicide Gate Self-Aligned Technology. *Journal of Solid-State Circuit*, SC-18, 5, October 1983 .
- (2) H. Onodera et al. : A High-Transconductance Self-Aligned GaAs MESFET Fabricated by Through-AIN Implantation. *IEEE Trans. Electron Devices*, ED-31, pp.1808-1813 (December 1984) .
- (3) H. Hamano et al. : 8 Gbit/s GaAs Logic ICs for Optical Fibre Communication Systems. *Electron. Lett.*, 24, pp.1522-1523 (1988) .
- (4) H. Yamashita et al. : Giga Bit Transmitter/Receiver GaAs IC Chipset For Optical Communications. 1988 IEEE International Symposium on Circuits And Systems, pp.2879-2883, 1988 .
- (5) T. Takahashi et al. : High-Reliability InGaP/GaAs HBTs Fabricated by Self-Aligned Process. *IEEE IEDM*, 1994 Tech Dig., pp.191-194 .
- (6) T. Ihara et al. : InGaP/GaAs HBT-IC Chipset for 10Gb/s Optical Receiver. *GaAs IC Symposium*, 1996 Tech. Dig., pp.262-265 .
- (7) K. Yamashita et al. : High-Performance 10Gbit/s Optical Receiver using Avalanche Photodiode and Heterojunction Bipolar Transistor ICs. *Conf. Opt. Fiber Commun.*, 1997 Tech. Dig., paper TuD6 .
- (8) T. Mikawa et al. : Flip-Chip InGaAs Avalanche Photodiode with Ultra-Low Capacitance and Large Gain-Bandwidth Product. *Conf. Opt. Fiber Commun.*, 1991 Tech. Dig., paper ThO2 .