

FLAでのCAD研究

CAD Research at FLA

あらまし

FLA(Fujitsu Laboratories of America, Inc.)では、デジタルシステム設計用CAD (Computer Aided Design)技術に関し、「設計の各段階での形式的な設計検証」、「論理合成プロセスとレイアウトプロセスの融合」、「設計の上位レベルからの支援」など、現在もっとも重要となっている研究項目について、設立当初から研究している。

本稿では、現在までの主な研究成果と今後の研究活動について、その概要を解説する。現在までに、組合せ回路検証技術に関する研究成果がツール“ ASSURE ”として既
に実用化され、また、論理回路最適化技術とレイアウトとの融合に関する研究成果が
ツール“ BIGWIG ”として実用化されつつある。今後も各研究が順次、実用化されるこ
とが期待されている。

Abstract

Since its establishment, Fujitsu Laboratories of America Inc. (FLA) has been conducting important research on Computer Aided Design (CAD) techniques for digital systems. Among other themes, FLA has been investigating formal design verification at various design levels, the integration of logic synthesis and layout processes, and design support for higher level design stages.

This paper gives an overview of the principal research conducted up to now and FLA's future research plans. The results of research on formal verification technology have already been applied in the ASSURE tool, and the results of research on layout-driven circuit optimization are being applied in the BIGWIG tool. We expect to see many more applications of FLA research in the future.



藤田昌宏 (ふじた まさひろ)

1985年東京大学大学院情報工学専門
課程博士課程了。同年(株)富士通研
究所入社。以来デジタルシステム
用CADの研究に従事。1993年から米
国富士通研究所。IEEE Trans. on
CAD編集委員。工学博士。
Advanced CAD Research Department

ま え が き

FLA (Fujitsu Laboratories of America, Inc.) は、富士通研究所の米国子会社として、1993年に設立された。FLAでは、デジタルシステム設計用CAD (Computer Aided Design) 技術について、設立当初から研究してきている。本稿では、現在までの主な研究成果と今後の研究活動について、その概要を解説する。

米国でCAD研究を行うためには、主に、

- (1) 米国では、CAD分野のPh. D. の人材が豊富であり、研究活動も活発に行われている、
 - (2) CADツール提供会社 (通常EDAベンダと呼ばれる) の多くは、シリコンバレーに研究開発の拠点があり、情報交換が活発に行われている、
- などの点を活用して、有用な最先端CADの研究を推進することにある。

1993年度に研究を開始した時点から、毎年2、3名程度現地研究員の増員を行ってきている。現地採用研究員は全員Ph. D. であり、北米各地から集まっている。

デジタルシステムの設計では、仕様からソフトウェアで実装すべき部分とハードウェアで実装すべき部分が切り分けられ、ハードウェアの部分は、直接レジスタ転送レベル(RTL)で記述し、論理合成を経てゲート回路となり、さらにレイアウト合成を経てマスクパターンとなっている。しかし、設計対象が大規模になるにつれ、以下の問題が生じている。

- (1) 設計のデバッグが大変であり、設計時間よりも検証時間の方が長くなっている。
- (2) 論理合成とレイアウト合成が分離しているため、タイミングなどを細かく考慮したゲート回路最適化ができず、結果として、合成のし直しが頻繁に起こる。



米国富士通研究所 (FLA)

- (3) 仕様から直接RTLで設計しているため、仕様を満たす様々なアーキテクチャの中から最善のものを選択することがむずかしく、決めうちで設計している場合が多い。

現在、これらの問題を解決することが、設計期間の短縮や高性能システムの設計支援を行う際の最重要課題となっている。このためのアプローチとして、「設計の各段階での形式的な設計検証」、「論理合成プロセスとレイアウトプロセスの融合」、「設計の上位レベルからの支援」などを重要な研究テーマとし、「Verification and Test」、「Performance Optimization」、「High Level Design Support」の三つの研究グループに分かれて研究している。研究している技術は互いに関連する基礎技術が利用されることも多く、グループ間の交流も盛んである。

本稿では、以下、三つのグループの研究活動について、その概要を解説する。

Verification and Test グループ

設計の正しさを証明する形式的検証技術と、製造故障用のテスト生成手法についての研究を活発に行っている。設計対象が大規模複雑化しているため、設計する時間よりも、設計の正しさを検証する時間の方が長くなってきており、これらの技術は設計期間の短縮や設計品質の向上のための必須技術となっている。

主要な研究項目について以下に説明する。

- 組合せ回路検証技術

与えられた二つの組合せ回路が論理的に等価であるかを調べる問題で、論理照合 (Boolean Comparison) とも呼ばれる問題に対する効果的な検証手法の研究を行っている。一般的な論理照合問題は、最悪入力数の指数に比例する時間がかかる。しかし、一般に、実設計に現れる論理関数に対しては、2分決定グラフ (Binary Decision Diagram : BDD) と呼ばれるグラフで表現することで、コンピュータでコンパクトに表現できることも多い。

また、実際の検証問題は、論理最適化を施す前と後など、比較すべき二つの回路が構造として近いことも多い。このような場合には、二つの回路同士で内部等価点が多数あると、そこで回路分割をして分割した回路を検証すればよいことになる。さらに、比較すべき回路自体を入力変数の値を一時固定するなどして、分割して検証すると効率的な場合も多い。

FLAでは、このような手法を組み合わせる大規模論理照合問題を解くアルゴリズムを開発した⁽¹⁾。この技術をもとにFLAのツール開発グループ (Advanced CAD Development:

ACD)でツールASSURE⁽¹⁾を開発しており、数百万ゲート規模の実チップ全体の検証も1～2時間で検証できるようになっている。検証対象回路は、半導体技術の向上でますます増大化しているため、ACRでは、さらにアルゴリズムの高性能化の研究を続けている。

- 順序回路検証技術

組合せ回路の比較問題だけでなく、より一般的な二つの順序回路の比較問題についても、効率的なアルゴリズムの研究開発を行っている。論理照合問題は純粋に二つの組合せ回路の等価性を判定するため、実際に二つの回路の比較を行う場合には、回路中のフリップフロップの対応を取り、それらを取り除いて後で検証する必要がある。

このフリップフロップの対応をとることが、困難あるいは、設計者にとって面倒となる場合がある。例えば、比較する一方の回路がテスト用のスキャン回路を持ち、もう一方が持たない場合は、スキャン回路は自動的に挿入されている場合が多く、設計者がフリップフロップの対応を示すことは容易ではない。また、比較すべき二つの回路中の階層構造が異なる場合にも、人手でフリップフロップの対応を取るのには容易ではない。このような状況に対処するため、二つの回路間のフリップフロップの対応を自動的に抽出するアルゴリズムも研究開発している。

また、片方の回路がもう一方の回路を最適化したものである、一般にリタイミングと呼ばれる最適化を施すとフリップフロップを含んで回路最適化がなされるため、もはやフリップフロップの対応が取れなくなる場合もある。このような場合のため、リタイミングで行われる回路変換を考慮して、フリップフロップの対応を取るアルゴリズムも研究開発している。

さらに、実設計では、二つの回路の間でフリップフロップの対応が取れないような一般の順序回路の比較をする必要がある場合もある。このような場合には、二つの回路の状態遷移をたどりながら、各状態で同じ入力に対しては同じ出力が出ているかをすべての場合に調べる必要がある。この問題を一般的に扱おうとすると、最新の技術を利用して数百万ゲート程度の回路しか扱えない。そこで、ここでも比較している二つの回路は構造的に近いという点を利用し、二つの回路の間で状態の対応を取りながら検証を進めるアルゴリズムの研究も行っている。

- 誤設計の自動診断技術

二つの回路の比較結果が不一致だった場合、ただ単に不一致であるというだけでなく、回路のデバッグ作業を支援することが望まれる。この場合、まず回路中の誤設計

か所を指摘する自動診断技術が重要となる。そこで、回路中の誤設計か所の候補部分は不定値Xを用いて表現するXlistと呼ばれる考えを新たに考案し、それを利用した自動誤設計診断アルゴリズムを研究開発している。⁽²⁾ 第一バージョンはすでにASSUREに組み込まれている。このXlistを利用すると、縮退故障だけでなく、ブリッジ故障など一般の故障も考慮したテスト生成も可能となるため、その研究も活発に行っている。

- 順序回路のテスト生成技術

組合せ回路に対するテスト生成は、かなり大規模回路でも扱えるようになってきているが、スキャンなし、または部分スキャンの回路に対するテスト生成、つまり順序回路のテスト生成技術は、現在までのところ小規模回路にしか対応できない。そこで、従来からある回路をたどりながら必要な信号値をセットしていくことでテストパターンを生成する手法と、近年組合せ問題の解法として注目されている「遺伝的アルゴリズム」を組み合わせ、順序回路のテストパターンを生成する手法について、研究開発している。

遺伝的アルゴリズムでパターンを変換していく際に、回路の特性を考慮することなどで、従来手法に比べ数倍以上の高速化と生成するテストパターンの高品質化が達成できている。現在、ツール化に向け、さらにアルゴリズムの改良を続けている。

Performance Optimization グループ

半導体の高集積化により、配線遅延の影響が大きくなっており、ゲート回路の遅延最適化の際にもレイアウトをある程度考慮することが必須となりつつある。本研究では、レイアウトドリブンの回路最適化手法として、レイアウト情報に基づき、論理回路を最適化するアプローチについて、富士通研究所CAD研究部と共同で研究している。具体的には、レイアウト情報から、回路中の各セルの大きさを変更したり(一般にゲートサイジングまたはセルサイジングと呼ばれる)、回路中にあるバッファの接続や大きさの最適化などの回路変換を行って、論理回路を最適化していく。さらに、その最適化された回路に合わせてレイアウトも改良し、またその改良されたレイアウト情報に基づきさらに回路変換を行うというように、レイアウトの改良と回路変換を繰り返し行うことで、回路を最適化していく手法について研究している。

本研究に関する研究項目の主なものを以下説明する。

- 遅延解析

レイアウト情報も考慮した遅延解析を高速に行う必要

がある。高集積半導体のためには、遅延モデルも単純なものではなく、できれば分布回路的に扱えるようにする必要がある。

- ゲートサイジング

半導体セルライブラリには、同じセル(ゲート)について、大きさの異なるものが複数用意しており、回路全体の遅延が最小になるよう、かつ回路全体の面積を一定以下に保つように、あるセルを大きさの異なるセルに変えることをゲートサイジングと呼ぶ。すべてのセルのすべての大きさを評価することは不可能なので、効率的かつ効果的なゲートサイジング手法が必要である。

- バッファ挿入^{(3),(4)}

バッファ挿入とは、回路中の必要なところにバッファを挿入したり、不要なバッファを削除することで、回路全体の面積を一定以下に保ちながら、遅延を最小化する修理である。回路中のすべてのネットにバッファすべきかどうかを調べることは不可能であり、効率的かつ効果的なバッファ挿入手法が必要である。

現在、実際にツールが動作しはじめており、初期評価では、人手で長時間かかっていたレイアウトを考慮した最適化と同等レベルの最適化が、数時間で自動的に処理可能であることが分かった。今後、実設計で評価を続けて行うとともに、必要に応じて、改良していく予定である。

High Level Design Support グループ

設計期間の短縮や設計品質の向上には、設計の上位レベルからの支援が不可欠であると考えており、RTL以上の設計記述に対するCAD技術の研究開発を行っている。一般に、上位レベルの記述の方がゲートレベルの設計記述など下位レベルの記述と比較して、記述量が少なく済み、その分、合成、検証、テスト生成いずれの問題に対しても効率的に扱え、結果として、より多くの設計の選択肢を調べることができ、品質の向上にもつながる。また、システムLSIでは、一般にハードウェアとソフトウェアをまとめたシステムとして設計していくことが重要で、ソフトウェア用支援ツールとの連携も重要である。

主な研究項目について、以下に説明する。

- 高位レベル検証技術

上位レベルの設計記述を完全に検証でき、かつそこから自動的にゲート回路などを生成できれば、原則として下位レベルでの検証は不要となる。たとえ、上位レベルですべて検証できなくても、上位レベルで検証してあるものは下位レベルで検証する必要はなく、その分設計効率が上がる。そこで、本研究では、RTL以上の設計記述

を直接検証する技術について、研究開発している。例えば、32ビットの整数値を扱う信号の場合、ゲートレベルで検証する場合には、それを32個の2値の信号に置き換えて処理しなければならず、扱うべき論理式が巨大になる。そこで上位レベルの記述では、32ビットの信号は一つの整数値の変数としてそのまま処理できるような検証アルゴリズムを開発している。このようにすることで、ゲートレベルでは扱えなかったような規模の回路の検証もできる可能性がある。現在、プロトタイプが動作しており、いくつかの例題の検証に成功している。⁽⁵⁾

- 高位レベルテスト生成技術

RTL以上の記述から、ゲート回路の縮退故障を検出できるテストパターン生成を行う手法について研究開発している。上位の記述では、算術演算など意味を考慮してテスト生成することができ、効率化できる。現在、プロトタイプが動作しはじめており、ゲートレベルでのテスト生成に比較し、10倍以上高速に、かつ高いテストカバレージを達成できる可能性があることが分かっている。

- 組み込みプロセッサ用Cコンパイラ技術

組み込み用プロセッサ、とくに低消費電力に重点を置いたDSPなどでは、コード量削減に効果のある信号処理のための特殊な命令を持つ一方、ハードウェア量は必要最小限に削減されている。このため、通常のマイクロプロセッサを念頭において開発されたCコンパイラを流用したのでは、効率的なコードを生成できず、現状は主に人手でアセンブラコードを書いていることも多い。本研究では、人手で書かれたアセンブラコードの品質に匹敵するCコンパイラの作成を目指し、様々な最適化ルーチンを作成している。現在までのところ、携帯電話などに利用されているDSPに対して、人手のアセンブラと比較し、1.5倍～2倍程度のコード量で済むようにできている。⁽⁶⁾

む す び

FLAのCAD研究グループの主な研究項目について、その概要を紹介した。設計期間の短縮と設計品質の向上に直接つながるテーマについて、ツール化を念頭において、鋭意研究を進めている。

参考文献

- (1) R. Mukherjee et al.: An Efficient Filter-Based Approach for Combinational Verification. to appear in Trans. on CAD, IEEE.
- (2) V. Boppana et al.: Multiple Error Diagnosis Based on Xlists. Proc. DAC99.
- (3) R. Murgai: On The Global Fanout Optimization. Proc.

ICCAD99.

(4) R. Murgai : Performance Optimization Under Rise and Fall Parameters. Proc. ICCAD99.

(5) S. Rajan et al. : ATM Switch Design by High-Level Modeling , Formal Verification , and High-Level Synthesis. Transactions on Design Automation (TODAES), ACM , 1998.

(6) A. Sudrarsanam , S. Malik , and M. Fujita : A Retargetable Compilation Methodology for Embedded Digital Signal Processing Using a Machine-Dependent Code Optimization Library. Kluwer Design Automation for Embedded Systems , 4 , 2/3 , 1999.

