

通信機器設計用CADシステム：TCAD

CAD System for Designing Communication Devices: TCAD

あらまし

ATMやCDMAなどの新たな通信技術により、通信機器は大規模化と高速化が進展し、また一方で、製品開発はより一層の期間短縮が望まれている。このため富士通では、通信機器向けのトータル設計環境「TCAD」を構築し、設計の効率化を図っている。

システム設計では、トップダウン設計手法を導入し、仕様検討から詳細設計までのシームレスな設計・検証環境を構築した。LSI設計では、RTL(Register Transfer Level)記述のルール化と解析環境を構築した。また、PCBの高速信号設計では、制約条件付与のルール化とこれに基づく配線設計の自動化を実現した。これらの施策を有機的にインテグレートしたTCADは、通信機器の設計に幅広く活用され、設計の手戻り防止、設計期間の短縮、および設計品質の確保に寄与している。

本稿ではTCADの特徴的な取組みを紹介する。

Abstract

New communication technologies such as ATMs and CDMA are making communication devices faster and more versatile. However, to keep up with the pace of development, further reductions in product development periods are requested. Therefore, our department has developed the total design environment "TCAD" for more efficient design of communication devices.

In system design, a top-down design method is adopted to construct a seamless design and verification environment for the phases from specification examination to detail design. In LSI design, the register transfer level (RTL) description rules and an environment in which to analyze them are established. In PCB high-speed signal design, constraint annotation rules are established and automation of wiring design based on these rules is realized. Because TCAD integrates all of these functions, it is widely used by designers of communication devices to prevent design iteration, reduce design periods, and improve design quality.

This paper reports on solutions featuring the TCAD system in the fields of system design, LSI design, and PCB high-speed signal design.



山口高男（やまぐち たかお）

1981年東北大学工学部応用物理学科卒。同年富士通入社。以来通信機器のハードウェア設計用CADシステムの開発に従事。CADシステム統括部第一CADシステム部



山田修一郎（やまだ しゅういちろう）

1984年東北大学工学部電気工学科卒。同年富士通入社。以来通信機器のハードウェア設計用CADシステムの開発に従事。CADシステム統括部第一CADシステム部



鈴木康弘（すずき やすひろ）

1980年東京工業高等専門学校電子工学科卒。同年富士通入社。以来通信機器向けCADの開発サポートに従事。その間1992年関東電気協会優秀発明賞受賞。1993年富士通キャドテック(株)に転出。第一開発部

ま え が き

マルチメディアの発達に対応したネットワークインフラの大容量化と、それを実現するLSI集積技術、およびプリント実装技術の向上により、富士通が開発する通信機器装置は大規模化と高速化が進んでいる。これらの装置を従来の設計手法で開発しては、製品の品質低下や開発期間の極端な増加を招くことが必至である。このため著者は、製品品質の確保と設計期間の短縮を目的に、装置の仕様設計からインプリメンテーション設計（以下、インプリ設計）までを一貫してサポートするトータル設計環境「TCAD」を構築した。

本稿では、TCADの設計フレームワークを紹介するとともに、トップダウン設計の仕組み、RTL記述の品質保証、およびPCB上での高速回路設計方法について述べる。

設計フレームワーク

TCADは、装置の仕様設計からLSI/PCBのインプリ設計までを一貫してサポートする。TCADのシステム構成を図-1に示す。ライブラリ管理システムは設計に必要な部品情報を信頼性・調達性などの面から統合管理する。また、設計情報管理システムを経由し、生産管理や組立/試験システムへのデータ供給を行う。TCADではシステム設計段階からのトップダウン設計手法の導入と、高性能な設計自動化ツールのインテグレーションを推進し、通信機器の設計効率化を図っている。

トップダウン設計の推進

大規模システムの開発では以下の課題を抱える。

(1) システム仕様の複雑化

システムの大規模化は、システム全体の仕様を複雑化させる。LSIとこれを搭載するPCB(Printed Circuit Board)の仕様が曖昧のまま設計を進めれば、設計の後工程で仕様ミスが発覚し、LSI/PCB双方の設計の手戻りを招く。

(2) システム検証の長大化

インプリ設計後の論理検証では検証パターンが長大となる。検証時間やカバレッジ面で十分な検証が行えず、試作工程で設計ミスが発覚する。

(3) 開発プロジェクトの多人数化

装置開発プロジェクトは数十人規模になり、全国に分散する拠点でLSIとPCB、または論理設計と検証が分担される。このため、設計変更への対応の遅延や変更折込みミスが発生する。

TCADではこれらの問題を解決するために、トップダ

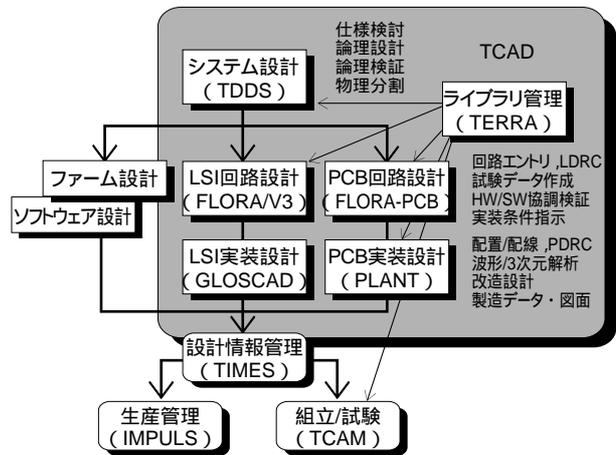


図-1 TCADのシステム構成
Fig.1-TCAD Frame work.

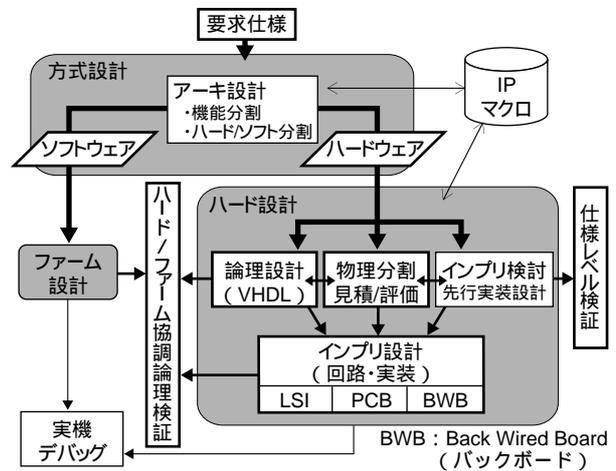


図-2 システム設計フロー
Fig.2-System design flow.

ウン設計手法を推進する。システム設計フローを図-2に示す。トップダウン設計は設計の上流工程で十分な仕様検討と検証を行い、下流工程からの設計の手戻りを防止する。また、LSI/PCBのインプリ設計を相互に独立して進められ、装置開発期間の短縮が図れる。以下に、トップダウン設計を実現するための仕組みを述べる。

VHDLによる装置設計環境の構築

装置全体の仕様検討と、LSI/PCB各仕様を詳細化するために、以下の仕組みを実現した。

- ・ブロック図イメージによるシステム設計環境
- ・LSI/PCBの分割評価
- ・LSI/PCB設計へのVHDLインタフェース

設計・検証にはVHDL(VHSIC Hardware Description Language)を一貫して使用する。これにより、大規模システムの仕様検討を容易化するとともに、LSI/PCB詳細

仕様のシームレスな伝達を可能とし、後工程からの設計の手戻りを防止している。

システム検証環境

インプリ設計段階での論理検証の負担を軽減させるために、システム設計での機能・論理検証を実施する。これにより、不具合の早期発見と検証時間の短縮が図れる。

【プロトコル仕様の検証】

仕様検証ツールにはSupervise^{(1),(2)}を導入している。本ツールは、プロトコル仕様を抽象度の高いレベルから設計が詳細化された後まで、任意のレベルでの仕様検証が可能のため、検証環境のシームレス化が図られる。

【ハード/ファーム協調検証】

ハードウェアとファームウェアの設計フェーズに応じて「システム動作レベル検証」と、「ハードウェア機能検証」を行い、双方の整合性を検証している。前者はファームウェア仕様とハードウェアの動作記述仕様の整合性を検証し、後者はファームウェアとハードウェアのRTL仕様の整合性を検証する。

装置設計フレームワークの構築

開発プロジェクトの多人数化に対応するため、以下の機能を備えた設計フレームワークを構築した。

- ・設計進捗管理
- ・設計問題管理
- ・設計データ一元化と版数管理

これにより、プロジェクト管理者は複数拠点に分散する装置開発の進捗状況の収集などの付帯作業の軽減と、問題発生時に迅速かつ的確な対応が可能となった。また、設計データの一元化と版数管理により、LSIとPCBの変更の折込みと検証をコンカレントに進めることを可能としている。

LSI設計におけるRTL記述の品質向上

LSIの微細化技術の進展に伴い、回路規模は爆発的に増大し、タイミング設計は一層困難になってきた。とくに0.25 μm 以降のLSI設計では、複数のブロックに分割したサブチップ化設計手法が必要になっている。以下では、富士通の通信機器用LSIの設計におけるサブチップ化設計手法の取組みと、これを生かす要素の一つであるRTL解析ツールについて説明する。

サブチップ化設計手法

LSIの微細化技術の進展で、回路規模は数百万ゲートに及び、一括処理によるレイアウトの限界を超え、サブチップ化設計手法の導入が必要になってきた。

0.35 μm までのLSIでは、アーキテクチャ検討(以下、

アーキ検討)からインプリ設計(論理合成~レイアウト)までを1個のLSI全体で行ってきた。これに対し0.25 μm 以降のLSIでは、LSI全体のアーキ検討に基づき複数のサブチップに分割した後、0.35 μm までのアーキ検討からインプリ設計までをサブチップ単位に実施する。複数のサブチップ単位の設計と並行して、LSI全体のインプリ設計と検証を行う。また、共通設計マクロを戦略的に開発、蓄積することで、サブチップ間やLSI間で設計の再利用を行う。

サブチップ化設計手法では、トップダウン設計による最適設計と品質保証、短納期開発のためのコンカレント設計の促進がポイントとなる。このため、以下の取組みを推進している。

(1) アーキ検討支援ツールによる最適な設計分割

ブロック図の入力で仮想的な設計見積りを行い、構成を検討する。採用した構成のVHDLを自動生成し、論理設計に継承する。

(2) 高位検証による品質保証

テストベンチの自動生成により、動作記述レベルでの機能検証を促進する。このテストベンチは合成可能なRTLの検証に継承され、上流から機能を抑えこむ。

(3) チーム開発支援ツールによる並行開発の負担軽減

RTL設計と検証チーム間での設計データの共有と、設計変更プロセスを支援する。

(4) RTL解析ツールによる品質検査

VHDL設計のノウハウをもとに、設計部門で体系化した設計ルールに基づいて、RTL記述の妥当性を検査する。

以下、RTL解析ツールについて説明する。

RTL解析ツールによる設計品質の保証

RTL解析ツールのねらいは、チーム、工程間で受け渡すRTLの品質評価の支援であり、以下の利用形態がある。

- ・論理設計途中でのRTL記述品質と設計最適性の確認。
- ・論理設計の完了、共通設計マクロの登録時点での検査。
- ・既存設計資産の解析、インプリ設計者による論理合成など設計最適化のための制約の導出。

RTL解析ツールの機能構成を図-3に示す。RTL解析ツールのベースになる設計ルールは、VHDL記述スタイルと、インプリ設計の最適性、再利用されるマクロ化への適性に関する回路品質基準で構成される。このルールに基づいて、つぎの三つの機能を実現している。

(1) RTL設計の妥当性の保証

不具合の可能性のある回路やRTL記述を抽出する。

- ・非同期回路、ループ回路
- ・シミュレーションと論理合成で問題となる記述
- ・命名ルールなど設計チームごとのルールからの逸脱など

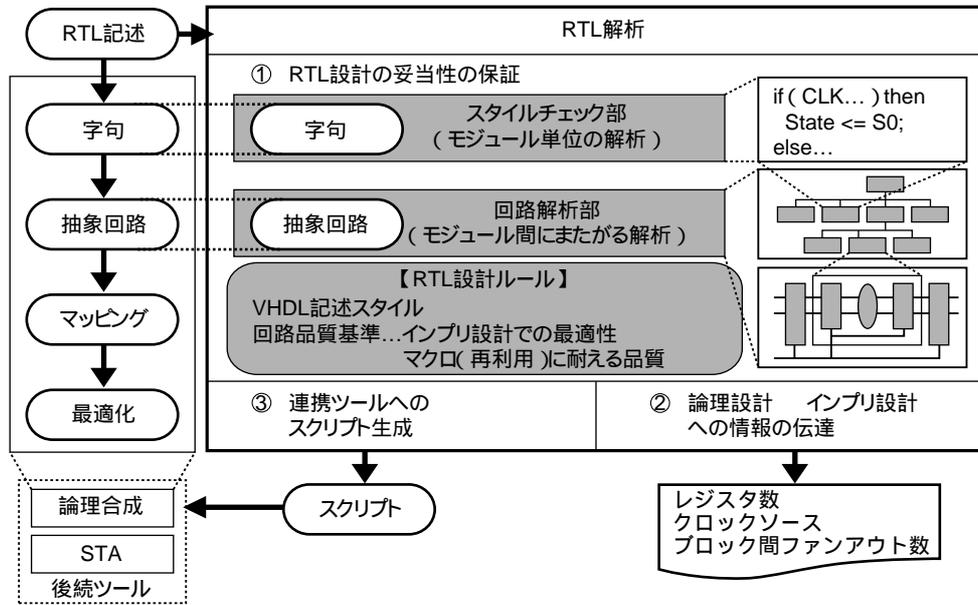


図-3 RTL解析ツールの機能構成
Fig.3-Functional contents of RTL analyzing tool.

- (2) 論理設計からインプリ設計への情報の伝達
レジスタ数，クロックソース，ブロック間ファンアウト数などを抽出する。
- (3) 連携ツールへのスクリプト生成
論理合成やSTAへのスクリプトを生成する。
これらの機能は，解析の詳細度に合わせ，つぎの二つの処理部で実現している。

- ・スタイルチェック部
VHDL字句レベルでモジュール単位に解析する。
- ・回路解析部
セルへのマッピング以前の抽象回路レベルで，LSIチップ全体を含め，モジュール間にまたがる解析を行う。
このうち，とくに頻繁に繰り返し実行されるスタイルチェック部の処理時間は，論理合成の初期段階のマッピング処理に対し1/20以下，同種の字句レベル解析ツールと同等以上の水準を達成している。これによりRTL記述品質を上流で検査する標準ツールとして定着している。

PCB設計における高速回路の配線設計

高速回路を搭載した基板では，ノイズやタイミングエラーの回避が大きな課題となる。これは波形の立上がり時間が極端に短くなり配線による遅延や反射，クロストークが回路動作に大きな影響を与えるためである。課題の解決にはSpiceモデル^(注)などを使用した波形解析シミュレーションやタイミングシミュレーションを利用す

(注) カリフォルニア大学が開発したアナログ回路シミュレータ。

る方法が一般的で確度の高い方法である。しかし，一方で以下の課題を抱える。

- ・解析用セルモデルの調達性
- ・解析用セルモデルの精度・信頼性の確保
- ・解析～修正サイクルの手番長期化

富士通の通信機器用のPCB設計は年間2,500品種を数え，PCB上には多種のテクノロジーが混在するため，上記の問題は設計期間を短縮する上で無視できない。このため，著者らはシミュレーションによる確認とともに，ルールベースの設計手法を取り入れて課題の解決を図っている。ルールベースの設計手法とは，事前の新技術評価で得られた素子接続形態やその配線制約などを標準化し，このルールに従って回路・実装設計をトップダウンに進める手法である。

制約条件の設定

回路設計では論理の組立てとともに，条件設定エディタを介してクリティカルバスに対する制約条件を設定する。条件設定エディタは伝送形態ごとに設定可能な条件をテンプレート化している。また，ライブラリが持つ素子テクノロジーや基板の層構成，および回路設計者が与える信号線区分や動作周波数から，以下の制約条件を半自動で設定できる。

- ・トポロジ・分岐制限長
- ・送信端子から受信端子までの遅延時間と許容範囲
- ・等遅延グループと遅延時間の許容範囲
- ・パスキンの搭載条件，配線層指定ほか
信号線区分は回路設計者がバスに与える固有のプロパ

