

電源網解析システム：POWER

Power Mesh Analysis System: POWER

あらまし

本稿では、LSIレイアウトシステムであるSCCADおよびGLOSCADと連携し、フロアプランの段階で、電源配線の電圧降下(IR-Drop)および電流が過度に流れることで配線が劣化する現象(Electromigration)を解析し、電源配線を最適にするシステム“POWER”を紹介する。

本システムは、消費電力の計算、電源配線抵抗網の生成、電圧降下および電流密度の解析を行うことで、電圧降下および電流密度の制約を満足するような電源配線を決定する。

消費電力計算では、独自のモデリング手法を適用し、消費電流をスタティックに計算する。電源配線抵抗網生成では、電源配線が確定していないブロックに対して仮想的に電源配線抵抗網を生成する。電圧降下および電流密度の解析では解析と配線幅の調整を繰り返し、最適な電源配線幅を決定する。

以上の手法を適用することにより、本システムはLSI設計の早い段階で電源配線の信頼性を保証し、電源配線がチップ面積に占める割合が最小となるようにした。

Abstract

This paper introduces the POWER system, which determines optimum power bus configurations by analyzing voltage drops (IR drops) and bus deterioration due to electromigration caused by overcurrents. The POWER system is used in the floor-plan stage in cooperation with the SCCAD and GLOSCAD LSI layout systems.

This system calculates power consumption, generates a power bus resistance mesh, and analyzes voltage drops and current densities to create power bus designs that are within the limits set for voltage drops and current densities.

In the power consumption calculation, POWER uses an original modeling method to statically calculate current. In the resistance mesh generation, it generates a virtual resistance mesh for blocks before layout. In the voltage drop and current density analysis, it determines the best power bus width by repeatedly analyzing and adjusting it.

This system guarantees the reliability of the power bus at an early stage of LSI design and minimizes the percentage of total chip area which the power bus occupies.



松澤孝行 (まつざわ たかゆき)

1989年工学院大学工学部電子工学科卒。同年富士通VLSI(株)入社。以来セル設計および消費電力検証関連のCAD開発に従事。LSI開発支援部CAD技術部



板津和茂 (いたず かずしげ)

1990年芝浦工業大学工学部工業経営学科卒。同年富士通VLSI(株)入社。以来ECLおよびCMOS-G/A, E/AのレイアウトCAD開発を経て、現在FMIで品種開発時のCADサポートを担当。1999年4月からFMI(Fujitsu-Microelectronics, Inc.)に出向。System Solution Group



平山章生 (ひらやま あきお)

1996年神奈川大学理学部情報科学科卒。同年富士通LSIテクノロジ(株)入社。以来消費電力解析関連のCAD開発に従事。第二技術部

ま え が き

LSIの高速化・多層化・微細化に伴い、信号配線や電源配線に関する問題が深刻になっている。とくに電源配線の電圧降下(IR-Drop)や電流が過度に流れることで配線が劣化する現象(Electromigration)の問題は重要である。電源配線の電圧降下が大きくなるとLSIのパフォーマンスの低下や動作不良を招く恐れがあり、電源配線に電流が過度に流れるとLSIの電源配線の劣化や断線を招く恐れがある。

一方、電源配線がLSIのチップ面積に与える影響も深刻である。冗長な電源配線が原因でLSIの集積度の向上を妨げたり、自動配線領域を圧迫するケースが多い。

LSIの設計工程には論理合成、フロアプラン、レイアウト、タイミング検証などがあるが、電源配線をプランニングするフロアプランの段階でこれらの問題を解析して回避する手段の実現が望まれてきた。著者らはフロアプランの段階でIR-DropおよびElectromigrationを解析し、電源配線を最適化するシステム“POWER”を開発し、提供している。

本稿では、POWERシステムの概要と適用している新技術について紹介する。^{(1)・(6)}

システムの概要

● システムの位置づけと構成

本システムはフロアプランやレイアウトの段階に位置し、富士通のレイアウトシステムであるSCCAD、GLOSCADと連携する。本システムは以下の三つのサブシステムから構成される(図-1)。

- (1) PScopeは、チップの論理データからセルまたはモジュールの消費電流と消費電力を計算する。
- (2) P-Expressは、チップのレイアウトデータから電源配線の抵抗網を抽出または生成する。
- (3) SilicoScope/IRDは、消費電流と電源配線抵抗網から電圧降下と電流密度を解析し、電源配線幅を調整する。

● システムの特徴

本システムは以下の特徴を持つ。

(1) スタティックな消費電力計算

電流源に与える消費電流を平均的な信号変化回数(動作率)をもとにスタティックに計算することで、テストパターンを使った膨大なイベント情報からの計算を回避した。動作率の与え方としてはネットリストの外部入力端子に端子種類と動作率を与えてもらって、本システムによって回路内部へ動作率を伝搬させる方法と論理モジュールごとに一律の動作率を与えてもらう方法とがある。また、論理シミュレーションの結果である各ネットのイベント情報から動作率を得ることもできる。

(2) フロアプラン段階での電源配線抵抗網の生成

骨格電源配線とブロックまたはマクロの配置が確定した後に、電源配線が確定していないレイアウト前のブロックに対しては、セル配置や電源構造のルールから電源配線を予想し、仮想的な電源配線の抵抗網を生成することで、電源配線を早期に決定できるようにした。

(3) 解析結果の出力

解析結果である電源配線の電圧降下および電流の分布をGDS^(注1)形式で出力することで、解析結果とレイアウトとの関係をレイアウトエディタにより視覚的に把握でき

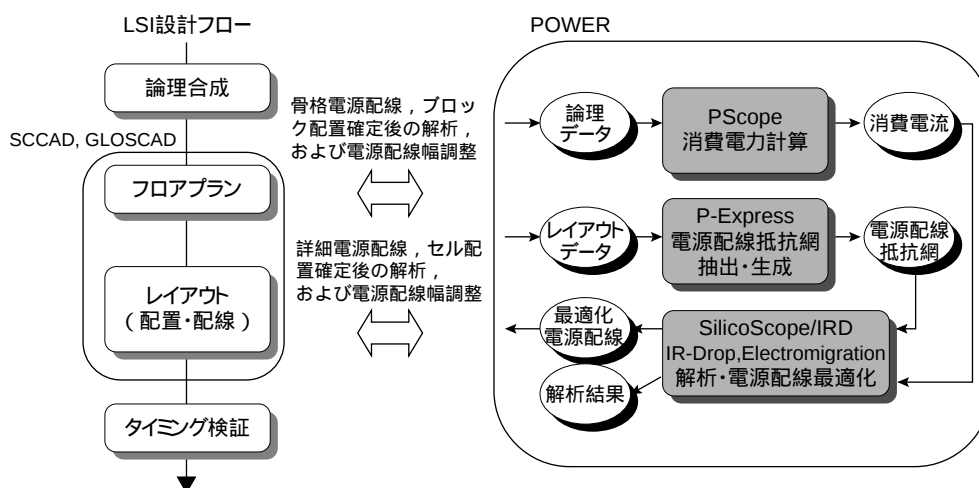


図-1 システムの位置づけと構成

Fig.1-System configuration.

(注1) 業界標準の図形パターンファイル。

るようにした。

(4) 電源配線の最適化

電圧降下や電流密度の制約を満足する最適な電源配線幅を繰り返し解析して決定し、電源配線幅を調整した最適な配線情報をレイアウトシステムへ戻すことで、すべての電源配線に対する制約値の保証と電源配線がチップ面積に占める割合を最小にした。

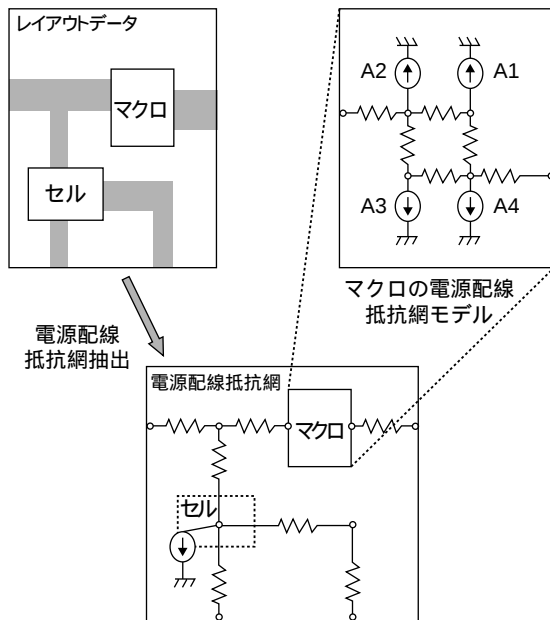


図-2 電源配線の抵抗網モデル化

Fig.2-Resistance mesh modeling of power bus.

(5) SCCAD, GLOSCADとの連携

SCCAD, GLOSCADと連携することで、それぞれのフロアプランまたはレイアウトのデータをインタフェースし、解析結果をフィードバックできるようにした。

(6) チップ全体でのIR-Drop, Electromigrationの解析

レイアウトデータからセルを一つの電流源にモデル化し、電源配線を抵抗網にモデル化して抽出することにより、大規模回路のチップ全体でも電源配線の電圧値と電流密度の解析を高速に処理できるようにした(図-2)。

新技術の適用

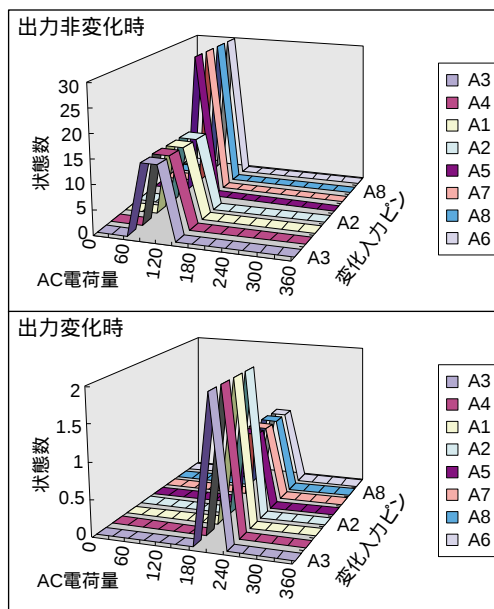
本システムに適用した主な技術を以下に紹介する。

- 消費電力パラメタのモデリングと消費電力計算

消費電力を計算するためには、一般的にトランジスタのスイッチング時に消費するAC電荷量と信号の状態に依存して定常的に消費するDC電流量が必要である。計算精度を向上させるにはこれらのパラメタをスイッチングや信号の状態に応じて詳細に扱えばよいが、大規模回路に適用すると計算量が膨大になる。逆に簡略化しすぎると計算精度が出ない。本システムでは以下のようにAC電荷量およびDC電流量を各セルの端子のパラメタ情報としてライブラリ化し(図-3)、消費電流を計算するようにした。

- セルのAC電荷量は、同一種類の入力ピンの中では極端な差が見られないことから、AC電荷量を入力端子の種類別に分類した。

状態別AC電荷量



消費電力計算モデル

```

入力ピン種類      入力ピン名
DATA : A1, A2, A3, ... A8;
{
  TRANPROBS : @ALL=7;
  QPARAMS;
  VDD : Q1=91, Q0=5;
  VSS : Q1=91, Q0=5;
  ENDQPARAMS;
}

```

出力端子
変化確率

出力変化時
AC電荷量

出力非変化時
AC電荷量

図-3 消費電力計算モデル(8-Input NANDの例)

Fig.3-Power dissipation mode(Example of 8-Input NAND)

- (2) さらに、セルのAC電荷量は出力信号の変化時と非変化時では差が見られることから、出力変化時のAC電荷量(Q_1)と出力非変化時のAC電荷量(Q_0)とは区別してライブラリに持たせるようにした。
- (3) 出力端子が変化する確率をセルのすべての入力変化状態をもとにスタティックに算出し、セルの出力端子の変化確率(P)としてライブラリに持たせるようにした。
- (4) セルが消費する電流を上記 Q_0 、 Q_1 、 P と単位時間あたりの信号変化回数(D)から求めるようにした。配線のcharge/dischargeで消費する電流は、 D と配線負荷容量と出力信号振幅電位差から求めるようにした。
- 以上のモデリングと消費電流計算によって高速・高精度な消費電力計算を実現している。

- ネット種類の解析と動作率の伝搬

論理合成の普及とともに同期設計が増えてきた。同期設計では有効なGated Clock^(注2)設計を導入しない限り、クロック部分で大半の電力を消費する。場合によってはクロック部分の消費電力が回路全体の60%以上を占める。

本システムのようなスタティックな消費電力計算ではクロックネットを含めたネットの動作率をいかに正確に見積もるかが大変重要になる。この重要性から、スタティックタイミング解析などで使用されている技術を応用し、以下のようなネットリストベースの動作率伝搬手法を導入した。

- (1) ネットリストの外部入力端子に与えられた端子の種類から、ネットリストをフォワードトレースすることにより、ネットの種類(クロック・データ・コントロールなど)を解析する。クロックネットにおいては、さらにフリップフロップのクロック端子からバックトレースする手法を併用することで、より正確にクロックネットを解析する。ループネットも動作率を伝搬するために解析の対象にする。
- (2) ネットリストの外部入力端子に与えられた動作率から、セルライブラリに持たせた出力端子の変化確率を使用して回路内部へ動作率を伝搬させる。クロックについてはGated Clock回路や分周回路が挿入されていない限り、動作率を減衰させないように伝搬させることができる。

以上のようにクロックネットと動作率を正確に求めることにより、スタティック消費電力計算での計算精度の向上を図った。

- 仮想電源配線抵抗網の生成

電源配線の詳細な電圧値と電流密度を解析するには電

(注2) クロック信号を止めることが可能な回路。

流が消費される場所(電流源)とその電流量、電流源と接続される電源配線の種類や幅、長さ、抵抗値の情報が必要となる。レイアウト完了後ではこれらの情報をレイアウトデータから抽出する手法を採るが、本システムの目的であるフロアプラン段階の電源網解析・最適化を可能にするためには、電源配線が確定していないレイアウト前のブロックに対して電源配線を予想し、仮想的に電源配線抵抗網を生成する必要がある。

スタンダードセルLSIの電源配線のプランニング段階において骨格電源配線とブロック、またはマクロの配置を決定した後に以下のブロック内電源配線抵抗網を生成する手法を適用した。

- (1) ブロック内のセル列配置位置と電源配線の位置、幅、および層コードをルール化する。
- (2) このルールと論理データとブロックサイズから、ブロック内のセル列と電源配線の位置や幅を計算する。
- (3) 計算した情報からブロック内電源配線の抵抗網を生成する。

以上の手法によって、フロアプラン段階での電源配線の早期決定を図っている。

- 最小次数順序法(MDOA: Minimum Degree Ordering Algorithm)の導入

チップ全体の大規模な電源配線抵抗網を高速に処理するには、トランジスタベースで処理しては計算量、メモリ量、処理時間の面で、現実的ではない。IR-Drop, Electromigrationの解析では以下の手法を導入している。

電圧供給部分の電圧値と抵抗網から各ノードの電圧を求めるには、キルヒホッフの法則に基づいて回路方程式を作成し、その方程式を行列演算によって解いて求めるのが一般的である。

本システムでは、この方程式を解くためにLU分解法(Lower-Upper Decomposition)を適用しているが、そのまま適用すると処理単位がゲートレベルであっても行列演算の処理速度は非常に遅くなる。そこで、演算対象となる行列は大規模疎行列であるため、この特徴を生かして処理の高速化を図った。具体的には、LU分解の前に最小次数順序法(MDOA)を導入し、あらかじめ行列を組む順序を定義(オーダリング)した。

この前処理によって記憶した順序で行列を組むことで行列演算の高速化を実現した。高速化の効果としては適用前の1/500以下の解析時間を実現している。

- 電源配線の最適化

大規模回路の集積度や信号配線の自由度を向上させるには冗長な電源配線を削減する必要がある。IR-Drop,

Electromigrationの解析において電圧降下と電流密度の制限値を与え、この制限値を満足するように電源配線幅の調整と電源配線の解析を繰り返し、配線幅を最適にした電源配線をレイアウトシステムへ戻す手法を導入した。

この電源配線の最適化の処理フローを以下に示す(図-4)。

配線幅の変更が可能な電源配線の1セグメントを対象に電流密度の余裕度に着目し、電流密度の解析と電源配線幅の調整を繰り返す。つぎに先の調整で決定した電流密度の割合を配線幅変更対象間で保持させたまま、電圧降下の解析と電源配線幅の調整を繰り返す。最終的に収束した電源配線の情報をレイアウトデータに変換する。

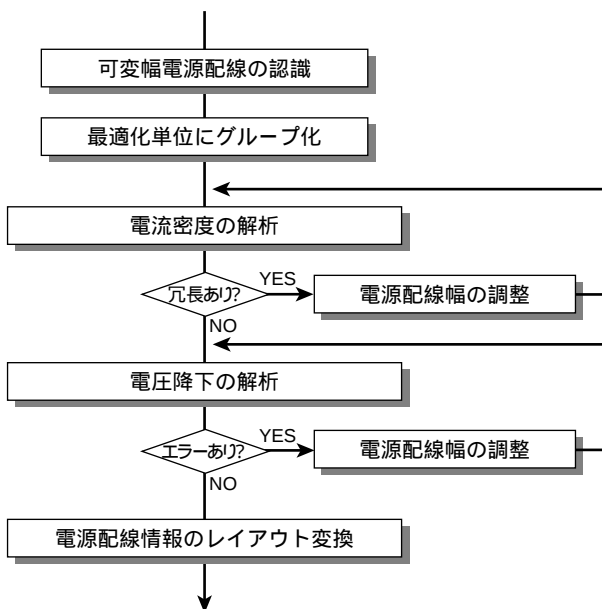


図-4 電源配線の最適化処理フロー
Fig.4-Process flow of power bus optimization.

この処理フローにより、解析対象となるすべての電源配線に対して制約値を保証しつつ、電源配線がチップ面積に占める割合が最小となるようにした。

解析事例

● 解析結果の表示

IR-Drop, Electromigrationの解析結果例を図-5に示す。IR-Dropの解析結果では電源配線の各ノードの電圧値に応じて電圧値が色分けされて段階的に表示されるため、チップ中央になるほど電圧が降下する様子を確認することができる。Electromigrationの解析結果では電源配線の各ノード間の電流量に応じて電流量が色分けされて段階的に表示されるため、電流量の多いか所を簡単に確認することができる。

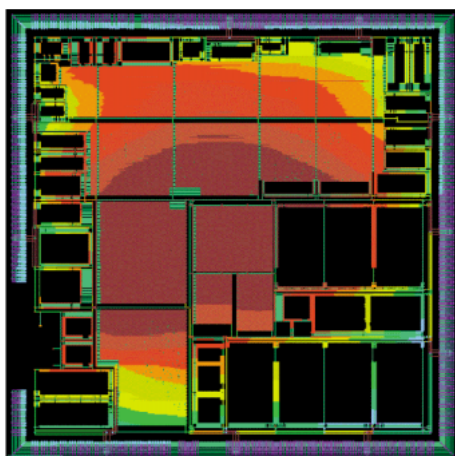
● システムパフォーマンス

セル数：165,000，ネット数：180,000，抵抗網ノード数：260,000，抵抗網電流源数：165,000である処理規模の実行時間(Ultra-sparcIIで測定)を以下に示す。

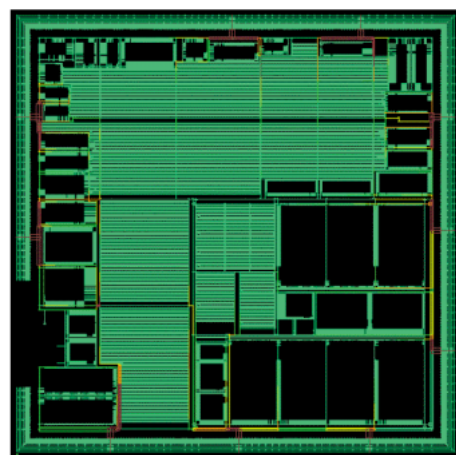
- (1) 消費電力計算(PScope)：約4分
- (2) 電源配線抵抗網抽出または生成(P-Express)：約4分
- (3) IR-Drop, Electromigration解析および電源配線最適化(SilicoScope/IRD)：約7分

● 実品種への適用とその効果

IR-DropおよびElectromigrationの問題はLSIの高速化，微細化により顕著に現れるようになってきている。これまでは、LSIの動作不良の原因がIR-DropやElectromigrationであることを明確に解析するCADツールがなく、試行錯誤的な解析を行ってきたが、本システムによって、フロ



(a) IR-Drop解析結果(電圧降下分布)



(b) Electromigration解析結果(電流分布)

図-5 IR-Drop, Electromigration解析結果例
Fig.5-Example of analysis result for IR-Drop and Electromigration.

アブランからレイアウトまでの幅広い設計段階で定量的かつ視覚的な解析を短時間でを行い、これらの問題を解決することができるようになった。

実際に、 $0.25\mu\text{m}$ 、 $0.35\mu\text{m}$ のスタンダードセルや $0.25\mu\text{m}$ のエンベデッドアレイなどの実品種に適用し、電源配線幅の決定や、電源配線幅不足の改善、400 MHzの高速動作回路において電源配線幅が十分であるかどうかの実証などの効果を上げている。

む す び

LSIの電源系に関する問題は多岐にわたる。今回は信号配線や電源配線に関する問題の中でも電源配線の電圧降下(IR-Drop)や電流が過度に流れることで配線が劣化する現象(Electromigration)に焦点を当て、フロアプランの段階でこれを解析して、電源配線を最適化するシステム“POWER”の概要と適用している主な技術を紹介した。消費電力計算では、大規模回路での高速・高精度な計算を目的としたモデリング手法およびスタティックな消費電力計算手法を紹介した。電源配線抵抗網の抽出または生成では、電源配線が確定していないブロックに対する仮想的な電源配線抵抗網の生成手法を紹介した。IR-DropとElectromigrationの解析および電源配線の最適化では、チップ全体での高速処理を目的とした最小次数順序法、およびすべての電源配線に対する制約値を保証しつつ

チップの集積度向上をねらった電源配線幅の最適化手法を紹介した。

今後は、機能設計段階などの設計上位で電源配線をプランニングするツールと連携し、より設計上位で電源配線を決定することが可能なCAD環境を提供していく予定である。また、解析の対象としてはカップリングノイズなどの信号系ノイズやダイナミックな電源ノイズも扱う予定である。

参考文献

- (1) FN. Najm : Transition Density , A Stochastic Measure of Activity in Digital Circuit. 1991 28th ACM/IEEE Design Automation Conference , p.644.
- (2) - : 最新ASIC設計術 94 . 日経マイクロデバイス , 東京 , 日経BP , 1993.
- (3) - : 低電力LSIの技術白書 . 日経マイクロデバイス , 東京 , 日経BP , 1994.
- (4) 平山 , 富田 , 米田 : 電源網解析の一手法 . 1997年電子情報通信学会ソサイエティ大会 , 電子情報通信学会A-3-16 , 1997.
- (5) EDA技術委員会DPCプロジェクト : 消費電力モデル調査報告書1997 . 東京 , EIA(社団法人日本電子機械工業会) , 1998.
- (6) 杉岡 : エンベデッドアレイLSIレイアウトシステム : GLOSCAD . FUJITSU , 50 , 6 , pp.382-387(1999)