

エンベデッドアレイLSIレイアウトシステム： GLOSCAD

Layout System for Embedded Array LSI: GLOSCAD

あらまし

システムLSI時代が本格化し、ディープサブミクロンテクノロジーによる大規模かつ高性能なLSIの開発要求が増大している。これらのLSIを短期間で効率良く実装設計するためには、大規模データに対する設計メソッドの確立、およびタイミング問題をイタレーションなしで解決するためのタイミング設計手法が重要となってきた。

本稿では、これらの問題を解決するため、エンベデッドアレイLSIレイアウトシステム“GLOSCAD”上で実現したEarlyPlan設計手法、タイミングドリブンレイアウト手法、分割/階層レイアウト手法について紹介する。

タイミング問題の解決策として、EarlyPlan設計手法では大規模回路でのフロアプランと論理合成によるタイミング最適化手法を実現し、また、タイミングドリブンレイアウト手法によりレイアウト後のタイミングエラーを大幅に削減することを可能にした。また、分割/階層化レイアウト手法を開発し、回路の大規模化とコンカレントな論理設計/レイアウト設計を可能にした。これらの手法を適用することにより、従来の設計期間を約1/5に短縮し、2,000万ゲート以上の大規模LSIの実装設計を可能とした。

Abstract

The system LSI age is now in full swing, and the development demand for large-scale, high-performance LSIs fabricated with deep sub-micron technology is increasing. To design these LSIs quickly and efficiently, we need a design methodology for large-scale data and a timing design technique that can solve timing problems without repeating layout trials. The embedded array LSI layout system“GLOSCAD” solves these problems by using the following techniques: EarlyPlan design, Timing Driven Layout, divisional layout, and hierarchical layout.

The EarlyPlan design technique solves timing problems in large-scale circuits by using the floor plan and performing timing optimization by logical synthesis. The Timing Driven Layout technique greatly reduces timing errors. The divisional layout and hierarchical layout techniques enable concurrent design of the logic and layout of LSI.

These techniques can reduce design times by about 4/5 when compared to existing techniques. Also, they enable mounting design of LSIs with more than 20,000,000 gates. This paper introduces these techniques.



杉岡俊明（すぎおか としあき）

1987年明治大学工学部電子通信工学科卒。同年富士通入社。以来レイアウトCADシステムの開発、および論理合成CADシステムの開発に従事。CADシステム統括部第三CADシステム部

まえがき

システムLSI時代が本格化し、搭載ゲート数が数百万ゲートという大規模LSIの開発要求が高くなってきている。また、プロセスの微細化によりゲートの信号伝播時間が短縮し、より高速動作するLSIへの要求、CPUコアなどのIPマクロ、DRAMマクロの搭載要求、複数電源配線の要求など、レイアウト設計はより複雑で高度な技術が必要になってきている。このような大規模、高性能、かつ複雑なシステムLSIを短期間に設計することが重要である。

GLOSCADシステムは、0.8 μ mプロセスのゲートアレイの時代から配置配線を中心としたレイアウトシステムとして開発を始め、現在の0.18 μ mプロセステクノロジーまで、富士通のゲートアレイ、エンベデッドアレイのレイアウト設計に適用され、総合レイアウトCADシステムへと発展してきた。主な機能として、論理合成とリンクしたフロアプラン、自動電源配線、クロックレイアウト、タイミングドリブン配置配線、レイアウト検証などの機能がある。

本稿では、大規模、高性能LSIを短期間で設計するために開発したGLOSCADシステムのタイミング最適化手法、タイミングドリブンレイアウト手法、大規模回路のレイアウト設計手法、および特殊処理技術について述べる。

タイミング最適化

論理合成ツールの普及により、大規模回路の設計が容易になった。一方、回路の大規模化、高性能化に伴いレイアウトは複雑になり、レイアウト後のタイミングエラーが多発するようになってきた。この原因として、プロセスの微細化に伴いゲート遅延より配線遅延が支配的になったことが挙げられる。従来の論理設計では、配線経路予測に仮配線容量テーブルを使用し遅延計算を行っていた。しかし、配線遅延が顕在化し、その影響によってレイアウト後の遅延計算結果が論理設計での遅延見積りと合わなくなってきたためである。

GLOSCADでは、この問題を解決するためフロアプランとリンクしたタイミング再合成手法EarlyPlan、タイミングドリブンレイアウトおよびタイミングEC処理の開発を行い、タイミングエラーを大幅に削減することを可能とした。その設計フローを図-1に示す。

EarlyPlanでは、仮配線容量テーブルを用いた仮論理合成処理後、フロアプランを行い配線容量情報を抽出し、それを用いてタイミング再合成処理を行う。これによってタイミング的にフロアプランにマッチしたネットリス

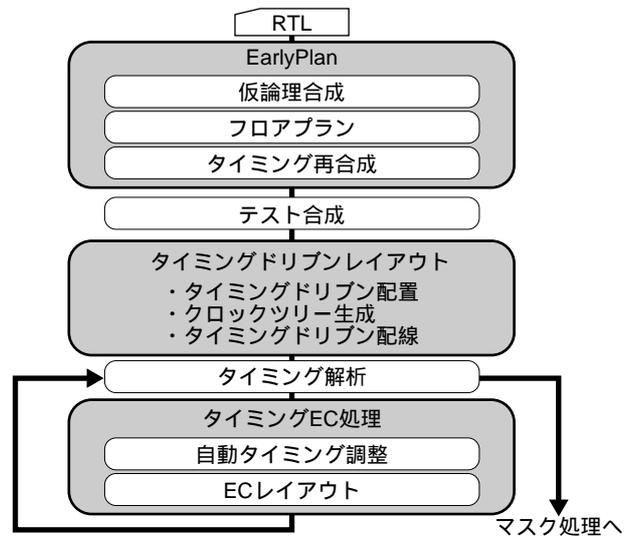


図-1 タイミング最適化のための設計フロー
Fig.1-Design flow with timing optimization.

トを生成することができる。タイミングドリブンレイアウトでは、タイミングドリブン配置、クロックツリー生成、タイミングドリブン配線を行うことにより、タイミング制約を満足するようにレイアウトを行う。また、レイアウト後のタイミング解析の結果、エラーを検出した場合は、タイミングEC処理にて自動タイミング調整とECレイアウトを行うことにより、タイミングエラーの修正を行うことを可能とした。

EarlyPlanによるタイミング最適化手法

フロアプランナと論理合成ツールのインタフェースは、タイミングエラー対策の手法として一般的に知られている。著者らは、この手法を実際のLSI設計に適用するため、二つの問題点を解決し、大規模LSIのタイミング最適化合成処理を可能とした。以下に、これらの問題点と解決手法について説明する。

第1の問題と解決手法

第1の問題は、チップに搭載する回路が、ユーザがリリースした論理合成後の回路と異なるということである。一般的に、ユーザがリリースした回路に対し、レイアウト前にテスト合成処理を行うため、回路面積が20%程度増加する。この影響で、フロアプラン時はエラーでなかったパスが、レイアウト後ではエラーとなる場合があった。EarlyPlanでは、この問題を、擬似的なテスト回路を挿入することにより解決した。

EarlyPlanの処理フローを図-2に示す。まず、ユーザからリリースされた仮ネットリストに対し、メモリマクロをダミーマクロモジュールというテスト回路入りマクロ

モジュールに入れ換える。また、FF^(注1)はスキャンFFに変換してから、フロアプラン処理を行う。これらの変更によって、テスト合成後のエリア増加を見込んだフロアプラン処理が行える。フロアプランでは、配置配線処理後、遅延計算を行い、結果をSDF(Standard Delay Format)へ出力し、ユーザへフィードバックする。このとき、変換したスキャンFFおよびダミーメモリマクロモジュールは元に戻す。

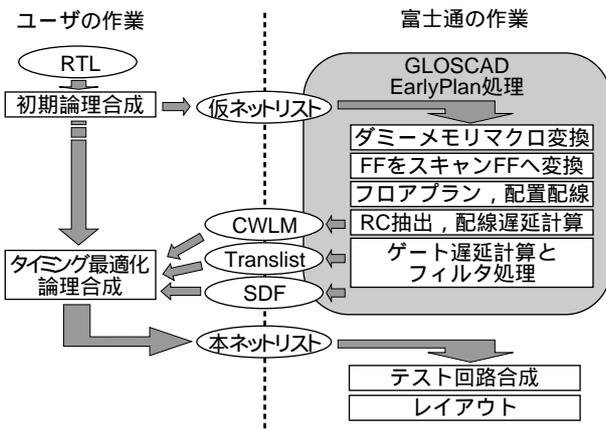


図2 EarlyPlanの処理フロー
Fig.2-Process flow of EarlyPlan.

これらのフィルタ処理によって、ユーザ回路と論理不一致の問題を起こすことなく再合成処理を行えるようにした。

第2の問題の解決手法

第2の問題は、論理合成ツールの扱える回路規模の問題である。EarlyPlanの論理合成インタフェースを図-3に示す。EarlyPlanでは、数百万ゲートの大規模回路を論理合成するため、フロアプランから抽出される論理階層情報、配線容量情報、モジュール外部ピン容量情報などをCWLM^(注2)と富士通独自のTranslistという中間ファイルへ出力する。このファイルからMakedcsで所望の論理モジュールに対する論理合成スクリプトを生成し、フロアプラン制約を反映した論理合成処理を分割して行うことができる。

タイミングドリブンレイアウト

EarlyPlanによるタイミング最適化手法は、配線経路を集中配線容量でモデル化するため、配線経路の違いによる遅延時間の差が取り扱えない。そのため、配線遅延が支配的になってきたディープサブミクロンテクノロジーでは、これらの影響によって、レイアウト後にタイミングエラーの発生が増えてきた。

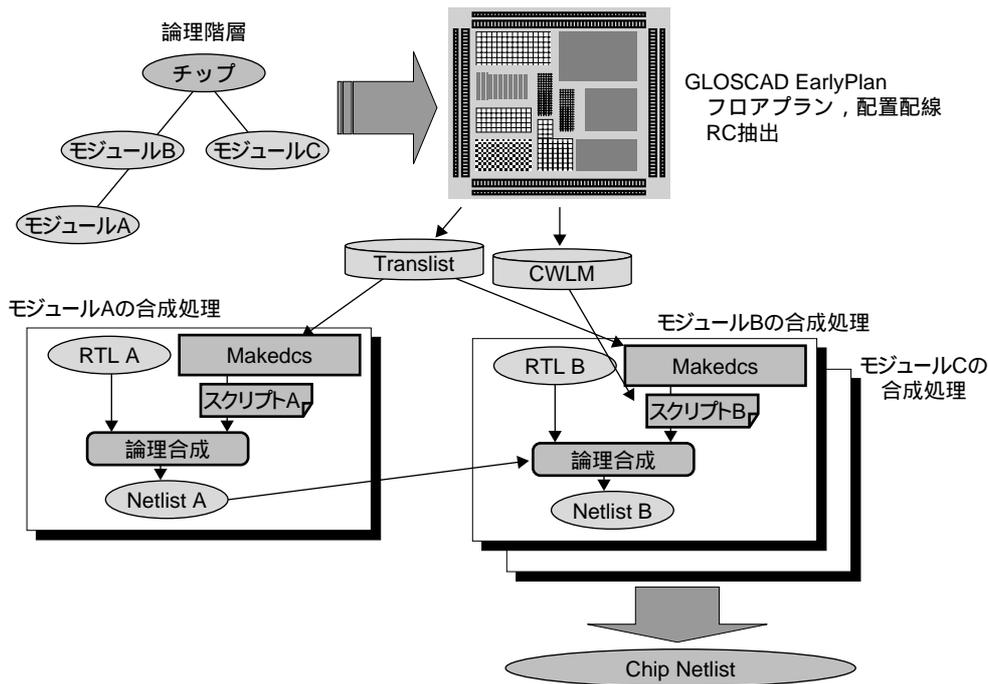


図3 EarlyPlanの論理合成インタフェース
Fig.3-Interface between EarlyPlan and logic synthesis.

(注1) Flip Flopセル。

(注2) Custom Wire Load Modelの略語。配線容量テーブルを格納したファイル。

この問題を解決するため、GLOSCADでは富士通研究所が開発したタイミングドリブン配置システムSMINCUT + BIGWIG⁽¹⁾を適用し、レイアウト後のタイミングエラーを削減している。

SMINCUT + BIGWIGシステムはクロックサイクル時間からFF間のパス遅延時間制約を算出し、この制約を満足するように引き付け配置処理^(注3)を行う。この処理では、配線経路も予測してパス遅延時間を計算するため、クリティカルパスの遅延時間を抑えることができる。さらに、ゲートサイジング、バッファ挿入処理、およびネット分割処理などの部分回路変更を配置処理中にダイナミックに行い、タイミング最適化を行っている。これらの処理により、クリティカルパスの遅延時間を従来配置手法に比べ10～30%改善することができる。

配線処理ではGista⁽²⁾によるタイミング解析を行い、タイミングクリティカルなネットから優先的に配線するというタイミングドリブン配線を行う。これにより、5～10%の遅延時間の改善が可能である。また、さらなるタイミングドリブン配線として、パスごとにタイミングドリブン配線するプログラムを開発中である。

上記のタイミングドリブン配置配線を行うことにより、レイアウト後のタイミングエラーを削減しレイアウト設計TAT^(注4)を大幅に短縮することができる。

大規模回路のレイアウト設計手法

従来の設計手法では、チップ全体を論理設計後フロア

プラン、レイアウトという作業手順を踏んでいたが、LSIの大規模化に伴い論理設計工数とレイアウト期間の増加のため、ユーザが要求する設計期間を満足できなくなってきた。

この問題を解決するため、GLOSCADでは分割レイアウト手法および階層化レイアウト手法を適用し、モジュールごとにコンカレントな設計作業を行い設計期間の短縮を可能とした。

分割レイアウト手法

分割レイアウトの概要を図-4に、また処理手順を以下に示す。

- (1) 論理設計が完了していない段階で、仮ネットリストによるフロアプランを行い、ブロックとメモリマクロの配置位置を決定する。
- (2) ブロック間ネットに結線するセルの配置処理を行う。
- (3) 各ブロックごとにチップフレームを準備し、自分のフロアプラン領域以外に配置配線禁止を設定する。
- (4) フロアプラン時に配置したブロック間ネットに結線するセルの配置情報を各ブロックのフレームへコピーする。
- (5) 論理設計が完了したモジュールごとに、テスト合成、レイアウト、タイミング調整を行う。
- (6) モジュールごとの論理設計およびレイアウト完了後、各モジュールの配置配線データを一つのフレームにコピーする。
- (7) チップレベルの配置配線を行う。

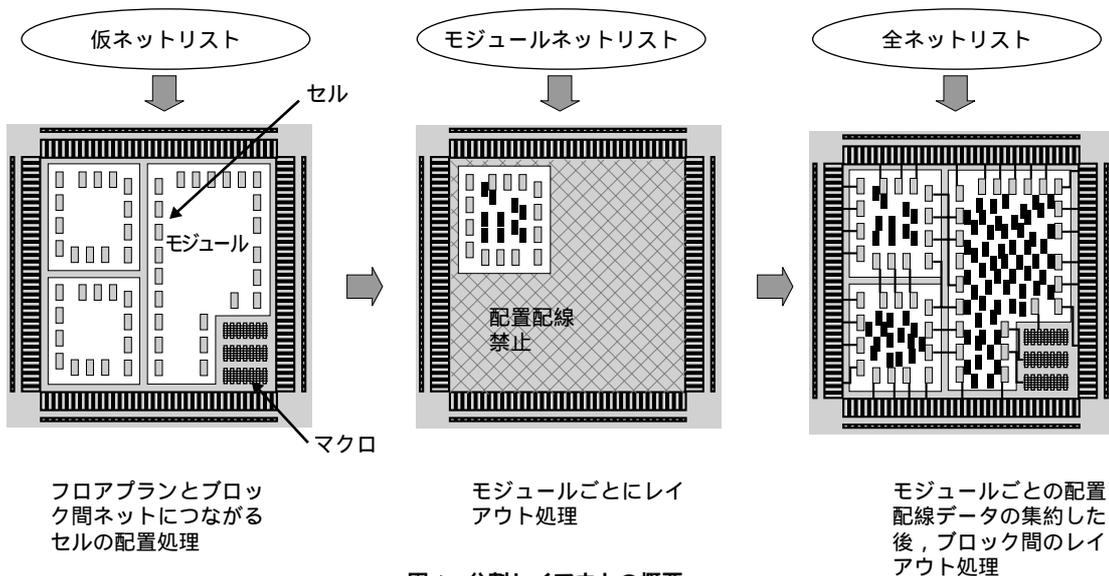


図4 分割レイアウトの概要

Fig.4-Outline of divisional layout method.

(注3) クリティカルパス上にあるセルを近くに配置する処理。

(注4) Turn Around Timeの略語。設計期間のこと。

この手法を用いることにより、大規模回路をフロアプランモジュールごとにコンカレントな論理設計、レイアウト設計ができ、設計期間を短縮することが可能である。

階層化レイアウト手法

大規模LSIのレイアウト手法として、コンカレントなモジュール設計手法をさらに推し進めた階層化レイアウト手法を開発した。階層レイアウトには、ボトムアップ型とトップダウン型の2種類の階層化設計手法がある。階層レイアウトの例を図-5に示す。

ボトムアップ型階層レイアウトは、モジュール形状、電源配線、外部ピン配置などをボトムアップに決定し、レイアウトを行う手法で、チップレイアウトより先行して処理する場合に適用する。この手法は、一度レイアウトしたモジュールをIPマクロとして他LSIに再利用できるというメリットがある。

また、トップダウン型階層レイアウトは、フロアプラン時に階層モジュールの形状、外部ピン配置を決定後、チップレベルとモジュールレベルでコンカレントにレイアウトを行う手法である。この手法では、トップダウンにモジュール形状などを決定するため、チップに最適な階層モジュールを生成することが可能である。

以上の手法により、レイアウトをゲート数が小さな階層モジュール単位で行うことができるため、プログラムの処理時間が短く、省メモリで効率良く処理することが

可能である。

短TAT設計のための特殊技術

最先端のシステムLSIでは、高性能なLSIを実現するため、人手による特殊レイアウト処理を行う必要がある。例えば、外部SDRAM LSIとのインタフェース用FFセルの特殊配置、アナログマクロインタフェース用レベルコンバータセルの特殊配置などがある。従来、これらの特殊配置はグラフィックエディタ上で、マニュアル作業で行っていた。しかし、再レイアウトを行う場合、再びマニュアル作業が必要になるため、作業工数的に大きな問題となっている。

GLOSCADでは、これらの問題に対し特殊配置プログラムを開発し、マニュアル作業の自動化と再レイアウト時の工数削減を行っている。本プログラムでは、FFの引き付け配置を行いたいメモリマクロやSDRAMインタフェース用の外部端子をスクリプトファイルに指定することにより、木目細かな特殊配置処理を行うことができる。

今後の課題

デザインプランナ

高性能なシステムLSIを実現する手法として、システム設計段階でレイアウト上のクリティカルなパスを見積り、レイアウト設計へフォワードする手法が注目されて

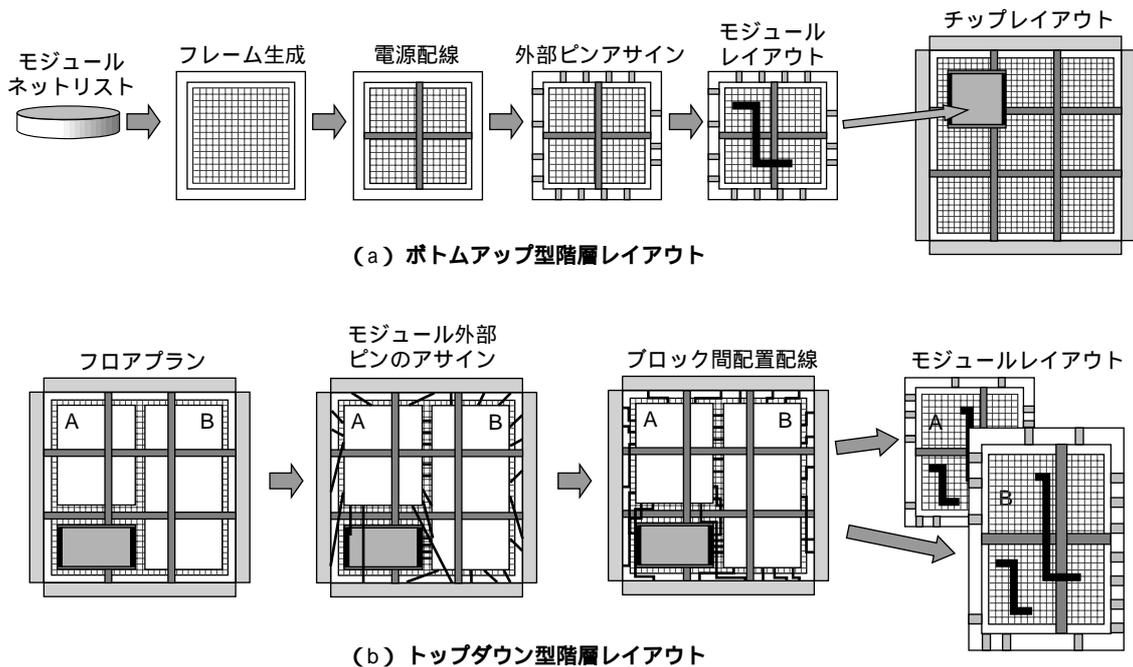


図-5 階層レイアウト
Fig.5-Hierarchical layout.

いる。これらはデザインプランナと呼ばれ、RTL^(注5)からデザインの特徴を抽出し、最適なフロアプラン、クロックプランなどを行う。GLOSCADでは、これらの上位プランナとインタフェースし、制約条件を満足できるレイアウト設計技術を確立することが重要と考えている。

クロックデザイン手法

LSIの高性能化に伴い、クロック動作周波数600 MHzの大規模LSIを実現するためのクロックデザイン手法構築が課題となっている。従来のクロックスキューを押さえる手法では同時スイッチングノイズの発生を招き、冗長配線を使用したスキュー調整では高性能LSIのためのクロックレイアウトが困難である。現在、新手法として、データベースを解析しクロックスキューを利用してサイクルタイムの短縮を図るクロック分配手法が提案されている。

自動フロアプラン

大規模化に伴い、論理ブロックおよびIP、メモリなどの搭載マクロが数百を超え、人手によるフロアプランが困難となっている。また、作業者のスキルによってレイアウト結果が大きく左右される問題がある。これらの問題を解決し短TATレイアウト設計を実現するため、自動フロアプランの研究開発を始めている。

ノイズの問題

ディーブサブミクロンテクノロジーになり、Signal Integrity/Power Integrityの問題が深刻になってきている。とくに、IR-Dropによるパフォーマンスの低下や、動作不良およびElectromigrationによる配線の劣化や断線の問題が挙げられる。GLOSCADでは、これらの問題に対

し電源網解析システムPOWER⁽³⁾と連携し、フロアプランおよびレイアウト後の電源網解析を可能としている。今後は、これらの解析結果に対するレイアウトの最適化機能を開発する予定である。また、EM(Electro-Magnetic Interference), 同時スイッチングノイズ, クロトクなどのノイズ解析と対策機能を開発することが課題と考えている。

む す び

大規模、高性能なLSIを短期間にレイアウト設計するため、本稿ではタイミング問題の解決手法として、フロアプランを用いたタイミング最適化合成手法EarlyPlan, およびタイミングドリブンレイアウト手法について紹介した。また、大規模LSIのレイアウト設計手法として、分割レイアウト手法と階層化レイアウト手法、および短TATで設計するための特殊レイアウト技術について紹介した。

今後は、さらなるタイミング最適化手法として、デザインプランナとの連携、最適クロック分配機能、自動フロアプラン機能の開発を行う予定である。また、Signal Integrity対策として、電源網解析ツールと連携した電源配線の自動最適化機能、電源ノイズ、信号ノイズを考慮した自動配線機能を開発する予定である。

参考文献

- (1) 金澤ほか：タイミングドリブン配置システム：SMINCUT + BIGWIG . FUJITSU , 50 , 6 , pp.367-371(1999)
- (2) 今野：静的タイミング解析ツール：Gista . FUJITSU , 50 , 6 , pp.388-392(1999)
- (3) 松澤ほか：電源網解析システム：POWER . FUJITSU , 50 , 6 , pp.393-398(1999)

(注5) Resister Transfer Levelの略語。レジスタ間の動作で表す設計レベルの回路記述。