

スタンダードセルLSIレイアウトシステム： GigaGate

Standard-cell-based LSI Layout System: GigaGate

あらまし

CMOSテクノロジーは年々微細化し、LSIに搭載できるゲート数も現在では数百万規模となっている。“GigaGate”は、富士通のハイエンドプロセッサ用スタンダードセルLSIをレイアウトするために開発された、フロアプラン、配置、配線、タイミング解析、物理設計ルールチェックを含む統合的なレイアウトシステムである。

本システムは、複数ブロックのレイアウトを並行して進めることができるように、3階層のレイアウト設計をサポートする。さらに、0.18 μm という最先端CMOSテクノロジーにおける制約や特性を考慮した各種機能を有しており、大規模かつ高性能LSIのレイアウトを短期間で行うことを可能とした。

Abstract

CMOS fabrication technology is advancing; for example, the gates on typical chips now number in the millions. GigaGate is a total layout system we developed to lay out a standard-cell-based LSI for our high-end processor. It has functions including floor-planing, placement, routing, timing analysis, and physical design rule checking.

GigaGate supports a three-level-hierarchy layout design for simultaneous layout of multiple blocks. Moreover, this system has various functions for the design constraints and features of the most advanced 0.18 μm CMOS technology. By using this system, a large-scale, high-performance LSI can be quickly laid out.



伊藤則之（いとう のりゆき）

1982年京都大学工学部情報工学科卒。同年富士通入社。以来コンピュータの設計自動化システムの開発に従事。
CADシステム統括部第四CADシステム部



山下良一（やました りょういち）

1982年木更津工業高等専門学校電気工学科卒。同年富士通入社。以来、LSI CADの開発に従事。
CADシステム統括部第四CADシステム部

まえがき

ディープサブミクロン化が進み、大規模かつ高性能なLSIを短期間で開発するにはレイアウトを高度に支援するツールが必要である。単に自動配線や自動配置エンジンの高速化を実現するのみならず、テクノロジーの性能を最大限に引き出すツールでなければならない。“GigaGate”のベースとなっている“ChipPRISM⁽¹⁾”は、0.35 μm および0.25 μm のCMOSテクノロジーのレイアウトツールとして、これまでハイエンドシステム用のLSI 50種以上の設計に適用されてきた。GigaGateはそのChipPRISMのノウハウを受け継いで開発され、現在0.18 μm 以降のCMOSテクノロジーのLSIレイアウトに適用されている。

階層設計とマクロ化

GigaGateでは、設計作業を並行して進めることができるようにするため、LSI全体をいくつかのサブチップに分割し、さらに各サブチップの中をいくつかのブロックに分割することができる。図-1はLSI サブチップ ブロックという3階層の構造を示している。

階層レイアウトにおいて重要な点は、電源配線やクロック配線がLSI全体で行われた場合、また一般信号配線が他のブロックやサブチップ上を通過する場合、ブロック内では他の階層の配線があたかもフラットなレイアウトのように見えるような仕組みを作ることである。GigaGateでは、上位階層の配線について下位階層すべて

に同じデータを作成することにより、上位の階層の配線を参照してレイアウトを進めることができる。

GigaGateでは、各ブロックの中で2種類のマクロ化手法、つまりカスタムマクロ化および展開可能マクロ化の手法を取ることができる。トランジスタレベルでレイアウトしてマクロ化するカスタムマクロ化手法では、GigaGateとは別のシステムを使ってレイアウトしたあと、通常セルと同様に特性抽出を行ってライブラリ化する。展開可能マクロ化手法は、マクロとしての特性抽出が難しいケースやタイミング解析の精度が要求されるケースについて適用される。この展開可能マクロについては、GigaGateを使ってスタンダードセルベースで配置・配線を行い、一般セルと同じ形式のレイアウトライブラリを作成する。ただし、マクロの特性抽出は行わない。そのため、この展開可能マクロを使ったブロックのタイミング検証を行う場合、そのマクロを展開してから検証を行う。このような2種類のマクロ化手法により、ユーザはトランジスタ密度が高いマクロやラッチを含んだマクロなどを容易に作成することができる。

2方向のレイアウトフロー

大規模かつ高性能LSIをLSI サブチップ ブロックという3階層でレイアウトする場合、トップダウンおよびボトムアップという2方向のレイアウトフローが必要となる。

図-2に示すフローのように、フロアプランでのサブチップおよびブロックの分割を行ったあと、サブチップごとに並行してタイミングと配線性を評価しながらセル配置を行う。LSI全体でのタイミング面および配線面での実現性のめどが確認できれば、LSI全体に供給する電源やクロックの配線が行われ、引き続きサブチップごとに並行してタイミング改善のためのセル配置が行われる。

サブチップごとにほぼ目標サイクルタイムの実現が見えてきた段階では、LSI全体でタイミングの確認を行い、そのあと上位階層から順次一般信号の配線を行う。over-the-subchip配線やover-the-block配線を行う必要がない部分では、必ずしも上位階層から配線が実行される必要はない。実際の配線がなされた段階で再度LSIレベルまでのタイミングの確認および必要に応じて配置の調整を行い、セルの最終配置が完了する。

このあとリリースデータ作成のために、空き領域にキャパシタやEC用トランジスタなどの特殊セル配置を行い、マスキュールチェックやノイズチェックで最終確認を行いながらリリースデータ作成を行う。

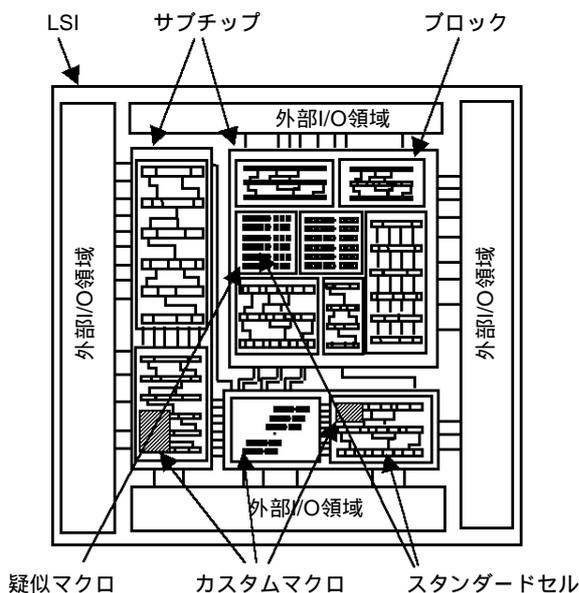


図-1 LSIの階層構造とマクロ
Fig.1-Hierarchy and macro.

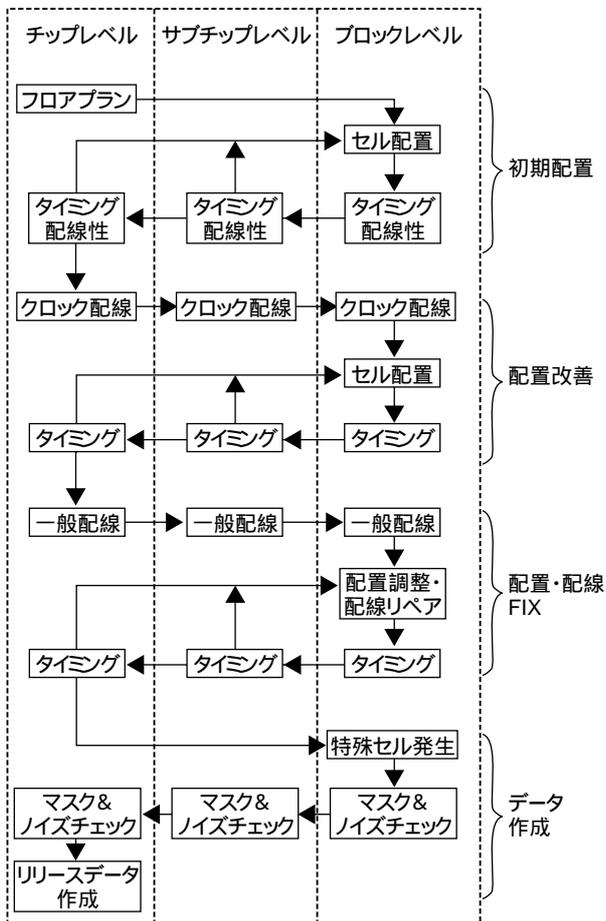


図2 2方向のレイアウトフロー
Fig.2-Bi-directional layout flow.

スペーシング配線によるディレイ改善

微細化に伴い配線のアスペクト比(配線の高さ/幅)が大きくなるため、信号配線が他の配線と隣接することによるカップリング容量が配線ディレイに与える影響は微細化とともに大きくなっている。そのため、タイミング的にクリティカルなネットについては、隣接する配線を抑制することによりタイミングの改善が必要となる。

まず、タイミング解析結果から得られるネットごとのスラック値(タイミング的な余裕度)に対して、レイアウト設計者は、スペーシング配線を適用するスラック値の範囲とネット数、さらに通常の配線スペースにプラスするスペース値と配線を行う配線層を与えることにより、つぎのような配線条件が作成される。

```
# net      add_spaceW[nm]  from_layer  to_layer
+GCI_CMPL<p> 300          4           5
-GCI_CMPL<p> 300          4           5
```

このようにネットごとにスペース値などが割り当てら

れた情報が、スペーシング配線を行うシステムであるGRP⁽²⁾に渡される。

図-3はスペーシング配線適用前の配線パターンであり、まわりに空きチャンネルがあるにもかかわらず配線は集中し、お互いに隣接しあっている。図-4はスペーシング配線適用後の配線パターンであり、空きチャンネルを有効に使うことによって隣接を避けた配線となっている。

クロストークノイズ

プロセスの微細化および動作周波数の高速化に伴い、正常動作に影響を与える信号配線間のクロストークノイズの解析と対策が大きな課題となっている。LSI内では配線数が非常に多いため、精度の高い解析を行うと処理時間がかかる。また簡略化した解析を行うと、実際は工

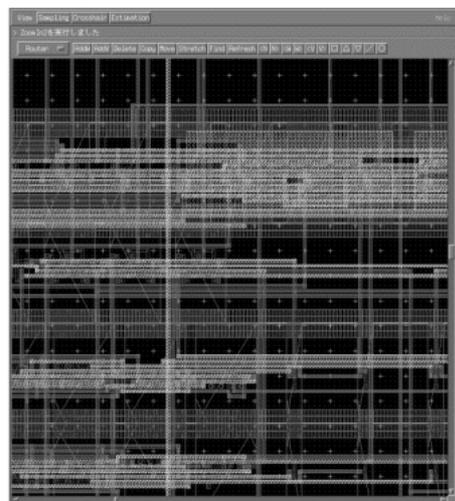


図3 スペーシング配線適用前パターン
Fig.3-Routing pattern without spacing.

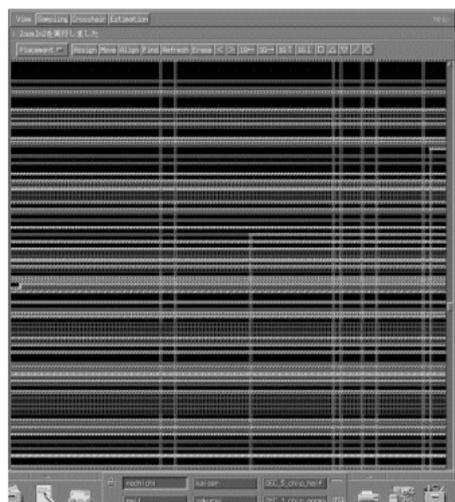


図4 スペーシング配線適用後パターン
Fig.4-Routing pattern with spacing.

ラーとならないか所がエラーと判定される，いわゆる疑似エラーが多発する。

この問題を解決するために，GigaGateではまずすべてのケースについて高速な簡易チェックを行い，エラーとなったものについて精度の高い2次チェックを行う。ノイズを与えるネットを「aggressorネット」と呼び，ノイズを受けるネットを「victimネット」と呼ぶことにすると，簡易チェックでは，平行配線部分の長さ，aggressorネット内ドライバの駆動能力，aggressorおよびvictimそれぞれのネットの信号の種類を考慮してチェックを行う。2次チェックでは，さらにaggressorネットのドライバから平行配線部分までの距離とvictimネット内ドライバの駆動能力を考慮してより精度の高い評価を行う。

このような2次チェックによってエラーとなったネットについて，前述のスペーシング配線機能を使ってスペーシング条件付き配線リペア処理を行うことにより，チャンネルに比較的余裕があるものについては，エラーの解消はほぼ100%自動で可能となる。

今後の課題

より高性能なLSIを作るには，一つのレイアウトブロックの大きさをより小さくして，ブロックの配置位置に自由度を持たせるとともに，ブロックのカスタムマクロ化を進めて設計していく必要がある。そのため，レイアウト

ブロックの数が多くなり，その最適位置決定のために，これまで以上にフロアプラン段階での高精度なタイミングおよび配線性の見積もり技術が求められている。また，レイアウトブロックの形状も矩形だけでは自由度が十分ではなく，非矩形のレイアウトブロックをサポートするレイアウトシステムが必要となる。今後，より高性能なLSIのレイアウトを行うため，これら新たな要件を短期間で実現していくことが大きな課題となる。

む す び

本稿では，スタンダードセルベースLSIレイアウトシステムGigaGateについて述べた。本システムは， $0.18\mu\text{m}$ のCMOSテクノロジーのLSI 11種にすでに適用され，富士通のハイエンドプロセッサ用LSI開発に適用された。今後 $0.18\mu\text{m}$ 以降のCMOSテクノロジーについても，GigaGateは機能・性能面で向上を図りながら順次適用される予定である。

参考文献

- (1) N. Ito, H. Sugiyama, and T. Konno : ChipPRISM : Clock Routing and Timing Analysis for High-Performance CMOS VLSI Chips. *FUJITSU Sci. Tech. J.*, 31, 2, pp.180-187(1995).
- (2) K. Kawamura : Generalized Touch and Cross Router. *FUJITSU Sci. Tech. J.*, 31, 2, pp.208-214(1995)